

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е
ИЗОБРЕТЕНИЯ
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 703808

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 27.04.77 (21) 2482046/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.12.79. Бюллетень № 46

Дата опубликования описания 20.12.79

(51) М. Кл.²

G 06 F 7/38

(53) УДК 681.325

(088.8)

(72) Авторы
изобретения

Б. В. Цесия и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт

(54) АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО

1

Изобретение относится к области вычислительной техники и может быть применено при разработке быстродействующих арифметико-логических устройств (АЛУ), выполняющих логические операции, а также операции двоичной и десятичной арифметики.

Известно быстродействующее АЛУ, содержащее блок двоичной арифметики, предназначенный для выполнения арифметических операций над двоичными числами и логических операций, и блок цифровой десятичной арифметики [1].

Основными недостатками известного АЛУ являются простаивание блока двоичной арифметики при работе блока цифровой десятичной арифметики и наоборот, а также большой объем оборудования.

Наиболее близким по технической сущности к предложенному является арифметико-логическое устройство, содержащее два входных регистра, узел транзита, инвертирования и десятичной коррекции, узел формирования логических функций,

2

узел формирования межтетрадных переносов, узел формирования внутритетрадных переносов, узел поразрядной селекции, выходной регистр, узел формирования признаков операций, причем входы узла транзита, инвертирования и десятичной коррекции соединены с прямыми и инверсными выходами первого входного регистра, а выходы подключены к первой группе входов узла формирования логических функций, ко второй группе входов которого подключены выходы второго входного регистра, первая и вторая группа выходов узла формирования логических функций соединены соответственно с первой и второй группами входов узла формирования межтетрадных переносов, узла формирования внутритетрадных переносов и узла поразрядной селекции, третья группа выходов узла формирования логических функций соединена с третьей группой входов узла поразрядной селекции четвертая и пятая группа входов которого подключены соответственно к выходам узла формиро-

вания внутритетрадных переносов и узла формирования межтетрадных переносов, выходы узла поразрядной селекции подключены ко входам выходного регистра, третья группа входов узла формирования внутритетрадных переносов подключена к выходам узла формирования межтетрадных переносов, выходы узла формирования признаков операций подключены к управляющим входам узла транзита, инвертирования и десятичной коррекции и узла поразрядной селекции [2].

Основным недостатком известного АЛУ является влияние узлов выходного десятичного корректора и поразрядной селекции на временной цикл АЛУ.

Целью изобретения является увеличение быстродействия арифметико-логического устройства.

Поставленная цель достигается тем, что устройство содержит дополнительные узлы транзита, инвертирования и десятичной коррекции, формирования логических функций и формирования внутритетрадных переносов, причем входы дополнительного узла транзита, инвертирования и десятичной коррекции подключены к прямым и инверсным выходам первого регистра, а выходы подключены к первой группе входов дополнительного узла формирования логических функций, первая и вторая группы выходов которого соединены соответственно с первой и второй группой входов дополнительного узла формирования внутритетрадных переносов, третья группа выходов которого подключены к выходам узла формирования межтетрадных переносов, а выходы соединены с шестой группой входов узла поразрядной селекции, седьмая группа входов которого подключена к третьей группе выходов дополнительного узла формирования логических функций, вторая группа входов которого подключена к выходам второго регистра.

Кроме того, узел поразрядной селекции содержит в каждом разряде элементы И и ИЛИ, причем выходы элементов И подключены ко входам элемента ИЛИ, выход которого соединен с выходом соответствующего разряда узла поразрядной селекции, первые входы первого, второго и третьего элементов И соединены с соответствующими входами первой, второй и третьей групп входов узла поразрядной селекции, а вторые входы соединены соответственно с первым, вторым и третьим управляющими входами узла поразрядной селек-

ции, соответствующий вход третьей группы входов подключен также к первому инверсному входу четвертого элемента И и первому прямому входу пятого элемента И, второй прямой и второй инверсный входы которых соединены с соответствующим входом четвертой группы входов узла поразрядной селекции, первый инверсный вход шестого элемента И и первый прямой вход седьмого элемента И подключены к соответствующему входу седьмой группы входов узла поразрядной селекции, соответствующий вход шестой группы входов которого соединен со вторым прямым входом шестого и вторым инверсным входом седьмого элемента И, третьи инверсные входы которых совместно с третьими прямыми входами четвертого и пятого элементов И подключены к соответствующему входу пятой группы входов узла поразрядной селекции, четвертый управляющий вход которого соединен с четвертыми входами четвертого, пятого, шестого и седьмого элементов И.

Сущность изобретения поясняется чертежами, где на фиг. 1 приведена структурная схема АЛУ, на фиг. 2 - функциональная схема узла транзита, инвертирования и десятичной коррекции (для определенности рассматривается i -я тетрада), на фиг. 3 - функциональная схема узла поразрядной селекции (для определенности рассматривается j -й разряд i -ой тетрады узла поразрядной селекции).

Устройство содержит два регистра 1 и 2, узел 3 транзита, инвертирования и десятичной коррекции, входы которого соединены с прямым 4 и инверсным 5 выходами входного регистра 2, узел 6 формирования логических функций И, ИЛИ, "исключающее ИЛИ", входы которого соединены с выходом входного регистра 1 с выходом узла 3 транзита, инвертирования и десятичной коррекции, узел 7 формирования межтетрадных переносов, входы которого соединены с выходами 8 и 9 значений функций соответственно И и ИЛИ узла 6 формирования логических функций, узел 10 формирования внутритетрадных переносов, входы которого соединены с выходом узла 7 формирования межтетрадных переносов, а также с выходами 8 и 9 значений функции соответственно И и ИЛИ узла 6 формирования логических функций, узел 11 поразрядной селекции, входы которого соединены с выходами 8, 9 и 12 значений

функции соответственно И, ИЛИ, "исключающее ИЛИ" узла 6 формирования логических функций, выходной регистр 13, узел 14 формирования признаков операций, выходы 15 которого соединены с управляющими входами 16 и 17 соответственно узла транзита, инвертирования и десятичной коррекции и узла 11 узел 18 транзита, инвертирования и десятичной коррекции, входы которого соединены с прямым 4 и инверсным 5 выходами входного регистра 2, а управляющий вход 19 соединен с выходом 15 узла 14 формирования признаков операции, дополнительный узел 20 формирования логических функций И, ИЛИ, "исключающее ИЛИ", входы которого соединены с выходом входного регистра 1 и с выходом дополнительного узла 18 транзита, инвертирования и десятичной коррекции, дополнительный узел 21 формирования внутритетрадных переносов, входы которого соединены с выходами 22 и 23 значений функций соответственно И и ИЛИ узла 20 формирования логических функций, а также с выходом узла 7 формирования межтетрадных переносов. Дополнительные входы узла 11 поразрядной селекции соединены с выходом 24 значения функции "исключающее ИЛИ" узла 20 формирования логических функций, с выходами узла 7 формирования межтетрадных переносов и узлов 10 и 21 формирования внутритетрадных переносов. Выход узла 11 поразрядной селекции соединен со входом выходного регистра 13.

Узел 18 транзита, инвертирования и десятичной коррекции (фиг. 2) содержит выходной коммутатор 25, входы 26 которого соединены с прямыми ($x_{4i}, x_{3i}, x_{2i}, x_{1i}$) входами входного регистра 2, значения которых поступают на выходы коммутатора 25 при наличии управляющего сигнала со входа 27. Входы 28 коммутатора 25 соединены с инверсными ($\bar{x}_{4i}, \bar{x}_{3i}, \bar{x}_{2i}, \bar{x}_{1i}$) выходами входного регистра 2, значения которых поступают на выходы коммутатора 25 при наличии управляющего сигнала со входа 29. Вход 30 коммутатора 25 соединен с выходом значения x_{1i} входного регистра 2, вход 31 - с выходом значения x_{2i} входного регистра 2. В узел 18 входят также элемент "исключающее ИЛИ" 32, входы которого соединены с выходами значений x_{2i}, x_{3i} входного регистра 2, а его выход соединен со входом 33 коммутатора 25, эле-

мент И 34, входы которого соединены с выходами значений $\bar{x}_{2i}, \bar{x}_{3i}, \bar{x}_{4i}$ входного регистра 2, а его выход соединен со входом 35 коммутатора 25, значения с входов 30, 31, 33 и 35 которого поступают на выходы коммутатора 25 при наличии управляющего сигнала со входа 36.

Узел 11 поразрядной селекции (фиг. 3) содержит элемент И 37, прямой вход которой соединен с выходом значения функции И узла 6 формирования логических функций, значение G_j поступает на выход узла 11 поразрядной селекции при наличии на втором прямом входе элемента И 37 управляющего сигнала со входа 38, элемент И 39, прямой вход которого соединен с выходом значения функции ИЛИ узла 6 формирования логических функций, поступающего на выход узла 11 поразрядной селекции при наличии на втором прямом входе элемента И 39 управляющего сигнала со входа 40, элемент И 41, прямой вход которого соединен с выходом значения функции "исключающее ИЛИ" узла 6 формирования логических функций, поступающего на выход узла 11 поразрядной селекции при наличии на втором прямом входе элемента И 41 управляющего сигнала со входа 42. Выход значения функции "исключающее ИЛИ" узла 6 формирования логических функций соединен с инверсным входом элемента И 43 и с прямым входом элемента И 44. Выход C_j узла 10 формирования внутритетрадных переносов соединен с прямым входом элемента И 43 и с инверсным входом элемента И 44. Выход значения функции "исключающее ИЛИ" узла 20 формирования логических функций соединен с инверсным входом элемента И 45 и с прямым входом элемента И 46. Выход Q_j узла 21 формирования внутритетрадных переносов соединен с прямым входом элемента И 45 и с инверсным входом элемента И 46. Выход P_i узла 7 формирования межтетрадных переносов, формирующего перенос из i -ой тетрады, в которой находится j -й разряд, соединен с прямыми входами элемента И 43 и элемента И 44, а также с инверсными входами элемента И 45 и элемента И 46. При наличии управляющего сигнала со входа 47 на прямых входах элементов И 43-46 происходит передача информации с их входов на выход узла 11 поразрядной селекции и

элемент ИЛИ 48, входы которого соединены с выходами элементов И 37, 39, 41 и 43-46.

АЛУ работает следующим образом.

При выполнении логических операций операнды поступают на входные регистры 1 и 2. Узлы 3 и 18 транзита, инвертирования и десятичной коррекции пропускают информацию транзитом (без преобразования). С помощью узла 6 формирования логических функций выполняются логические операции И, ИЛИ, "исключающее ИЛИ". Выходы 8, 9 и 12 соединены с узлом 11 поразрядной селекции, на управляющий вход 17 которого подан сигнал нужной логической операции, после чего на выходе узла 11 появится результат, который записывается в выходной регистр 13.

При выполнении операций десятичной арифметики в случае, когда операнды имеют одинаковые знаки, они обрабатываются в прямых кодах. Операнды поступают на входные регистры 1 и 2. Узел 18 транзита, инвертирования и десятичной коррекции пропускает информацию транзитом, а узел 3 транзита, инвертирования и десятичной коррекции осуществляет увеличение каждой десятичной цифры на шесть. Межтетрадные переносы в узле 7 формируются с учетом избытка, введенного в каждую десятичную цифру. Внутритетрадные переносы, сформированные узлом 10 формирования внутритетрадных переносов, формируются с учетом избытка шесть, а внутритетрадные переломы, сформированные узлом 21 формирования внутритетрадных переносов - без учета избытка шесть. Узел 6 формирования логических функций формирует результат поразрядного сложения по модулю два с учетом введенного избытка шесть, а узел 20 формирования логических функций - без учета избытка шесть. В узле 11 поразрядной селекции осуществляется поразрядное сложение по модулю два результата, сформированного узлом 10 формирования внутритетрадных переносов, и значения функции "исключающее ИЛИ", сформированного узлом 6 формирования логических функций, а также поразрядное слежение по модулю два результата, сформированного узлом 21 формирования внутритетрадных переносов, и значения функции "исключающее ИЛИ", сформированного узлом 20 формирования логических функций. При этом, если возник перенос из i -ой тетрады, на выход посту-

пает результат тетрады, учитывающий введенный избыток шесть, а если такого переноса не возникло - неучитывающий избыток шесть. Знак результата определяется знаком операндов.

В случае, когда операнды имеют разные знаки, операнд с положительным знаком подается в входной регистр 1, операнд со знаком минус - во входной регистр 2. При этом узел 3 транзита, инвертирования и десятичной коррекции осуществляет инвертирование операнда, а узел 18 транзита, инвертирования и десятичной коррекции - формирование дополнения до девяти каждой десятичной цифры. Далее вычислительный процесс происходит аналогично рассмотренному выше. Если результат получается со знаком минус, то для получения прямого кода отрицательного числа последний поступает во входной регистр 2, а во входной регистр 1 записываются нули. Затем все происходит аналогично сложению десятичных чисел.

При выполнении операций двоичной арифметики при сложении операндов узлы 3 и 18 транзита, инвертирования и десятичной коррекции пропускают информацию транзитом, а при вычитании - осуществляют инверсию операнда (при вычитании операнд поступает на входной регистр 2). В дальнейшем процесс происходит аналогично процессу выполнения операций десятичной арифметики при одинаковых знаках операндов. Однако, независимо от того, возник перенос из i -ой тетрады, где находится j -й разряд, или нет, результат получится одинаковый, так как узлы 3 и 18 транзита, инвертирования и десятичной коррекции дают на выходе одинаковые значения.

Данное арифметико-логическое устройство позволяет повысить быстродействие примерно на 25% при увеличении объема оборудования на 20% (формат обрабатываемой информации двухбайтный, формирование разрядных переносов по параллельно-параллельному способу). Это достигнуто за счет того, что из АЛУ исключен узел выходного десятичного корректора, вносящий временную задержку при выполнении всех операций, а узел поразрядной селекции объединен с узлом поразрядного формирования суммы, что фактически исключило временную задержку и на селекцию информации.

Ф о р м у л а и з о б р е т е н и я

Г. Арифметико-логическое устройство, содержащее два входных регистра, узел

транзита, инвертирования и десятичной коррекции, узел формирования логических функций, узел формирования междетрадных переносов, узел формирования внутритетрадных переносов, узел поразрядной селекции, выходной регистр, узел формирования признаков операций, причем входы узла транзита, инвертирования и десятичной коррекции соединены с прямыми и инверсными выходами первого входного регистра, а выходы подключены к первой группе входов узла формирования логических функций, ко второй группе входов которого подключены выходы второго входного регистра, первая и вторая группы выходов узла формирования логических функций соединены соответственно с первой и второй группами входов узла формирования междетрадных переносов, узла формирования внутритетрадных переносов и узла поразрядной селекции, третья группа выходов узла формирования логических функций соединена с третьей группой входов узла поразрядной селекции, четвертая и пятая группы входов которого подключены соответственно к выходам узла формирования внутритетрадных переносов и узла формирования междетрадных переносов, выходы узла поразрядной селекции подключены ко входам выходного регистра, третья группа входов узла формирования внутритетрадных переносов подключена к выходам узла формирования междетрадных переносов, выходы узла формирования признаков операций подключены к управляющим входам узла транзита, инвертирования и десятичной коррекции и узла поразрядной селекции, отличающееся тем, что, с целью увеличения быстродействия, устройство содержит дополнительные узлы транзита, инвертирования и десятичной коррекции, формирования логических функций и формирования внутритетрадных переносов, причем входы дополнительного узла транзита, инвертирования и десятичной коррекции подключены к прямым и инверсным выходам первого регистра, а выходы подключены к первой группе входов дополнительного узла формирования логических функций, первая и вторая группа выходов которого соединены соответственно с первой и второй группой входов дополнительного узла формирования внутритетрадных переносов, третья группа выходов которого подключена к выходам узла формирования междетрадных переносов, а выходы соединены с шестой группой входов узла

поразрядной селекции, седьмая группа входов которого подключена к третьей группе выходов дополнительного узла формирования логических функций, вторая группа входов которого подключена к выходам второго регистра.

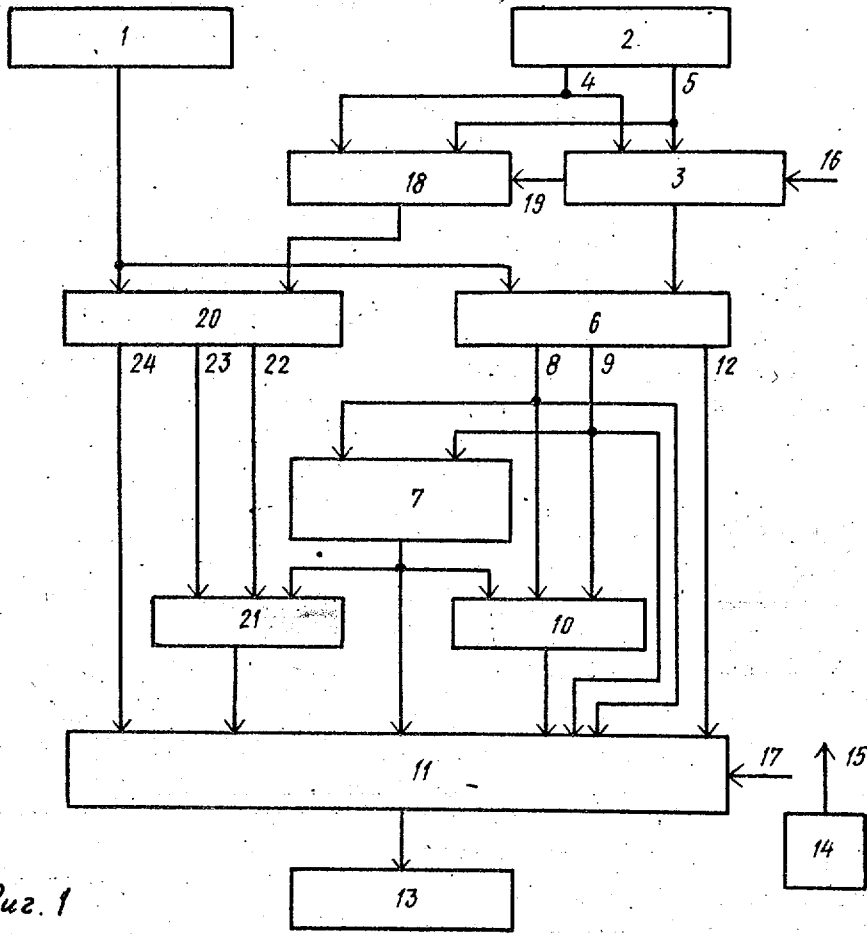
2. Арифметико-логическое устройство по п. 1, отличающееся тем, что узел поразрядной селекции содержит в каждом разряде элементы И и ИЛИ, причем выходы элементов И подключены ко входам элемента ИЛИ, выход которого соединен с выходом соответствующего разряда узла поразрядной селекции, первые входы первого, второго и третьего элементов И соединены с соответствующими входами первой, второй и третьей групп входов узла поразрядной селекции, а вторые входы соединены соответственно с первым, вторым и третьим управляющими входами узла поразрядной селекции, соответствующий вход третьей группы входов подключен также к первому инверсному входу четвертого элемента И и первому прямому входу пятого элемента И, второй прямой и второй инверсный входы которых соединены с соответствующим входом четвертой группы входов узла поразрядной селекции, первый инверсный вход шестого элемента И и первый прямой вход седьмого элемента И подключены к соответствующему входу седьмой группы входов узла поразрядной селекции, соответствующий вход шестой группы входов которого соединен со вторым прямым входом шестого и вторым инверсным входом седьмого элемента И, третьи инверсные входы которых совместно с третьими прямыми входами четвертого и пятого элементов И подключены к соответствующему входу пятой группы входов узла поразрядной селекции, четвертый управляющий вход которого соединен с четвертыми входами четвертого, пятого, шестого и седьмого элементов И.

Источники информации,

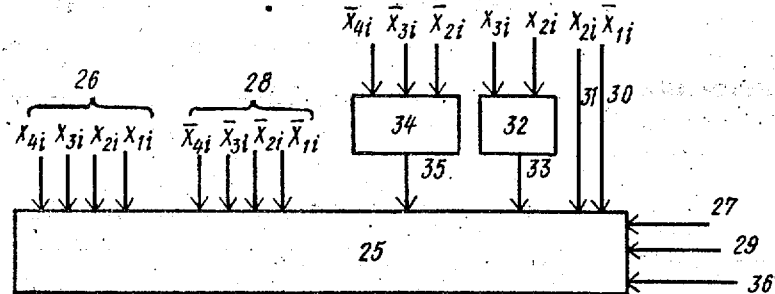
принятые во внимание при экспертизе

1. Дроздов Б. А. и др. Электронные вычислительные машины ЕС, М., "Машиностроение", 1976, с. 206-213.

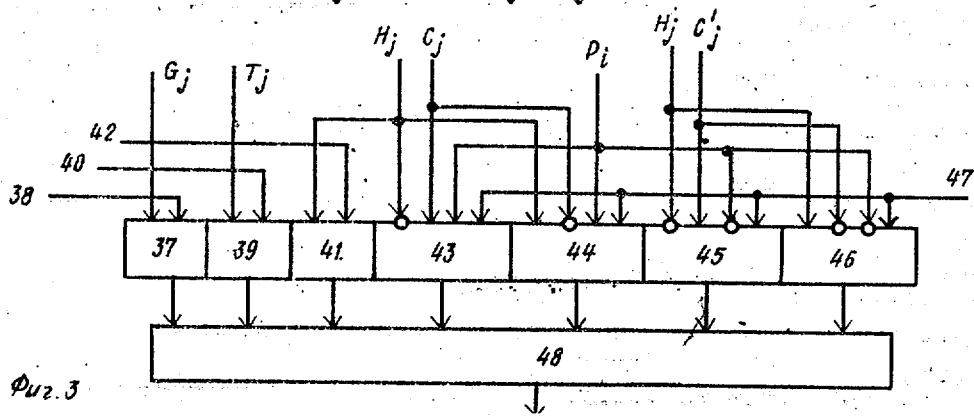
2. Отчет по НИР Б 307997 "Исследование некоторых вопросов организации структуры и использования ЭВМ", VII этап, 17/72, Минск, МРТИ, 1973, с. 167 (прототип)



Фиг. 1



Фиг. 2



Фиг. 3

ЦНИИПИ Заказ 7814/42 Тираж 780 Подписное
 Филитвал ППП "Патент", г. Ужгород, ул. Проектная, 4