



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 789998

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 04.01.79 (21) 2714153/18-24

(51) М. Кл.³

с присоединением заявки № -

G 06 F 15/36

(23) Приоритет -

Опубликовано 23.12.80. Бюллетень № 47

(53) УДК 681.3

Дата опубликования описания 23.12.80

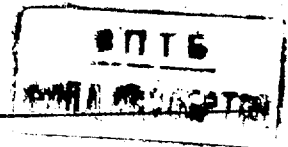
(088.8)

(72) Авторы
изобретения

А. Н. Морозевич, С. Н. Мельникова и В. Н. Ярмолик

(71) Заявитель

Минский радиотехнический институт



(54) СЛЕДЯЩИЙ СТОХАСТИЧЕСКИЙ ИНТЕГРАТОР

1

Изобретение относится к вычислительной технике и может быть использовано в качестве одного из основных многофункциональных узлов в стохастических вычислительных машинах.

Известны стохастические следящие интеграторы, содержащие последовательно соединенные счетчик, схему сравнения, генератор случайных чисел, входы и выходы которых связаны 100%-й обратной связью [1].

Основными недостатками таких интеграторов являются сложность и невысокое быстродействие.

Известен также следящий стохастический интегратор, содержащий блок линейного кодирования, первый вход которого соединен с информационным входом интегратора и последовательно соединенные реверсивный счетчик, схему сравнения и генератор случайных чисел, выходы разрядов которого соединены с первыми входами одноименных разрядов схемы сравнения, вторые входы которых соединены с выходами одноименных разрядов реверсивного счетчика, выход схемы сравнения соединен со вторым входом блока линейного кодирования и выходом интегратора [2].

2

Основным недостатком этого интегратора является ограниченное быстродействие.

Наиболее близким по технической сущности является следящий стохастический интегратор, содержащий блок линейного кодирования, блок реверсивный счетчик, блок сравнения, генератор случайных чисел, суммирующий счетчик и коммутатор, первый и второй информационные входы которого соединены соответственно с первым и вторым входами блока линейного кодирования, первый и второй выходы коммутатора соединены соответственно с суммирующим и вычитающим входами реверсивного счетчика, а третий и четвертый выходы соединены соответственно с суммирующим и вычитающим входами половины старших разрядов реверсивного счетчика, при этом вход суммирующего счетчика соединен с тактовым входом интегратора, а выход - с управляющим входом коммутатора. Работа этого интегратора для достижения заданной точности при уменьшенном числе тактов интегрирования посредством счетчика и коммутатора организуется в два этапа [3]. Его недостаток - ограниченное быстродействие.

Цель изобретения - повышение быстродействия.

Поставленная цель достигается тем, что в следящий стохастический интегратор, содержащий блок линейного кодирования, первый вход которого является информационным входом интегратора, реверсивный счетчик, генератор случайных чисел, блок сравнения, первая группа входов которого соединена соответственно с выходами генератора случайных чисел, а вторая группа входов с соответствующими выходами реверсивного счетчика, выход блока сравнения соединен со вторым входом блока линейного кодирования и является выходом интегратора, суммирующий счетчик, вход которого является тактовым входом, интегратор, дополнительно введены дешифратор и группа коммутаторов, причем одноименные информационные входы всех коммутаторов объединены и подключены соответственно к первому и второму выходам блока линейного кодирования, первый и второй выходы каждого коммутатора соединены соответственно с суммирующим и вычитающим входами соответствующего разряда реверсивного счетчика, выход суммирующего счетчика соединен со входом дешифратора, каждый выход которого соединен с управляющими входами соответствующих коммутаторов.

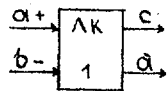
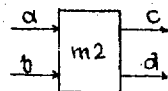
Блок-схема интегратора приведена на чертеже.

Интегратор содержит блок 1 линейного кодирования, группу коммутаторов 2, реверсивный счетчик 3, блок 4 сравнения, суммирующий счетчик 5, дешифратор 6, генератор 7 случайных чисел.

Первый выход 1 линейного кодирования соединен с первыми входами, а второй выход - со вторыми входами группы коммутаторов 2. Выходы коммутаторов группы 2 соединены с соответствующими выходами реверсивного счетчика 3, выходы которого соединены со вторыми входами блока 4 сравнения. Выходы генератора 7 случайных чисел соединены с первыми входами блока 4 сравнения. Выход суммирующего счетчика 5 соединен со входом дешифратора 6, каждый выход которого соединен с управляющими входами соответствующих коммутаторов 2.

Интегратор работает следующим образом.

Перед началом работы счетчики 3 и 5 находятся в нулевом положении. При включении интегратора на суммирующий вход блока 1 линейного кодирования поступает входной поток. В это же время на вход счетчика поступают тактовые импульсы. Блок 1 линейного кодирования выполняет функции сумматора по модулю два с двумя выходами, что поясняется таблицей.

Блок линейного кодирования	Функциональная схема	Таблица истинности			
		a	b	c	d
		0	0	0	0
		0	1	0	1
		1	0	1	0
		1	1	0	0

На первом этапе интегрирования сигналы, поступающие на входы коммутаторов в зависимости от знака, передаются в реверсивный счетчик в первый старший разряд, т.е. другими словами, входная информация поступает на входы +1 и -1 (1 - номер триггера счетчика 3) реверсивного счетчика 3 с выходов +1 и -1 коммутатора К1. При этом $\ell-1$ младших разрядов реверсивного счетчика 3 в работе не участвуют, когда содержимое счетчика 5 станет равным $2^{\ell} \ell 2$, на выходе счетчика 5 возникает сигнал, который поступает на вход дешифратора 6. По этому сигналу дешифратор 6 подключает выходы блока 1 линейного кодирования ко второму старшему разряду реверсивного счетчика 3. Начинается второй этап

интегрирования! входная информация поступает на входы +2 и -2 реверсивного счетчика 3 с выходов +1 и -1 коммутатора К2, при этом в работе не участвуют уже $\ell-2$ младших разрядов реверсивного счетчика 3. Когда содержимое счетчика 5 станет равным $2^{\ell} \ell 2$, на выходе счетчика 5 появляется сигнал, который поступает на вход дешифратора 6. По этому сигналу дешифратор 6 подключает выходы блока 1 линейного кодирования уже к третьему старшему разряду реверсивного счетчика 3. Начинается третий этап интегрирования, при этом входная информация поступает на входы +3 и -3 реверсивного счетчика 3 с выходов +1 и -1 коммутатора К3. В работе не участвуют $\ell-3$ младших разрядов ре-

версивного счетчика 3. На ℓ -ом этапе интегрирования входные сигналы передаются с весом ℓ через коммутатор $K \ell$ в самый младший ℓ -ый разряд реверсивного счетчика 3. Таким образом, на каждом этапе интегрирования, начиная со второго, происходит уточнение ранее накопленной величины. Функция дешифратора 6 состоит в том, что на каждом этапе интегрирования он выбирает соответствующий коммутатор из блока коммутаторов 2. По окончании ℓ -го этапа работы процесс "отслеживания" величины $p(x)$ может быть остановлен. Необходимо отметить, что на первом этапе интегрирования сравнение кодов счетчика 3 и генератора случайных чисел 7 (ГСЧ) происходит аналогичным образом, как и на втором, третьем и ℓ -ом этапах. Во всех случаях сравнивается ℓ разрядный код содержимого счетчика 3 и ℓ разрядный код случайного числа. Однако на первом этапе интегрирования содержимое $\ell-1$ младших разрядов остается неизменным, на втором этапе интегрирования содержимое $\ell-2$ младших разрядов реверсивного счетчика 3 остается неизменным и т.д. На последнем, ℓ -ом этапе интегрирования, - содержимое всех разрядов реверсивного счетчика 3. Этот факт сказывается только на точности преобразования код-вероятность. Так, на первом этапе интегрирования точность преобразования определяется величиной 2^{-1} , на втором - 2^{-2} , на третьем - 2^{-3} и т.д., а на ℓ -ом этапе - величиной $2^{-\ell}$.

Таким образом, введение в устройство дешифратора 6 и группы коммутаторов 2 сокращает процесс слежения практически в ℓ раз при ℓ этапах интегрирования.

Формула изобретения

Следящий стохастический интегратор, содержащий блок линейного кодиро-

5
10
15
20
25
30
35
40

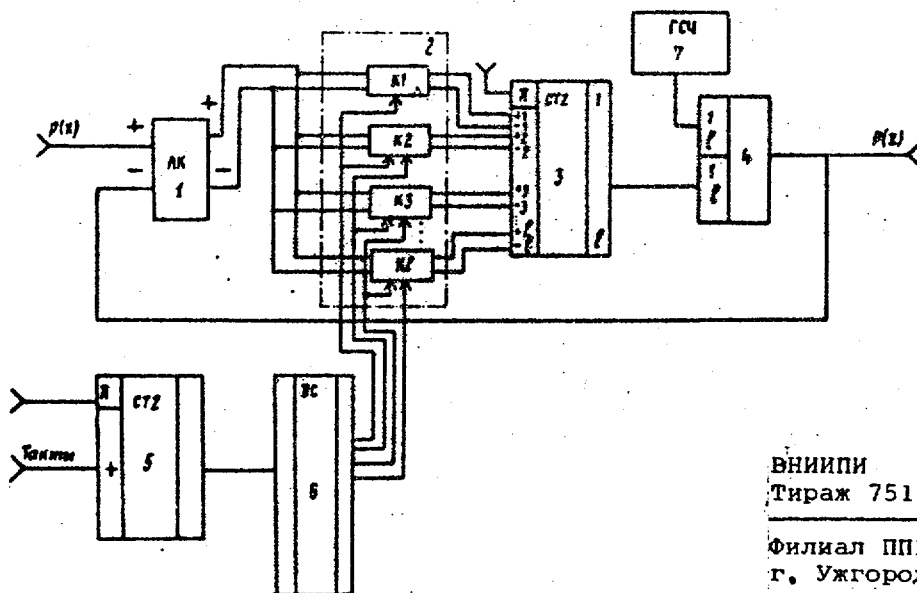
вания, первый вход которого является информационным входом интегратора, реверсивный счетчик, генератор случайных чисел, блок сравнения, первая группа входов которого соединена соответственно с выходами генератора случайных чисел, а вторая группа входов - с соответствующими выходами реверсивного счетчика, выход блока сравнения соединен со вторым входом блока линейного кодирования и является выходом интегратора, суммирующий счетчик, вход которого является тактовым входом интегратора, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, он содержит дешифратор и группу коммутаторов, причем одноименные информационные входы всех коммутаторов объединены и подключены соответственно к первому и второму выходам блока линейного кодирования, первый и второй выходы каждого коммутатора соединены соответственно с суммирующим и вычитающим входами соответствующего разряда реверсивного счетчика, выход суммирующего счетчика соединен со входом дешифратора, каждый выход которого соединен с управляющими входами соответствующих коммутаторов.

Источники информации, принятые во внимание при экспертизе

1. Гейнс. Стохастическая вычислительная машина. "Электроника", 1967, № 14.

2. Яковлев В.В. и Федоров Р.Ф., Стохастические вычислительные машины. Л., "Машиностроение", 1974, с.150-154, рис. 66.

3. Авторское свидетельство СССР № 587468, кл. G 06 F 15/36, 1976 прототип .



ВНИИПИ Заказ 9041/50
Тираж 751 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4