



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11) 705445

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 08.09.77 (21) 2521843/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 25.12.79. Бюллетень № 47

Дата опубликования описания 28.12.79

(51) М. Кл.²

G 06 F 7/385
G 06 F 11/00

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

И.В. Дедулев и А.А. Шостак

(71) Заявитель

Минский радиотехнический институт

(54) СУММАТОР СО СКВОЗНЫМ ПЕРЕНОСОМ

1

2

Изобретение относится к области вычислительной техники и может быть применено при разработке арифметических устройств, контроль которых организован по четности, а используемые сумматоры образуют разрядные переносы сквозным (последовательным) способом.

Известны сумматоры со сквозным переносом с организацией контроля по четности, содержащие в каждом разряде узел образования переноса из данного разряда и узел формирования суммы с функциональной зависимостью от переноса, входы которого соединены с выходами узлов образования переноса из данного и предыдущего разрядов [1] и [2]. Хотя данные сумматоры и позволяют обнаруживать все ошибки, вызываемые одиночной неисправностью, при организации их контроля по четности, однако они требуют для своей реализации большого объема оборудования, а следовательно, имеют пониженную надежность.

В качестве прототипа выбран сумматор со сквозным переносом, содержащий в каждом разряде элементы И и ИЛИ, входы которых соединены с шинами

значений разрядных слагаемых, узел образования переноса из данного разряда, входы которого соединены с выходами элементов И и ИЛИ, а также с шиной значения переноса из предыдущего разряда, узел формирования суммы, входы которого соединены с выходом элемента ИЛИ, с шиной значения переноса из предыдущего разряда, а также с выходом инверсного значения переноса узла образования переноса из данного разряда [3].

Недостатком такого сумматора является невозможность обнаружения всех ошибок, вызываемых одиночной неисправностью сумматора при организации его контроля по четности, то есть низкая функциональная надежность.

Действительно, разрядные суммы формируются в таком сумматоре в соответствии с выражением

$$S_n = \bar{c}_n (T_n + c_{n-1}) \oplus G_n c_{n-1},$$

где $G_n = a_n b_n$, $T_n = a_n \oplus b_n$ - функции соответственно генерации и транзита переноса, формируемые первым элементом И и элементом ИЛИ;
 a_n, b_n - разрядные слагаемые n-го разряда сумматора;

C_{n-1} — перенос из предыдущего разряда;

$C_n = G_n + T_n C_{n-1}$ — перенос из данного разряда.

Значение булевых разностей и их произведений имеют вид:

$$\frac{ds_n}{dc_n} = \frac{d[\bar{c}_n(T_n + C_{n-1}) + G_n C_{n-1}]}{dc_n} = G_n C_{n-1} (T_n + C_{n-1}) =$$

$$= (\bar{G}_n + \bar{G}_{n-1})(T_n + C_{n-1});$$

$$\frac{ds_n}{dc_{n-1}} = \frac{d[(G_n + T_n C_{n-1})(T_n + C_{n-1}) + G_n C_{n-1}]}{dc_{n-1}} =$$

$$= \frac{d(\bar{T}_n C_{n-1} + G_n \bar{C}_{n-1} + G_n C_{n-1})}{dc_{n-1}} = \frac{d[C_{n-1}(\bar{T}_n + G_n) + G_n \bar{C}_{n-1}]}{dc_{n-1}} =$$

$$= \bar{H}_n \vee H_{n-1};$$

$$\frac{ds_n}{dg_n} = \frac{d(\bar{T}_n C_{n-1} + \bar{G}_n T_n \bar{C}_{n-1} + G_n C_{n-1})}{dg_n} =$$

$$= \bar{T}_n C_{n-1} (T_n \bar{C}_{n-1} \vee C_{n-1}) = T_n;$$

$$\frac{ds_n}{dT_n} = \frac{d(\bar{T}_n C_{n-1} + \bar{G}_n T_n \bar{C}_{n-1} + G_n C_{n-1})}{dT_n} =$$

$$= G_n C_{n-1} (C_{n-1} \vee \bar{G}_n \bar{C}_{n-1}) = G_n;$$

$$\frac{dc_n}{dg_n} \frac{ds_n}{dg_n} = \bar{T}_n C_{n-1} \bar{T}_n = \bar{T}_n; \quad \frac{dc_n}{dT_n} \frac{ds_n}{dT_n} = \bar{G}_n C_{n-1} G_n = 0.$$

Анализ значений приведенных булевых разностей позволяет сделать следующие выводы:

а) ошибка в образовании C_n , вызванная неисправностью схемы образования переноса из n -го разряда, не будет обнаружена контролем по четности, если: $a_n = b_n = C_{n-1} = 0$ или $a_n = b_n = C_{n-1} = 1$;

б) ошибка в образовании G_n , вызванная неисправностью схемы формирования функции генерации переноса, не будет обнаружена контролем по четности, если: $a_n = b_n = 0$.

Целью изобретения является обнаружение всех ошибок, вызываемых одиночной неисправностью сумматора, при контроле его работы по четности, т.е. повышение его функциональной надежности (вероятности получения достоверных результатов).

Поставленная цель достигается тем, что сумматор содержит в каждом разряде второй элемент И, входы которого соединены с шинами значений разрядных слагаемых, а выход соединен с дополнительным входом узла формирования суммы, третий элемент И, входы которого соединены с выходом второго элемента И и с выходом инверсного значения переноса узла образования переноса из данного разряда, четвертый элемент И, первый вход которого через элемент НЕ соединен с выходом элемента ИЛИ, а второй вход соединен с выходом прямо-

го значения переноса узла образования переноса из данного разряда, выходы третьего и четвертого элемента И соединены с шиной сигнализации сбоя сумматора.

5 На чертеже приведена схема предлагаемого сумматора (для определенности рассмотрен n -й разряд).

Сумматор содержит элементы 1 И и 2 ИЛИ для формирования соответственно функций генерации и транзита переноса, входы которых соединены с шинами 3 значений разрядных слагаемых, узел 4 образования переноса из данного разряда, входы которого соединены с выходами элементов 1 И и 2 ИЛИ, а также с шиной 5 значения переноса из предыдущего разряда, узел 6 формирования суммы, входы которого соединены с выходом элемента 2 ИЛИ, с шиной 5 значения переноса из предыдущего разряда, а также с выходом 7 инверсного значения переноса, узла 4 образования переноса из данного разряда, второй элемент 8 И для дублирования функции генерации переноса, входы которого соединены с шинами 3 значений разрядных слагаемых, а выход соединен с дополнительным входом узла 6 формирования суммы, третий элемент 9 И, входы которого соединены с выходом элемента 8 И и с выходом 7 инверсного значения переноса узла 4 образования переноса из данного разряда, четвертый элемент 10 И, первый вход которого через элемент 11 НЕ соединен с выходом элемента 2 ИЛИ, а второй вход соединен с выходом 12 прямого значения переноса узла 4 образования переноса из данного разряда, выходы элементов 9, 10 И соединены с шиной сигнализации 13 сбоя сумматора.

Сумматор работает следующим образом. Рассмотрим обнаружение ошибок в работе сумматора, вызываемых одиночной неисправностью элементов 1, 8 И, 2 ИЛИ и узлов 4, 6 образования переноса и формирования суммы, так как только они могут повлиять на правильность формирования суммы (результата).

50 Пусть ошибка в формировании суммы вызвана неисправностью узла 6 или элемента 8 И. Но тогда она будет всегда обнаружена контролем по четности, так как неисправность узла 6 или элемента 8 И может привести к возникновению ошибки только в n -ом разряде суммы.

60 Пусть возникла ошибка в сумме из-за неисправности элемента 2 ИЛИ. Выше было показано, что если ошибка в формировании функции T_n вызывает ошибку в переносе, то она в обязательном порядке вызовет ошибку и в формировании S_n суммы. Но тогда общее число

ошибок в разрядах суммы и переноса будет нечетно, например, ошибки в S_n, S_{n+1} или $C_n, S_n, C_{n+1}, S_{n+1}, S_{n+2}$ и т.д.

В заключение рассмотрим случай, когда ошибка в сумме вызвана неисправностью элемента 1 И или узла 4. Ранее было показано, что во всех случаях, кроме $a_n = b_n = C_{n-1} = 0$ и $a_n = b_n = C_{n-1} = 1$ ошибка в C_n обязательно вызывает ошибки в S_n и S_{n+1} разрядных суммах, что обнаруживается контролем по четности. В случае же, когда $a_n = b_n = C_{n-1} = 1$ и возникла ошибка в формировании C_n переноса, то она будет выделена элементом 9 И, если же $a_n = b_n = C_{n-1} = 0$, то она будет выделена элементом 10 И.

Итак, в данном сумматоре, любая ошибка, вызываемая одиночной неисправностью, будет обнаружена контролем по четности. Следует особо отметить, что надежность сумматора (вероятность безотказной работы) при этом практически осталась неизменной. Общий объем введенного дополнительно оборудования невелик (три двухвходовых элемента И и один элемент НЕ).

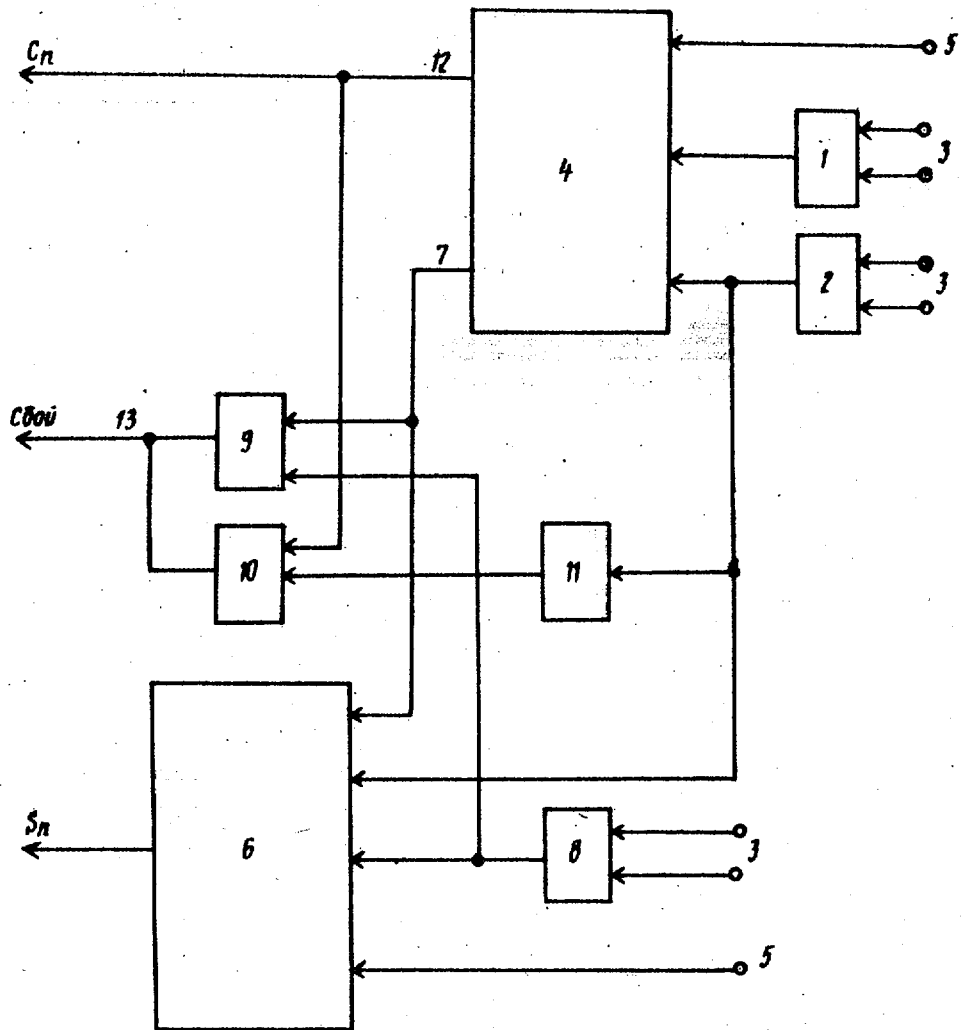
формула изобретения

Сумматор со сквозным переносом, содержащий в каждом разряде элементы И и ИЛИ, входы которых соединены с шинами значений разрядных слагаемых, узел образования переноса из данного разряда, входы которого соединены с выходами элементов И и ИЛИ, а также с шиной значения переноса

из предыдущего разряда, узел формирования суммы, входы которого соединены с выходом элемента ИЛИ, с шиной значения переноса из предыдущего разряда, а также с выходом инверсного значения переноса узла образования переноса из данного разряда, отличающийся тем, что, с целью повышения функциональной надежности, сумматор содержит в каждом разряде второй элемент И, входы которого соединены с шинами значений разрядных слагаемых, а выход соединен с дополнительным входом узла формирования суммы, третий элемент И, входы которого соединены с выходом второго элемента И и с выходом инверсного значения переноса узла образования переноса из данного разряда, четвертый элемент И, первый вход которого через элемент НЕ соединен с выходом элемента ИЛИ, а второй вход соединен с выходом прямого значения переноса узла образования переноса из данного разряда, выходы третьего и четвертого элементов И соединены с шиной сигнализации сбоя сумматора.

Источники информации, принятые во внимание при экспертизе

1. Селлерс Р. Методы обнаружения ошибок в работе ЭЦВМ, М., "Мир" 1972, с.127-130.
2. Авторское свидетельство СССР № 397909, кл. G 06 F 7/50, 1971.
3. Карцев М.А. Арифметика цифровых машин. М., "Наука", 1969, с.152 (прототип).



Составитель В.Березкин
 Редактор Д.Милитеев Техред Н.Ковалева Корректор В.Бутяга

Заказ 8032/52 Тираж 780 Подписное
 ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г.Ужгород, ул.Проектная, 4