



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 807278

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 31.07.78 (21) 2653061/18-24

(51) М. Кл.³

с присоединением заявки № —

G 06 G 7/52
G 06 F 11/10

(23) Приоритет —

Опубликовано 23.02.81 Бюллетень № 7

(53) УДК 681.325
(088.8)

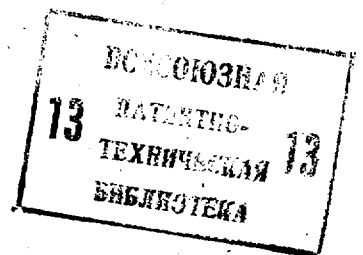
Дата опубликования описания 25.02.81

(72) Авторы
изобретения

И. В. Гедулев и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ЧАСТИЧНЫХ
ПРОИЗВЕДЕНИЙ С КОНТРОЛЕМ

1

Изобретение относится к вычислительной технике и может быть использовано при разработке контролируемых арифметических устройств, в частности устройств умножения с контролем по четности.

Известно устройство для формирования частичных произведений, содержащее n -разрядный регистр множимого, n элементов I и первые входы которых соединены с шиной значения одного разряда множителя, а вторые входы соединены с соответствующим разрядом регистра множимого [1].

Недостатком известного устройства является невозможность его использования в быстродействующих устройствах умножения матричного типа.

Наиболее близким по технической сущности к предлагаемому является устройство для формирования частичных произведений, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, матрицу из n^2 элементов I , причем первые входы элементов I каждой i -ой строки матрицы ($1 \leq i \leq n$) соединены с выходом i -го разряда регистра множителя, а вторые входы соединены с соответствующим разрядом регистра множителя [2].

2

Недостатком известного устройства является его низкая функциональная надежность вызванная большим объемом используемого оборудования, так как при разрядности обрабатываемой информации $n = 32$, количество используемых в устройстве элементов I равно 1024.

Цель изобретения — повышение достоверности работы устройства. Поставленная цель достигается тем, что в устройстве содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, матрицу n^2 элементов I , причем первые входы элементов I каждой строки матрицы соединены с соответствующими разрядами регистра множителя, вторые входы элементов I каждого столбца матрицы соединены с соответствующими разрядами регистра множимого, введены блок сложения по модулю два и в каждом j -м столбце матрицы ($1 \leq j \leq 2n-1$), кроме первого и последнего, сумматор по модулю два, причем входы сумматора по модулю два j -го столбца матрицы соединены с выходами элементов I j -го столбца матрицы, выходы сумматоров по модулю два соединены с соответствующими входами блока сложения по

модулю два, дополнительный вход которого является входом произведения четности сомножителей устройства, а выход является контрольным выходом устройства.

На чертеже приведена функциональная схема устройства для вычисления частичных произведений (разрядность n принята равной четырем).

Устройство содержит регистр 1 множимого, регистр 2 множителя, матрицу элементов И 3, блок 4 сложения по модулю два, вход 5 произведения четностей сомножителей, в каждом j -ом столбце матрицы ($1 \leq j \leq 7$), за исключением первого и последнего (седьмого), сумматор 6 по модулю два, причем первые входы элементов И 3 каждой i -ой строки матрицы ($1 \leq i \leq 4$) соединены с выходом i -го разряда регистра 2 множителя, а вторые входы соединены с соответствующим разрядом регистра 1 множимого, входы узла 6 сложения по модулю два j -го столбца матрицы соединены с выходами элементов И 3 j -го столбца матрицы, а его выход соединен с соответствующим входом блока 4 сложения по модулю два, дополнительные входы которого соединены с выходами элементов И 3 первого и последнего столбцов матрицы, а также с входом 5 произведения четностей сомножителей, выход блока 4 сложения по модулю два подключен к выходу сигнализации сбоя устройства.

Устройство работает следующим образом.

В регистры 1 и 2 соответственно множимого и множителя записываются параллельно либо последовательно коды сомножителей. На выходах элементов И 3 матрицы формируется массив частичных произведений с учетом их весовых коэффициентов, который в дальнейшем с целью формирования окончательного произведения может быть обработан любым из известных методов.

Контроль за работой устройства осуществляется путем проверки контрольного соотношения

$$P_A \cdot P_B = P_{\text{мчп}}$$

где P_A и P_B — четности сомножителей A и B ;

$P_{\text{мчп}}$ — четность массива частичных произведений, которая фактически является результатом сложения по модулю два всех элементов массива без учета их весовых коэффициентов.

Ниже приведены некоторые примеры, подтверждающие правильность используемого контрольного соотношения

$$\text{а) } \begin{array}{r} A = 1\ 1\ 1\ 1 \\ B = 0\ 0\ 1\ 1 \end{array}$$

$$\begin{array}{r} 1\ 1\ 1\ 1 \\ 1\ 1\ 1\ 1 \\ 0\ 0\ 0\ 0 \\ 0\ 0\ 0\ 0 \end{array}$$

$$\begin{array}{l} P_A \cdot P_B = 0 \cdot 0 = \\ = 0 \quad P_{\text{мчп}} = 0 \end{array}$$

$$\text{в) } \begin{array}{r} A = 1\ 0\ 1\ 1 \\ B = 0\ 0\ 0\ 1 \end{array}$$

$$\begin{array}{r} 1\ 0\ 1\ 1 \\ 0\ 0\ 0\ 0 \\ 0\ 0\ 0\ 0 \\ 0\ 0\ 0\ 0 \end{array}$$

$$\begin{array}{l} P_A \cdot P_B = 1 \cdot 1 = \\ = 1 \quad P_{\text{мчп}} = 1 \end{array}$$

$$\text{б) } \begin{array}{r} A = 1\ 1\ 1\ 1 \\ B = 1\ 0\ 1\ 1 \end{array}$$

$$\begin{array}{r} 1\ 1\ 1\ 1 \\ 1\ 1\ 1\ 1 \\ 0\ 0\ 0\ 0 \\ 1\ 1\ 1\ 1 \end{array}$$

$$\begin{array}{l} P_A \cdot P_B = 0 \cdot 1 = \\ = 0 \quad P_{\text{мчп}} = 0 \end{array}$$

5

10

15

20

25

30

35

40

45

50

55

60

65

Таким образом, определение четности массива частичных произведений может осуществляться различными способами. В предлагаемом устройстве четность массива частичных произведений определяется путем предварительного формирования четностей столбцов массива частичных произведений с помощью сумматоров 6 по модулю два с последующим их суммированием по модулю два в блоке 4 сложения по модулю два. Это позволяет,

во-первых, в качестве сумматоров 6 по модулю два использовать оборудование множительного устройства, если в нем при преобразовании многоразрядного кода к двухрядному используются быстродействующие параллельные счетчики, определяющие число единиц в каждом столбце массива частичных произведений;

во-вторых, с помощью блока 4 сложения по модулю два фактически контролировать работу не только матрицы элементов И 3, но и значительную часть оборудования устройства умножения, представленную на чертеже в виде сумматоров 6 по модулю два (сумматор 6 фактически является той частью схемы комбинационного счетчика устройства умножения, которая формирует значение младшего разряда суммы единиц соответствующего столбца массива частичных произведений).

Таким образом, с помощью незначительного контрольного оборудования, представленного в виде блока 4 сложения по модулю два, можно контролировать большой объем оборудования устройства умножения. Так, например, при $n = 8$ объем контрольного оборудования в смысле цены Квайна примерно в 4,5 раза меньше, чем объем контролируемого оборудования устройства умножения. С увеличением разрядности сомножителей это соотношение увеличивается. Так, при $n = 32$ объем контрольного оборудования примерно в 8

раз меньше объема контролируемого оборудования.

Технико-экономическое преимущество предлагаемого устройства состоит в том, что оно позволяет повысить функциональную надежность известного устройства за счет обнаружения всех ошибок, вызываемых одиночной несправностью устройства. При этом объем дополнительно введенного оборудования незначительный (при $n = 32$ объем введенного оборудования примерно в 8 раз меньше объема контролируемого оборудования).

Формула изобретения

Устройство для вычисления частичных произведений с контролем, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, матрицу n^2 элементов И, причем первые входы элементов И каждой строки матрицы соединены с соответствующими разрядами регистра множителя, вторые входы элементов И каждого столбца матрицы

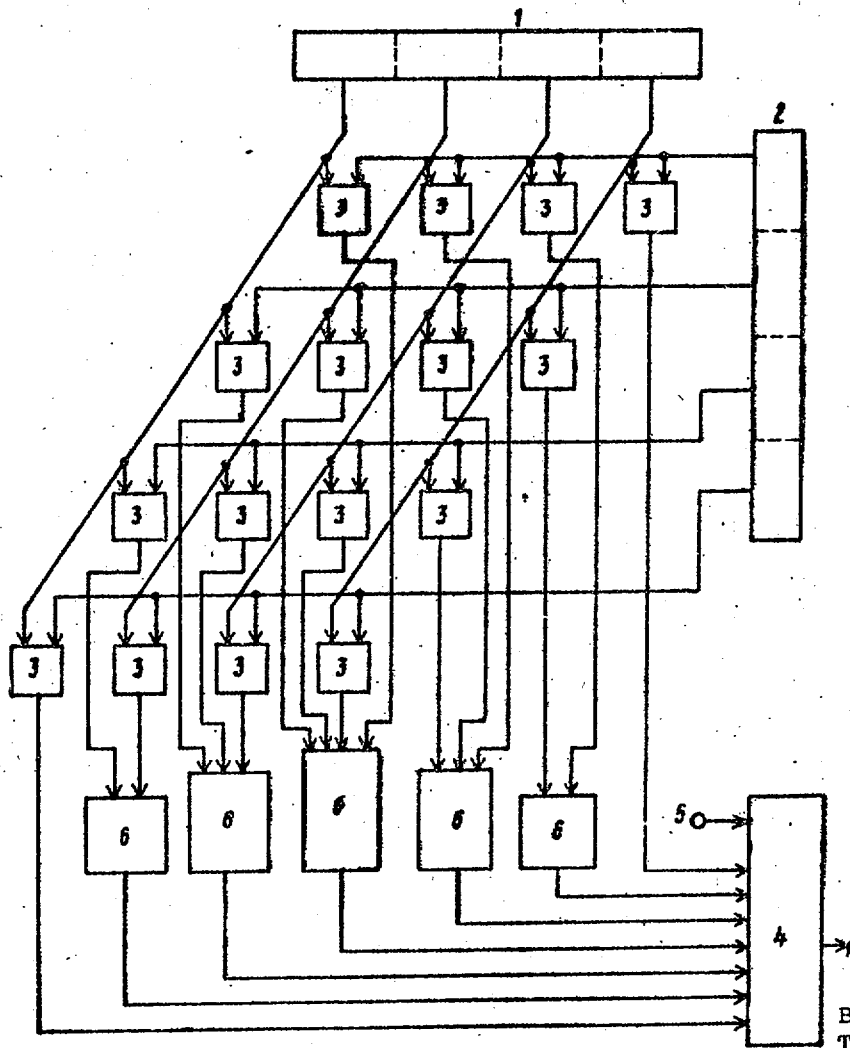
соединены с соответствующими разрядами регистра множимого, отличающееся тем, что, с целью повышения достоверности, оно содержит блок сложения по модулю два и в каждом j -м столбце матрицы ($1 \leq j \leq 2n-1$), кроме первого и последнего, сумматор по модулю два, причем входы сумматора по модулю два j -го столбца матрицы соединены с выходами элементов И j -го столбца матрицы, выходы сумматоров по модулю два соединены с соответствующими входами блока сложения по модулю два, дополнительный вход которого является входом произведения четности сомножителей устройства, а выход является контрольным выходом устройства.

Источники информации,

принятые во внимание при экспертизе

1. Хетагуров Я. А., Малишевский В. В. и Потураев О. С. Основы инженерного проектирования УЦВМ. М., "Советское радио", 1972, с. 124.

2. Карцев М. А. Арифметика цифровых машин. М., 1969, с. 438 (прототип).



ВНИИПИ Заказ 292/73
Тираж 756 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Пресектная, 4