



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 19.06.78 (21) 2631209/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.03.81. Бюллетень № 10

Дата опубликования описания 15.03.81

(11) 813286

(51) М. Кл.³

G 01 R 23/00

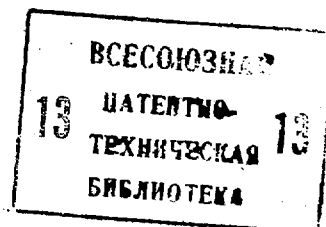
(53) УДК 681.323
(088.8)

(72) Авторы
изобретения

В.П. Шмерко, В.Д. Дубовец, А.Ю. Гарин,
Н.А. Маслакова и М.А. Орлов

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ СПЕКТРАЛЬНОГО АНАЛИЗА

Изобретение относится к цифровой вычислительной технике и может быть использовано при создании специализированных вычислительных машин для спектрального анализа процессов и сигналов, имитаторов случайных процессов с заданными управляемыми спектральными характеристиками, вычислительно-моделирующих комплексов для испытаний изделий на вибрационные, ударные, электрические, и другие воздействия, навигационных и радиолокационных систем слежения и обнаружения.

Известно устройство для спектрального анализа, которое позволяет получить спектр или спектр мощности процессов и сигналов в одной из базисных систем функций. Оно обеспечивает вычисления оценок спектральных характеристик в классической системе тригонометрических функций одним из наиболее быстродействующих способов - быстрым преобразованием Фурье [1].

Известны другие устройства, которые позволяют получить оценки спектра или спектра мощности в системе базисных функций Уолша и в основу их работы положен способ преобразования Уолша.

Существенными признаками устройства [1] являются применение блока задания системы базисных функций в виде функционального генератора или долговременной памяти, осуществляющий формирование в заданные моменты времени выборочные значения базисных функций в частности, тригонометрических или функций Уолша, арифметического блока, включающего в себя блок умножения и сумматор, блока управления, регламентирующего взаимодействие всех структурных узлов устройства.

Недостаток известного устройства связан с невозможностью получения непосредственно по реализации процесса спектра мощности Уолша.

Наиболее близким по технической сущности к предлагаемому является анализатор, содержащий блок вычисления корреляционной функции, сумматор, два переключателя, блок памяти, блок вычисления спектра мощности Фурье, счетчик и триггер. Устройство обеспечивает вычисление спектра мощности Фурье процесса и его корреляционной функции [2].

Недостатками таких устройств для спектрального анализа, присущим в полной мере к известному, является

5

10

15

20

25

30

2

принципиальная невозможность получения спектра мощности Уолша непосредственно из спектра мощности Фурье, т.е. ограничение функциональных возможностей, что не позволяет решить ряд задач в условиях, когда исходный (анализируемый) процесс недоступен для анализа, но его характеристики известны априори и заданы в виде спектра мощности Фурье, а также невозможность вычисления отдельных, заданных компонент спектра мощности Уолша.

Цель изобретения - расширение функциональных возможностей за счет получения спектра мощности Уолша по известному спектру мощности Фурье.

Поставленная цель достигается тем, что в устройство для спектрального анализа, содержащее счетчик, первый вход которого является первым входом устройства, второй вход счетчика объединен с первым входом сумматора, первый выход счетчика подключен ко входу первого триггера, блок вычисления спектра мощности Фурье, вход которого является вторым входом устройства, а выход соединен с первым входом первого блока памяти, второй вход которого является третьим входом устройства, введены дешифратор, формирователь адреса и блок синхронизации, два блока памяти, два блока формирования дополнительного кода, блок элементов И, второй триггер, блок элементов ИЛИ, переключатель и блок умножения, входы которого подключены соответственно к выходу первого блока памяти и к выходу блока элементов ИЛИ, входы которого подключены соответственно к выходам второго и третьего блоков памяти, входы которых подключены соответственно к первому и второму выходам переключателя, входы которого соединены соответственно с выходом второго триггера и с первым выходом первого и второго блоков формирования дополнительного кода, вторые входы которых соединены соответственно с первым и вторым входами блока элементов И, входы первого блока формирования дополнительного кода подключены соответственно к выходу счетчика и к выходу первого триггера, входы второго блока формирования дополнительного кода соединены соответственно с выходом формирователя адреса, и с выходом первого триггера, третий вход первого блока памяти подключен к выходу формирователя адреса, вход второго триггера соединен с выходом блока элементов И, выход блока умножения соединен со вторым входом сумматора.

На чертеже представлена структурная схема устройства.

Устройство содержит счетчик 1, дешифратор 2, формирователь 3 адреса, блок 4 синхронизации, первый 5 и

второй 6 триггеры, первый 7 и второй 8 блоки формирования дополнительного кода, блок 9 элементов И, переключатель 10, блок 11 вычисления спектра мощности Фурье, первый 12, второй 13 и третий 14 блоки памяти, блок 15 элементов ИЛИ, блок 16 умножения, сумматор 17.

Первые входы устройства и счетчика 1 соединены между собой, второй вход последнего подключен к выходу блока 4 синхронизации и второму входу сумматора 17, первый выход подключен ко входу дешифратора 2 и второму входу первого блока 7 формирования дополнительного кода, а второй выход соединен со входом первого триггера 5, вход которого подключен к первым входам первого 7 и второго 8 блоков формирования дополнительного кода, первые выходы которых соединены с первым и вторым входами блока элементов И 9, а вторые выходы подключены к первому и третьему выходам переключателя 10 соответственно, первый и второй выходы последнего подключены ко входам второго 13 и третьего 14 блоков памяти соответственно, соединенными выходами соответственно с первым и вторым входами блока 15 элементов ИЛИ; выход которого подключен к первому входу блока 16 умножения, который вторым входом подключен к выходу первого блока 12 памяти, а выходом подключен к первому входу сумматора 17, включенного последовательно с выходом устройства, дешифратор 2, формирователь 3 адреса и блок 4 синхронизации соединены последовательно, причем вход последнего подключен ко вторым входам второго блока 8 формирования дополнительного кода и первого блока 12 памяти, вход блока 11 вычисления спектра мощности Фурье соединен со вторым входом устройства, а выход подключен к первому входу первого блока 12 памяти, соединенного третьим входом с третьим входом устройства, конъюнктор 9 и второй триггер 6 соединены последовательно, причем выход последнего подключен ко второму входу переключателя 10.

Счетчик 1 предназначен для формирования последовательностей номеров g вычисляемых коэффициентов спектра мощности Уолша. Начальное состояние счетчика, т.е. первый номер g , с которого необходимо начать вычисления, записывается с первого входа устройства, а изменение состояния счетчика на единицу выполняется по импульсу, поступающему на его второй вход. Разрядность счетчика m определяется максимальным количеством пересчитываемых спектральных компонент $(m-1)$ младших разрядов счетчика подается на первый его выход, а старший g_m разряд - на второй выход; в процессе функционирования устройства состоя-

ние счетчика 1 определяет номер цикла. Начальный номер цикла определяется начальным состоянием счетчика 1.

Дешифратор 2 осуществляет управление работой формирователя 3 адреса и функционирует в соответствии с выражением

$$Y^{m-1} = R^{m-1}(2r) \oplus R^{m-1}(2r-1) \quad (1)$$

$$r \in \{1, 2, \dots, n-1\}$$

где Y^{m-1} - выходной $(m-1)$ - разрядный двоичный код; $R^{m-1}(2r)$, $R^{m-1}(2r-1)$ - $(m-1)$ - старших разрядов кодов Грея соответственно от четных и нечетных номеров r коэффициентов спектра мощности Уолша.

Формирователь 3 адреса предназначен для формирования адресов для первого 12, второго 13 и третьего 14 блоков памяти путем формирования последовательности кодов при фиксированном коде на входе, т.е. в процессе функционирования устройства входному преобразованному коду номера цикла ставится в соответствие ряд номеров тактов, формируемых на выходе. Номера тактов связаны функциональной зависимостью, определяемой законом работы преобразователя 3 кода.

Блок 4 синхронизации обеспечивает работу счетчика 1, задание очередного номера цикла и выдачу информации из сумматора 17 на выход устройства по концу цикла.

Первый 5 и второй 6 триггеры предназначены для управления работой первого 7 и второго 8 блоков формирования дополнительного кода и переключателя 10 соответственно. Первый триггер 5 соединен своим установочным входом со старшим r разрядом счетчика 1; второй триггер 6 подключен установочным входом через конъюнктор 9 к первому младшим разрядам кодов k и g .

Первый 7 и второй 8 блоки формирования дополнительного кода предназначены для преобразования в соответствии с управляющим сигналом на первом входе поступающих на вторые входы кодов в адреса для второго 13 или третьего 14 блоков памяти; старшие разряды сформированных кодов подаются на входы переключателя 10, а первые разряды подключены ко входам конъюктора 9. Получение дополнительного кода числа первым 7 и вторым 8 блоками формирования дополнительного кода может быть выполнено по любому из известных методов.

Блок 9 элементов И выполняет операцию логического умножения над первыми (младшими) разрядами кодов, формируемыми первым 7 и вторым 8 блоками формирования дополнительного кода.

Переключатель 10 обеспечивает коммутацию и группировку поступающих на первый и второй входы кодов в соответствии с управляющим сигналом на третьем входе в целях формирования

адреса для второго 13 или третьего 14 блока памяти. Группировка осуществляется в соответствии с заданным законом коммутации.

Блок 11 вычисления спектра мощности Фурье предназначен для получения коэффициентов спектра мощности процесса, поступающего на его вход со второго входа устройства, по любому из известных способов (прямой метод преобразования, быстрые алгоритмы, через корреляционные функции и т.д.).

Первый блок 12 памяти предназначен для приема с выхода блока 11 вычисления спектра мощности Фурье или с третьего входа устройства и хранения коэффициентов спектра мощности Фурье в естественном порядке, т.е. первый коэффициент - в первой ячейке памяти, второй - во второй ячейке и т.д.

Второй 13 и третий 14 блоки памяти предназначены для хранения матрицы ядра преобразования в соответствии с принятой процедурой упаковки (адресации). В каждом из блоков памяти хранится часть общей матрицы ядра преобразования. Эти части матрицы упакованы (специально организованы) с целью устранения избыточной информации.

Блок элементов ИЛИ 15 выполняет передачу на выход считанных со второго 13 или третьего 14 блоков памяти кодов.

В операционную часть устройства входят блок 16 умножения, выполняющий перемножение поступающих на первый и второй его входы кодов, сумматор 17 (накапливающего типа), обеспечивающий передачу на выход результатов операций (в конце цикла работы устройства) по низкому уровню напряжения на втором его входе.

Формирователь 3 адреса и переключатель 10 имеют особенности схемных решений и функционирования.

Формирователь 3 содержит $(m-1)$ схему преобразования, каждая из которых преобразует входной $(m-1)$ - разрядный код в последовательность кодов по соотношению

$$Y_i = 2^{i-1}(2l-1), l = 1, 2, \dots, N/2^{i+1}, 1/2 \quad (2)$$

где Y_i - функционально-связанная и определяемая параметром j ; последовательность кодов, j - номер разряда, в котором записана единица во входном двоичном коде, определяющий номер схемы формирователя адреса, $j \in 1, 2, \dots, m-1$.

В табл. 1 поясняется работа формирователя адреса всех возможных комбинаций входных кодов. Каждое число последовательности является номером такта работы устройства, длина последовательности определяет длительность цикла. Признаком конца цикла является

ся нулевой код, формируемый в конце каждой последовательности.

Т а б л и ц а 1

№ схемы	Вход	Выход
1	00...0001	1, 3, 5, ..., (n-1), 0
2	00...0010	2, 6, 10, ..., (n-2), 0
3	00...0100	4, 12, 20, ..., (n-4), 0
m-1	10...0	2 ^{m-2} , 0

Таким образом, формирователь адреса кода формирует заданную последовательность кодов, соответствующую данному кодовому набору на входе.

Наиболее простым схемным решением формирователя 3 является реализация его в виде комбинационного логического блока, синтезированного по любому из известных методов синтеза конечных автоматов.

Переключатель 10 выполняет группировку двух кодов, поступающих на первый и третий его входы, в один (2m-3) разрядный код и работает в двух режимах в зависимости от управляющего сигнала на втором его входе.

Первый режим определяется высоким логическим уровнем напряжения на втором входе, при этом выполняется группировка кодов, поступающих на первый и третий входы в соответствии с выражением

$$D^1 = K_m K_{m-1} \dots K_2 \Gamma_{m-1} \Gamma_{m-2} \dots \Gamma_2, \quad (3)$$

где $K = K_m K_{m-1} \dots K_1$ - двоичный код числа K (номера такта) на третьем входе;

$\Gamma = \Gamma_m \Gamma_{m-1} \dots \Gamma_1$ - двоичный код числа Γ (номера цикла) на первом входе;

(2m-3) - разрядный код адреса D^1 передается при этом на первый выход переключателя 10.

Второй режим переключателя 10 определяется низким логическим уровнем напряжения на втором входе и обеспечивает группировку входных кодов в виде

$$D^2 = K_m K_{m-1} \dots K_3 \Gamma_m \Gamma_{m-1} \dots \Gamma_2, \quad (4)$$

где (2m-3) - разрядный код адреса D^2 передается на второй выход.

Конструктивно переключатель 10 может представлять собой логическую комбинационную схему.

В основу функционирования предлагаемого устройства положен ряд математических соотношений связи спектров мощности Фурье (СМФ) и Уолша (СМУ), а также некоторые свойства матрицы ядра преобразований. Известно, что

спектры мощности Фурье и Уолша связаны соотношением

$$P_W(r) = \sum_{k=1}^{n-1} P_F(k) / |A_{kr}|, \quad (5)$$

5 где $|A_{kr}|$ - матрица ядра преобразования.

Известный метод вычисления элементов матрицы ядра преобразования обладает существенным недостатком: матрица не имеет симметричных блоков, что требует вычисления или хранения в памяти всех (n-1) x (n-1) элементов.

15 В предлагаемом изобретении получены соотношения для вычисления элементов матрицы ядра преобразования, при этом матрица получается инверсно-симметричной относительно центрального вертикального столбца, а получаемые результаты численно совпадают с известными. Элемент a_{kr} матрицы A_{kr} вычисляется по формуле

$$A_{kr} = \prod_{i=1}^m \frac{\cos^2 \left[\frac{\pi}{2} (g_i(2^i) - k_2^{i-1} \epsilon) \right]}{\cos^2 \left[\frac{\pi}{2} \{ g_i(2^i) \oplus g_i(2^{i-1}) \} \frac{\pi}{2} (g_i(2^i) - k_2^{i-1} i) \right]} \quad (6)$$

25 где $g_i(p)$ i-ый разряд кода Грея, образованный от числа A_{kr} . Тогда квадратную матрицу A_{kr} (n-1) x (n-1) элементов можно записать в виде

$$30 \quad A_{kr} = \begin{pmatrix} a_{11} & 0 & a_{13} & 0 & a_{15} & 0 & \dots & 0 & a_{1(n-1)} \\ 0 & a_{22} & 0 & 0 & 0 & a_{26} & a_{2(n-2)} & 0 \\ a_{(n-1)1} & 0 & a_{(n-1)3} & 0 & a_{(n-1)5} & 0 & \dots & 0 & a_{(n-1)(n-1)} \end{pmatrix}$$

35 Матрицу ядра преобразования характеризуют следующие свойства согласно (6).

40 Матрица является разреженной (слабозаполненной), т.е. количество нулевых элементов превышает величину (n-1).

45 Матрица является инверсно-симметричной относительно столбца с номеров n/2, т.е. $a_{kr} = a_{(n-k)(n-r)}$. Например,

$$a_{11} = a_{(n-1)(n-1)}; \quad a_{13} = a_{(n-1)(n-3)}$$

50 Разработанный для устройства метод упаковки матрицы A_{kr} заключается в разбиении ее на две матрицы: первая из них A_{kr}^1 размерности n/2 x n/4 составлена из элементов a_{kr} матрицы A_{kr} следующим образом.

$$55 \quad A_{kr}^1 = \begin{pmatrix} a_{11} & a_{13} & a_{15} & \dots & a_{1(n/2-1)} \\ a_{31} & a_{33} & a_{35} & \dots & a_{3(n/2-1)} \\ \dots & \dots & \dots & \dots & \dots \\ a_{(n-1)1} & a_{(n-1)3} & a_{(n-1)5} & \dots & a_{(n-1)(n/2-1)} \end{pmatrix}$$

60 Вторая матрица A_{kr}^2 размерности n/4 x n/4 имеет структуру

$$65 \quad A_{kr}^2 = \begin{pmatrix} a_{22} & 0 & a_{26} & 0 & a_{2,10} & \dots & 0 \\ a_{62} & a_{44} & a_{66} & a_{46} & a_{6,10} & \dots & a_{4(n/2)} \\ \dots & \dots & \dots & \dots & \dots & \dots & \dots \\ a_{(n-2)2} & a_{(n-4)4} & a_{(n-2)6} & \dots & a_{n-4(n/2)} \end{pmatrix}$$

Упорядочим матрицы A_{kr}^1 и A_{kr}^2 путем введения новой индексации

$$A_{kr}^1 = A_{ij} = \begin{vmatrix} a_{00} & a_{01} & \dots & a_{0(n/4-1)} \\ a_{10} & a_{11} & \dots & a_{1(n/4-1)} \\ \dots & \dots & \dots & \dots \\ a_{(n/4-1)0} & a_{(n/4-1)1} & \dots & a_{(n/4-1)(n/4-1)} \end{vmatrix};$$

$$A_{kr}^2 = A_{pl} = \begin{vmatrix} a_{01} & a_{02} & \dots & a_{0(n/4)} \\ a_{11} & a_{12} & \dots & a_{1(n/4)} \\ \dots & \dots & \dots & \dots \\ a_{(n/4-1)1} & a_{(n/4-1)2} & \dots & a_{(n/4-1)(n/4)} \end{vmatrix}$$

$b=0, 1, \dots, n/4$ $j=0, 1, \dots, n/2$
 $i=0, 1, \dots, n/4$; $p=1, 2, \dots, n/4$
 и определим связь индексов ij и p, l с индексами k, r . Несложно заметить, что

$$i = [(k+1)/2] - 1; j = [(r+1)/2] - 1, k, r \text{ нечетные (7)}$$

$$p = \begin{cases} [(k+2)/4] - 1; & (k+2) \text{ кратно } 4 \\ k/4 & k \text{ кратно } 4 \end{cases} \quad (8)$$

$$l = r/2 \quad r \text{ четно}$$

Например, при $m=6$, $N=2^6$, $n=2^5$ элемент $a_{kr} = a_{11,13}$ матрицы A_{kr} в упакованном виде соответствует элементу $a_{ij} = a_{6,9}$ матрицы A_{ij} . Матрицы A_{ij} и A_{pl} записываются во второй 13 и третий 14 блоки памяти построчно с нулевой и первой ячеек памяти соответственно (табл. 2 и 3).

Характерной особенностью (7) и (8) является простота связи индексов в случае, если k и r представить в двоичном коде. Так для (7) достаточно исключить первый (младший) разряд двоичного представления k или r , т.е.

$$i = k_m k_{m-1} \dots k_2 \\ j = r_m r_{m-1} \dots r_2$$

Действительно, преобразование (7) к виду

$$i = \frac{k}{2} - \frac{1}{2} = \frac{k-1}{2}; j = \frac{r}{2} - \frac{1}{2} = \frac{r-1}{2}$$

позволяет заключить, что поскольку при нечетных k и r в младших разрядах их двоичного представления всегда записаны единицы, то операции вычитания единицы и деления на два выполняются путем отбрасывания младшего разряда (сдвига вправо на один разряд).

С учетом инверсно-симметричной структуры матрицы A_{kr} окончательно имеем

$$i = k_m k_{m-1} \dots k_2 \quad (9) \\ j = r_m r_{m-1} \dots r_2$$

Аналогично (5) для двоичного представления p и l имеет вид

$$p = k_m k_{m-1} \dots k_3 \quad (10) \\ l = r_m r_{m-1} \dots r_2$$

Это вытекает из того, что соотношение (8) при k четном реализуется путем сдвига кода k вправо на два разряда. Соотношения (9) и (10) отражают принцип упаковки исходной матрицы и систему адресации упакованных матриц.

Предлагаемое устройство обеспечивает вычисления в трех основных режимах. Первый режим работы предназначен для вычисления спектра мощности Фурье процесса, поступающего на второй вход устройства, при этом функционирует только блок 11 вычисления спектра мощности Фурье, так и с выхода блока 12 памяти. Второй режим вычислений предназначен для получения спектра мощности Уолша процесса, поступающего на второй вход устройства, при этом задействованы все блоки устройства. Третий режим работы позволяет вычислить спектр мощности Уолша в том случае, когда анализируемый процесс недоступен для анализа или проведения анализа достаточно сложно, но о процессе известна информация в виде спектра мощности Фурье. Последний подается на третий вход устройства, при этом блок 11 вычисления спектра мощности Фурье из процесса вычислений исключается.

Первый режим по организации работы тривиален, поэтому функционирование устройства рассматривается для двух последних режимов, отличающихся лишь характером исходных (анализируемых) данных и при списании не разделяющихся.

Функционирование устройства начинается с задания начального номера r компоненты спектра мощности Уолша в счетчик 1. Анализируемый процесс $x(j)$ подается на второй вход устройства, преобразуется блоком 11 вычисления спектра мощности Фурье в упорядоченную последовательность коэффициентов, которые записываются по последовательным адресам первого блока 12 памяти (в третьем режиме коэффициенты спектра мощности Фурье записываются непосредственно с третьего входа устройства в первый блок 12 памяти). Старший разряд r_m двоичного кода $r_m r_{m-1} \dots r_1$ числа подается со второго выхода счетчика 1 на установочный вход первого триггера 5, а остальные разряды кода с первого выхода счетчика 1 преобразуются дешифратором 2 в соответствии с (1), чем обеспечивается выбор j -ой схемы формирователя 3 адреса. Первый код номера k , формируемый j -ой схемой подается с выхода формирователя 3 адреса на второй вход первого блока 12 памяти и организуется считывание с адреса k коэффициента спектра мощности Фурье с последующей передачей его на второй вход блока 16 умножения. Одновременно код k подается на вход второго блока 8 формирования дополнительного кода. Последний образует дополнительный код от числа $K = k_m k_{m-1} \dots k_1$, если первый триггер 5 находится в единичном состоянии, т.е. $r_m = 1$, или пропускает код числа k на выходы без измерений, если $r_m = 0$.

Аналогично работает первый блок 7 формирования дополнительного кода с той лишь разницей, что формируемый первым триггером 5 сигнал является не только управляющим для этого блока, но и информационным. Таким образом, на вторые выходы первого 7 и второго 8 блоков формирования дополнительного кода выдается $(m-1)$ старших разрядов прямого и дополнительного кодов чисел r и k соответственно в зависимости от состояния первого триггера 5, т.е. значения r_m -го разряда числа r . Выполненная операция адекватна процедуре восстановления инверсно-симметричной структуры матрицы A_{kr} : если $r > n/2$, чему соответствует $r_m = 1$, то формируются индексы $(n-r)$ и $(n-k)$; в противном случае индексы r и k остаются без изменения.

Далее выполняется анализ кодов k и r на четность. С этой целью на первые выходы первого 7 и второго 8 блоков формирования дополнительного кода коммутируются первые разряды формируемых кодов, над которыми выполняется операция логического умножения блоком элементов И 9. Результат операции записывается во второй триггер 6, единичное состояние которого определяет режим работы переключателя 10. Таким образом, анализ на четность индексов k и r обеспечивает обращение к одной из двух матриц A_{ij} либо A_{rj} , представляющих матрицу A_{kr} в упакованном виде, и хранящихся во втором 13 и третьем 14 блоках памяти.

Формирование адреса элемента A_{ij} либо A_{rj} осуществляется следующим образом.

Высокий логический уровень напряжения на втором входе переключателя 10 обеспечивает формирование на первом его выходе $(2m-3)$ - разрядного кода адреса в виде (3). Низкий логический уровень напряжения на втором входе переключателя 10 приводит к появлению на втором его входе $(2m-3)$ - разрядного кода вида (4). В табл. 2 и 3 представлены адресации матриц A_{ij} и A_{rj} во втором 13 и третьем 14 блоках памяти соответственно, для $n=2^m=2^4=16$, $N=2^{\alpha}=2^5=32$.

Т а б л и ц а 2

r		1	3	5	7
k	j	0	1	2	3
		i			
1	0	0	1	2	3
3	1	4	5	6	7
5	2	8	9	10	11
7	3	12	13	14	15
9	4	16	17	18	19
11	5	20	21	22	23

Продолжение табл. 2

r		1	3	5	7
k	j	0	1	2	3
	13	6	24	25	26
15	7	28	29	30	31

Т а б л и ц а 3

r		2	4	6	8
k	j	1	2	3	4
		p			
4	0	1	②	3	④
4,6	1	5	6	7	⑧
8,10	2	9	⑩	11	12
12,14	3	13	14	15	⑬

Например, значение элемента a_{kr} матрицы A_{kr} , $k=13, r=9$ (табл. 2) соответствует элементу $a_{ij}=a_{13}$ матрицы A_{ij} и хранится в ячейке с номером 7, поскольку для $r > n/2$, $a_{kr}=a_{(n-k)(n-r)}=a_{37}$ и согласно (11) $a_{37}=a_{17}$ откуда

$$D^1 = 001 11_2 = 7_{10}$$

В табл. 3 в окружностях обозначены адреса, содержимое которых равно нулю в соответствии со структурой матрицы A_{rj} . Минимизация этих адресов вплоть до представления нулевой константы одним адресом не представляет теоретических и технических трудностей и не приводит к упрощению изложения.

Считывание со второго 13 или с третьего 14 блоков памяти значения элементов матрицы A_{kr} передаются через блок 15 элементов ИЛИ на первый вход блока 16 умножения, и результат операции передается в сумматор 17.

$$P_w(r) = S \sum_k P_F(k) |A_{kr}|$$

где S - коэффициент, пропорциональный степени числа два, учитываемый при съеме результата с выхода сумматора 17. Передача результата на выход устройства осуществляется сигналом низким логическим уровнем с блока 4 синхронизации, формируемого по нулевому коду на его входе в соответствии с (2) и табл. 1. На этом заканчивается этап вычисления СМУ с номером r , хранившимся в счетчике 1.

Очередной номер коэффициента r образуется в последнем одновременно с передачей значения вычисленного коэффициента на выход устройства по сигналу с выхода блока 4 синхронизации, поступающего на второй вход счетчика 1, и процесс вычислений продолжается аналогично.

Технико-экономическая эффективность предлагаемого устройства заключается в расширении функциональных возможностей, выражающихся в том, что наряду

с возможностью получения СМФ устройство обеспечивает вычисление СМУ как непосредственно по процессу, так и по известной характеристике о нем в виде СМФ, существует возможность вычисления отдельных, заданных и существенных при решении конкретной задачи коэффициентов СМУ, в упрощении получения СМУ за счет возможности вычисления его по известному СМФ.

В сокращении вычислений СМУ по известному СМФ за счет хранения матрицы ядра преобразования в памяти, т.е. элементы матрицы не вычисляются; упаковки матрицы ядра преобразования, чем достигается сокращение объема памяти и количества циклов считывания информации; вычисления отдельных, заданных и существенных при решении конкретной задачи коэффициентов СМУ.

Формула изобретения

Устройство для спектрального анализа, содержащее счетчик, первый вход которого является первым входом устройства, первый выход счетчика подключен ко входу первого триггера, блок вычисления спектра мощности Фурье, вход которого является вторым входом устройства, а выход соединен с первым входом первого блока памяти, второй вход которого является третьим входом устройства, отличающаяся тем, что, с целью расширения функциональных возможностей за счет получения спектра мощности Уолша, в устройство введены дешифратор, формирователь адреса и блок синхронизации, два блока памяти, два блока формирования дополнительного кода,

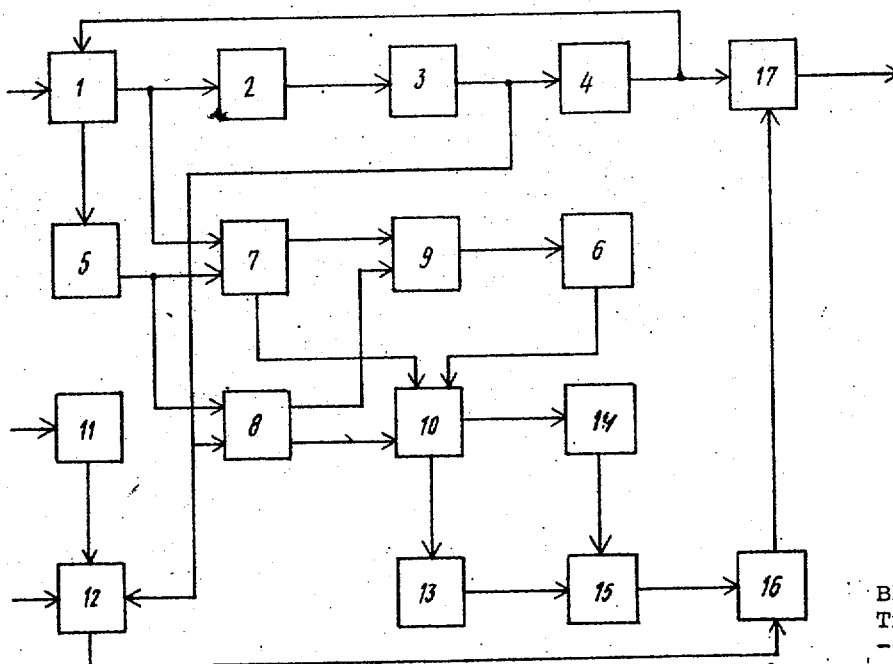
блок элементов И, второй триггер, блок элементов ИЛИ, переключатель и блок умножения, входы которого подключены соответственно к выходу первого блока памяти и к выходу блока элементов ИЛИ, входы которого подключены соответственно к первому и второму выходам переключателя, входы которого соединены соответственно с первым и вторым выходами первого и второго блоков формирования дополнительного кода, вторые выходы которых соединены соответственно с первым и вторым входами блока элементов И, входы первого блока формирования дополнительного кода подключены соответственно к выходу счетчика и к выходу первого триггера, входы второго блока формирования дополнительного кода соединены соответственно с выходом формирователя адреса и с выходом первого триггера, третий вход первого блока памяти подключен к выходу формирователя адреса, вход второго триггера соединен с выходом блока элементов И, выход блока умножения соединен со вторым входом сумматора, первый вход которого соединен с выходом блока синхронизации, подключенным ко второму входу счетчика, выход дешифратора соединен со входом формирователя адреса, выход которого подключен ко входу блока синхронизации.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 468246, кл. G 06 F 15/34, 1975.

2. Авторское свидетельство СССР № 532100, кл. G 06 F 15/34, 1976 (прототип)



ВНИИПИ Заказ 765/55
Тираж 732 Подписное
Филиал ИПП "Патент",
г. Ужгород, ул. Проектная, 4