



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 733025

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 13.10.75 (21) 2181914/18-24

с присоединением заявки № 2189187/18-24

(23) Приоритет —

Опубликовано 05.05.80. Бюллетень № 17

Дата опубликования описания 15.05.80

(51) М. Кл.²
G 11 C 17/00
G 11 C 29/00

(53) УДК 681.327.
.28(088.8)

(72) Авторы
изобретения

В. К. Конопелько и В. В. Лосев

(71) Заявитель

Минский радиотехнический институт

(54) ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1

Изобретение относится к вычислительной технике и может быть использовано в электронной промышленности при изготовлении больших интегральных схем программируемых постоянных запоминающих устройств (ППЗУ).

Известны ППЗУ, содержащие матрицу элементов памяти, дешифраторы слова и разряда, селектор, вентили считывания, усилители считывания. В таких устройствах элементы памяти матрицы соединены с разрядными шинами плавкими перемычками или *p-n* переходами, которыми разрушаются при записи информации в соответствии с кодом, подлежащим хранению в ППЗУ. До занесения программируемого кода в матрицу в информационном поле содержатся только единицы [1] и [2].

Работоспособность ППЗУ нарушается при наличии «дефектного нуля» в информационном поле матрицы, когда никаким способом не удастся записать на место дефектного элемента единицу.

Наиболее близким техническим решением к изобретению является постоянное запоминающее устройство, содержащее дешифратор адреса слова, соединенный с адрес-

2

ными шинами матрицы элементов памяти, селектор, первые входы которого соединены с выходами дешифратора адреса разряда, а выходы — с первыми входами первых сумматоров по модулю два, выходы которых подключены к первым входам вентилей считывания, вторыми входами соединенных с шиной сигнала разрешения считывания, а выходом — с входами усилителей считывания [3].

Однако такое устройство приводит к ошибкам хранения информации при наличии двух и трех «дефектных нулей» в информационном поле матрицы, которые возникают из-за дефектов изготовления в процессе производства. Поэтому при производстве такие постоянные запоминающие устройства отбраковываются.

Цель изобретения — повышение надежности устройства.

Поставленная цель достигается тем, что в него введены блок исправления ошибок и вторые сумматоры по модулю два, выходы вторых сумматоров по модулю два соединены с вторыми входами селектора, первые входы — с основными разрядными шинами матрицы элементов памяти, а вторые вхо-

ды — с первыми выходами блока исправления ошибок, второй выход которого соединен с вторыми входами первых сумматоров по модулю два, первые и второй входы блока исправления ошибок подключены соответственно к первым и второй дополнительным разрядным шинам матрицы элементов памяти, а также тем, что блок исправления ошибок содержит элемент ИЛИ и дешифратор, причем входы элемента ИЛИ и дешифратора соединены с первыми входами блока, а выходы дешифратора и элемента ИЛИ соединены соответственно с первыми и вторым выходами блока, а также тем, что блок исправления ошибок содержит первый и второй дешифраторы, первые и второй сумматоры по модулю два, элемент ИЛИ—НЕ, первый и второй элементы ИЛИ, элемент И, причем входы первого дешифратора соединены с первыми входами блока, элементом ИЛИ—НЕ и первыми входами первых сумматоров по модулю два, вторые входы которых соединены с выходом элемента И, а выходы — с входами второго дешифратора, выходы которого являются первыми выходами блока, выходы первого дешифратора соединены с входами первого элемента ИЛИ, выход которого подключен к первому входу второго сумматора по модулю два и первому входу элемента И, вторым входом соединенного с вторым входом блока и первым входом второго элемента ИЛИ, вторым входом подключенного к выходу элемента ИЛИ—НЕ, а выходом — к второму входу второго сумматора по модулю два, выход которого является вторым выходом блока.

Это позволяет использовать ППЗУ, содержащие три «дефектных нуля» в каждом слове информационного поля матрицы.

На фиг. 1 представлена блок-схема постоянного запоминающего устройства; на фиг. 2 и 3 — схемы выполнения блока исправления ошибок.

Постоянное запоминающее устройство содержит дешифратор 1 адреса слова, соединенный с адресными шинами 2 матрицы 3 элементов памяти. Основные разрядные шины 4 матрицы подсоединены к первым входам вторых сумматоров 5 по модулю два. Вторые входы вторых сумматоров соединены с первыми выходами 6 блока 7 исправления ошибок. Выходы вторых сумматоров соединены с вторыми входами 8 селектора 9, первыми входами 10 подключенного к выходам дешифратора 11 адреса разряда. Выходы 12 селектора соединены с первыми входами первых сумматоров 13 по модулю два, вторыми входами подключенными к второму выходу 14 блока исправления ошибок. Первые 15 и второй 16 входы блока исправления ошибок подключены соответственно к первым и вторым дополнительным разрядным шинам матрицы 3 элементов памяти. Выходы первых сумматоров 13

по модулю два соединены с первыми входами вентилях 17 считывания, вторыми входами подключенными к шине 18 сигнала разрешения считывания, а выходом — с входами усилителей 19 считывания. Выходы 20 усилителя считывания являются выходами устройства.

Для осуществления исправления двух дефектных элементов памяти в каждом слое матрицы 3 блок 7 исправления ошибок содержит элемент 21 ИЛИ и дешифратор 22 (см. фиг. 2) Входы элемента ИЛИ и дешифратора соединены с первыми входами блока, а выходы дешифратора и элемента ИЛИ соединены соответственно с первыми и вторым выходами блока.

15 Устройство в режиме исправления двух дефектных элементов памяти в каждом слое матрицы работает следующим образом.

При записи информации (при изготовлении) в К основные разряды и в первые дополнительные разряды каждого слова матрицы заносится информация для хранения следующим образом:

1. Если все элементы памяти слова матрицы исправны, т. е. находятся в единичном состоянии, то программируемая информация заносится в основные разряды без изменения, а в первые дополнительные разряды заносятся нулевые символы.

2. Если имеется один неисправный элемент памяти в основных разрядах, т. е. находящийся в нулевом состоянии, а все остальные в единичном состоянии, и его состояние либо

а) совпадает с программируемой в элемент информацией, тогда работа аналогична описанному выше в п. 1, либо

б) не совпадает с программируемой в элемент информацией, то программируемая информация инвертируется и в таком виде заносится в основные разряды, а в любой из первых дополнительных разрядов заносится единичный символ, а во все остальные — нулевые.

3. Если имеется один неисправный элемент памяти в дополнительных разрядах, то работа аналогична п. 1.

4. Если имеется по одному неисправному элементу памяти в дополнительных и основных разрядах и состояние последнего либо совпадает с программируемой в элемент информацией, то аналогична п. 1, либо не совпадает, то аналогична п. 2б.

5. Если имеется два неисправных элемента памяти в дополнительных разрядах, то как в п. 1.

6. Если имеются два неисправных элемента памяти в основных разрядах и их состояния либо

а) совпадают с программируемой в элементы информацией, то как в п. 1, либо

б) не совпадают, то как в п. 2б, либо

в) у одного элемента памяти совпадает, у другого нет, то программируемая инфор-

мация инвертируется и в таком виде заносится в основные разряды, а в первые дополнительные разряды слова заносится код адреса основного разряда, состояние которого совпадает с программируемой в элемент информацией. Для маркировки одиночных совпадающих ошибок выбираются разрядные двоичные числа за исключением чисел, содержащих одну единицу и числа 0 0...0.

В режиме считывания в соответствии с кодом адреса опрашиваемых разрядов происходит возбуждение шин 2 и 10 дешифраторов 1 и 11. При этом возбужденная шина 2 дешифратора 1 подключает разрядные шины основных и дополнительных элементов памяти опрашиваемого слова матрицы 3 соответственно к первым входам вторых сумматоров 5 и первым входам 15 блока коррекции 7.

На одном из выходов дешифратора 22 будет единичный сигнал, если этот разряд дефектен, но его состояние совпадает с программируемой информацией (п. 6в записи информации).

Поэтому, если опрашиваются элементы памяти слова, удовлетворяющие пп. 1, 2а, 3,4а, 5,6а записи информации, то на выходах дешифратора 22 и элемента 21 ИЛИ будут нулевые сигналы. Тогда сигналы, снимаемые с основных разрядных шин, проходят на выход устройства без изменения, и следовательно, остаются правильными.

Если опрашиваются элементы памяти слова, удовлетворяющие пунктам 2б, 4б, 6б записи информации, то на выходах дешифратора 22 будут нулевые сигналы, а на выходе элемента 21 ИЛИ единичный сигнал. В этом случае сигналы, снимаемые с основных разрядных шин, проходят на входы селектора 9 через сумматоры 5 без изменения, а сигналы с выходов селектора 9, проходя через сумматоры 13, инвертируются. Таким образом, в словах, содержащих дефектные элементы памяти, инвертирование производится дважды: при записи (при изготовлении) и при считывании (при эксплуатации). Для исправных элементов памяти эти инвертирования не изменяют правильного выходного сигнала. Для дефектных элементов памяти инвертирование информации при записи позволяет согласовать состояние дефектного разряда с программируемой информацией, а инвертирование при считывании восстановит правильно сигналы с дефектных позиций.

Если опрашиваются элементы памяти слова, удовлетворяющие пункту 6в записи информации, то на одном из выходов дешифратора 22 и на выходе элементов 21 ИЛИ будут единичные сигналы, а на остальных выходах дешифратора 22 нулевые сигналы. При этом сигналы с основных разрядных шин 4 проходят через сумматоры 5 на вхо-

ды селектора 9 без изменения, кроме сигнала с дефектного элемента памяти, состояние которого совпадает с программируемой информацией, который инвертируется на соответствующем сумматоре 5. Сигналы с выходов селектора 9, проходя через сумматоры 13, инвертируются единичным сигналом с выхода элемента 21 ИЛИ. Таким образом, для исправных элементов памяти и дефектного элемента памяти, состояние которого не совпадает с программируемой информацией, инвертирование происходит дважды, как и в предыдущем случае, и следовательно, информация считывается правильно. Для дефектного элемента памяти, состояние которого совпадает с программируемой информацией, правильного хранения инвертированной информации из-за неисправности элемента памяти не происходит, а двойное инвертирование при считывании на сумматорах 5 и 13 позволяет получить правильные сигналы на выходе устройства.

Для осуществления исправления трех дефектных элементов памяти в каждом слове матрицы 3 блок 7 исправления ошибок содержит первый 23 и второй 24 дешифраторы (см. фиг. 3). Входы дешифраторов 23 и 24 подключены соответственно непосредственно и через первые сумматоры 25 по модулю два к первым входам блока и входам элемента 26 ИЛИ—НЕ. Выходы первого дешифратора 23 соединены с входами первого элемента 27 ИЛИ. Выход первого элемента ИЛИ подключен к первому входу второго сумматора 28 по модулю два и первому входу элемента 29 И. Второй вход элемента 29 И соединен с вторым входом блока и первым входом второго элемента 30 ИЛИ, вторым входом соединенного с выходом элемента 26 ИЛИ—НЕ. Выход второго элемента 30 ИЛИ подключен к второму входу сумматора 28 по модулю два, выход которого является вторым выходом блока. Выход элемента 29 И соединен с вторыми входами первых сумматоров 25 по модулю два. Выходы дешифратора 24 являются первыми выходами блока.

Устройство в режиме исправления трех дефектных элементов памяти в каждом слове матрицы работает следующим образом.

При записи информации (при изготовлении) в основные разряды и в дополнительные разряды каждого слова матрицы заносится информация для хранения следующим образом:

1. Если все элементы памяти слова матрицы исправны, т. е. находятся в единичном состоянии, то программируемая информация заносится в основные разряды без изменения, а в дополнительные разряды заносятся нулевые символы.

2. Если имеется один неисправный элемент памяти в дополнительных разрядах, то как в п. 1.

3. Если имеется один неисправный элемент памяти в основных разрядах, т. е. находящийся в нулевом состоянии, а все остальные в единичном состоянии, и его состояние либо

а) совпадает с программируемой в элемент информацией, то как в п. 1, либо

б) не совпадает с программируемой в элемент информацией, то программируемая информация заносится в основные разряды без изменения, а впервые дополнительные разряды слова заносится прямой код адреса дефектного разряда, а во второй дополнительный разряд записывается нулевой символ.

4. Если имеется по одному неисправному элементу памяти в дополнительных и основных разрядах и состояние последнего либо

а) совпадает с программируемой в элемент информацией, то как в п. 1, либо

б) не совпадает, и если при этом неисправный элемент памяти в дополнительных разрядах находится:

1) в первых дополнительных разрядах, то во второй дополнительный разряд заносится нулевой символ, а в первые дополнительные разряды записывается любой обратный код адреса, кроме нулевого, а программируемая информация инвертируется и в таком виде заносится в основные разряды;

2) во втором дополнительном разряде, то как в п. 3б.

5. Если имеются два неисправных элемента памяти в дополнительных разрядах, то как в п. 1.

б) Если имеются два неисправных элемента памяти в основных разрядах и их состояния:

а) совпадают с программируемой в элементы информацией, то как в п. 1,

б) не совпадают, то как в п. 4б 1,

в) у одного элемента памяти совпадает, а у другого нет, то программируемая информация заносится в основные разряды без изменения, в первые дополнительные разряды слова заносится прямой код адреса дефектного разряда, состояние которого не совпадает с программируемой информацией, а во второй дополнительный разряд записывается нулевой символ.

7. Если имеются три дефектных элемента памяти в основных разрядах и их состояния:

а) совпадают с программируемой в элементы информацией, то как в п. 1,

б) у двух совпадает, а у третьего нет, то как в п. 6в,

в) у одного элемента памяти совпадает, а у двух нет, то программируемая информация инвертируется и в таком виде заносится в основные разряды, в первые дополнительные разряды записывается прямой код адреса дефектного разряда, состояние которого совпадает с программируемой ин-

формацией, а во второй дополнительный разряд заносится единичный символ.

8. Если имеются три дефектных элемента памяти в дополнительных разрядах, то как в п. 1.

9. Если имеются два дефектных элемента памяти в дополнительных разрядах и один в основном разряде и его состояние:

а) совпадает с программируемой в элементы информацией, то как в п. 1,

б) не совпадает, то как в п. 4б 1.

10. Если имеется один дефектный элемент памяти в дополнительных разрядах и два в основных разрядах и их состояния:

а) совпадают с программируемой в элементы информацией, то как в п. 1,

б) не совпадает, то как в п. 4б 1,

в) у одного элемента памяти совпадает, а у другого нет и если при этом неисправный элемент памяти в дополнительных разрядах находится:

1) во втором дополнительном разряде, то как в п. 6в,

2) в первых дополнительных разрядах, то программируемая информация заносится в основные разряды без изменения, а в

первые дополнительные разряды записывается прямой код адреса дефектного разряда, состояние которого не совпадает с

программируемой информацией, и если при этом эта кодовая комбинация совпадает с состоянием дефекта в первых дополнительных

разрядах, то во второй дополнительный разряд заносится нулевой символ; в

противном случае, во второй дополнительный разряд записывается единичный символ, а в первые дополнительные разряды заносится

обратный код адреса дефектного разряда, состояние которого не совпадает с программируемой информацией.

Для маркировки одиночных совпадающих или несовпадающих ошибок выбираются $r = \lceil \log_4 K \rceil$ разрядные двоичные числа за исключением чисел обратных им (куда входит слово 00...0), где K — число основных разрядов.

Работа устройства в режиме считывания при коррекции трех дефектных элементов памяти в слове отличается от вышеописанной тем, что дешифраторы 24 и 23 блока исправления ошибок служат для определения прямой или обратный код хранится в первых дополнительных разрядах соответственно. При этом аналогичным образом, как и при исправлении двух дефектных элементов памяти в слове, непосредственная проверка показывает правильность хранения информации в устройстве.

Формула изобретения

1. Постоянное запоминающее устройство, содержащее дешифратор адреса слова, соединенный с адресными шинами матрицы элементов памяти, селектор, первые входы

которого соединены с выходами дешифратора адреса разряда, а выход — с первыми выходами первых сумматоров по модулю два, выходы которых подключены к первым входам вентилях считывания, вторые входы которых соединены с шиной сигнала разрешения считывания, а выходы — с входами усилителей считывания, отличающееся тем, что, с целью повышения надежности устройства, оно содержит блок исправления ошибок и вторые сумматоры по модулю два, первые входы которых соединены с основными разрядными шинами матрицы элементов памяти, вторые входы — с первыми выходами блока исправления ошибок, а выходы — со вторыми входами селектора, второй выход блока исправления ошибок соединен со вторыми входами первых сумматоров по модулю два, первые и второй входы блока исправления ошибок подключены соответственно к дополнительным разрядным шинам матрицы элементов памяти.

2. Устройство по п. 1, отличающееся тем, что блок исправления ошибок содержит элемент ИЛИ и дешифратор, входы которых соединены с первыми входами блока исправления ошибок, а выходы дешифратора и элемента ИЛИ соединены соответственно с первым и вторым выходами блока исправления ошибок.

3. Устройство по п. 1, отличающееся тем, что блок исправления ошибок содержит первый и второй дешифраторы, первые

и второй сумматоры по модулю два, элемент ИЛИ—НЕ, первый и второй элементы ИЛИ, элемент И, причем входы первого дешифратора соединены с первыми входами блока исправления ошибок, входами элемента ИЛИ—НЕ и первыми входами первых сумматоров по модулю два, вторые входы которых соединены с выходом элемента И, а выходы — с входами второго дешифратора, выходы которого соединены с первыми выходами блока исправления ошибок, выходы первого дешифратора соединены с входами первого элемента ИЛИ, выход которого подключен к первому входу второго сумматора по модулю два и первому входу элемента И, второй вход которого соединен со вторым входом блока исправления ошибок и первым входом второго элемента ИЛИ, вторым входом подключенного к выходу элемента ИЛИ—НЕ, а выходом — к второму входу второго сумматора по модулю два, выход которого соединен со вторым выходом блока исправления ошибок.

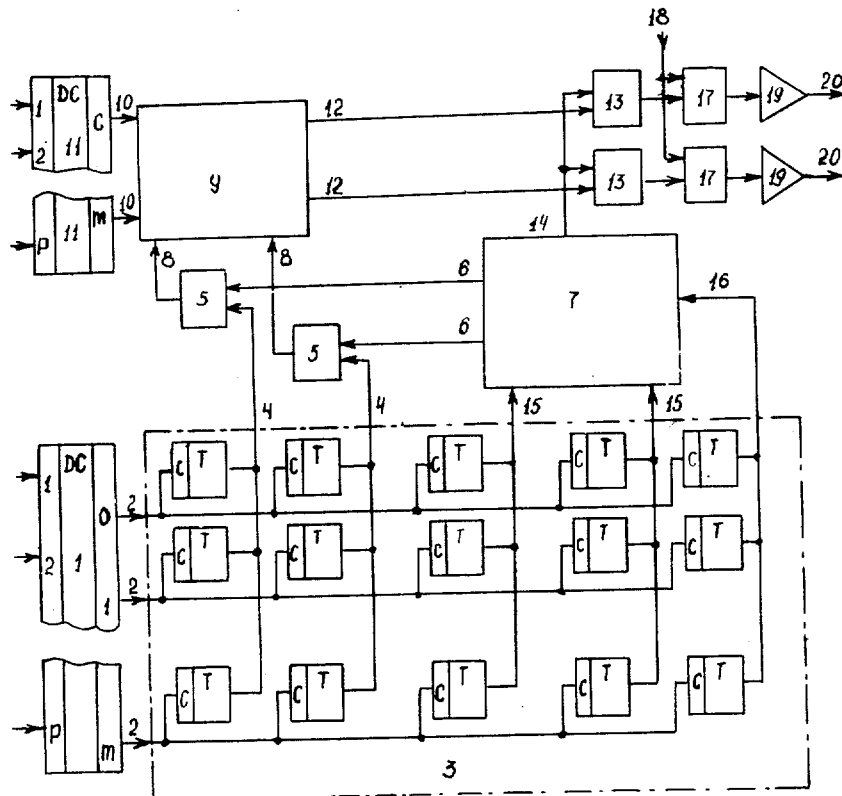
Источники информации,

принятые во внимание при экспертизе

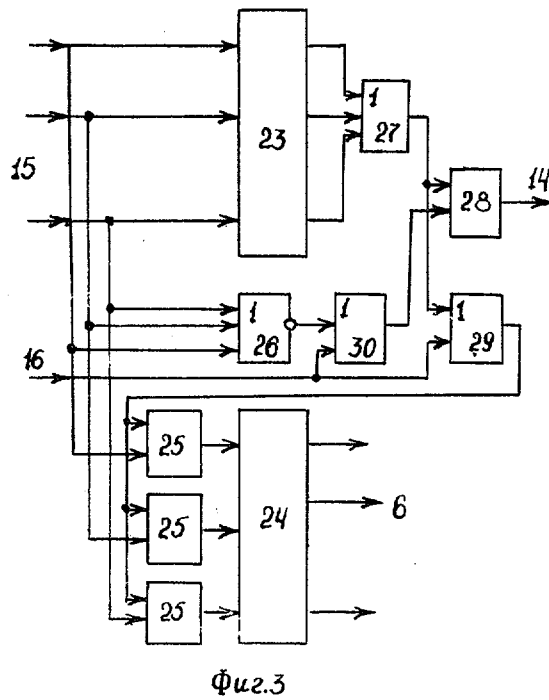
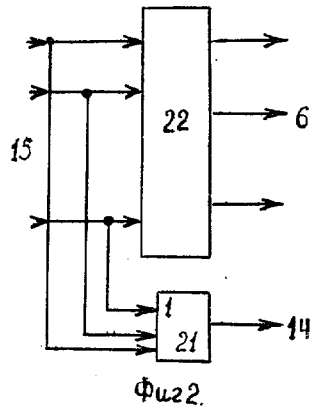
1. «Электронная техника», 1974, № 7, с. 21—24.

2. «Электронная техника», 1975, № 4, с. 65—68.

3. Сб. статей «Запоминающие устройства» Под ред. Крайзера Л. П. Л., «Энергия», 1974, вып. 4, с. 89, рис. 6 (прототип).



Фиг. 1



Редактор С. Лыжова
Заказ 1563/13

Составитель Ю. Ушаков
Техред К. Шуфрич
Тираж 662

Корректор М. Шароши
Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент» г. Ужгород, ул. Проектная, 4