



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 841063

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 10.09.79 (21) 2833470/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.06.81. Бюллетень № 23

Дата опубликования описания 28.06.81

(51) М. Кл.³

G 11 C 29/00

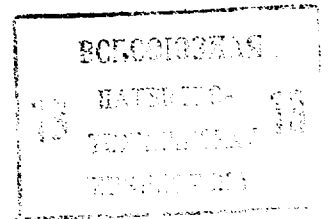
(53) УДК 681.327
(088.8)

(72) Авторы
изобретения

В. К. Конопелько и В. П. Болдырев

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО МАТРИЧНОГО ТИПА С САМОКОНТРОЛЕМ

1

Изобретение относится к запоминающим устройствам и может быть использовано при изготовлении больших интегральных схем запоминающих устройств.

Известно запоминающее устройство матричного типа с произвольной выборкой и разрядной организацией, содержащее матрицу элементов и схемы логики обрамления, позволяющее производить обращение при записи и считывании информации только к одному любому элементу памяти матрицы [1].

Однако работоспособность этого устройства нарушается при отказах и сбоях элементов памяти накопителя.

Наиболее близким по технической сущности к изобретению является запоминающее устройство, содержащее накопитель, числовые шины которого соединены с выходами дешифратора строк, основные и дополнительные выходные шины — с входами блока считывания и вторыми входами второго блока исправления ошибок, соответственно, выход блока считывания подключен к шестому входу первого блока исправления ошибок и первому входу первого сумматора по модулю два, вторым входом соединенного с выходом второго блока исправления

2

ошибок и пятым входом первого блока исправления ошибок; первые входы первого блока исправления ошибок соединены с первыми входами второго блока исправления ошибок и выходами блока кодирования, второй и третий входы первого блока исправления ошибок соединены соответственно с шинами разрешения записи и записи, а первый второй и третий выходы его — с одними входами дополнительных элементов И, другие входы которых соединены с шиной управления и первым входом выходного блока, а выходы — с дополнительными разрядными шинами накопителя, второй вход выходного блока соединен с выходом первого сумматора по модулю два, управляющие входы блока считывания соединены с выходами дешифратора столбцов, первыми и вторыми входами блока кодирования и входами основных элементов И, подключенных к шинам записи, разрешения записи, управления и основным разрядным шинам накопителя [2]

20

Недостатком этого устройства является низкая надежность вследствие сложности схем контроля при обращении к одному элементу памяти накопителя.

Цель изобретения — повышение надежности устройства.

Поставленная цель достигается тем, что в запоминающем устройстве матричного типа с самоконтролем, содержащем накопитель, дешифратор столбцов, дешифратор строк, блок кодирования, первый и второй блоки коррекции, сумматор по модулю два, блок считывания, блок вывода информации, основные и дополнительные элементы И, причем числовые шины накопителя соединены с выходами дешифратора строк, выходные шины — соответственно с входами блока считывания и одними из входов второго блока коррекции, другие входы которого подключены к выходам блока кодирования, один из входов сумматора по модулю два подключен к выходу блока считывания, другой — к выходу второго блока коррекции, а выход к одному из входов блока вывода информации, другой вход которого соединен с одной из шин управления, выходы дешифратора строк подключены к одним из входов блока кодирования, управляющим входам блока считывания и одним из входов основных элементов И, другие входы которых соединены с шинами управления, соответственно, входы первого блока коррекции подключены к выходам блока кодирования, одним из шин управления и выходам блока считывания и второго блока коррекции, а выходы — к одним из входов дополнительных элементов И, другие входы которых соединены с одной из шин управления, выходы элементов И соединены с разрядными шинами накопителя, другие входы блока коррекции соединены с входами дешифратора столбцов.

Кроме того, целесообразно блок кодирования выполнять в виде блока, содержащего элементы ИЛИ, одни из входов которых объединены и являются одним из входов блока кодирования, другие входы которого подключены к другим входам элементов ИЛИ, выходы которых являются одними из выходов блока кодирования, другие выходы которого являются одними из входов блока кодирования.

Первый блок коррекции целесообразно выполнять в виде блока, содержащего триггер, элементы И, элемент НЕ и первый и второй сумматоры по модулю два, причем выход первого сумматора по модулю два соединен с первым входом второго сумматора по модулю два, первые входы элементов И подключены к выходу элемента НЕ, первый вход первого сумматора по модулю два объединен с одними из входов триггера, а второй вход второго сумматора по модулю два — с входом элемента НЕ и являются одними из входов первого блока коррекции, другими входами которого являются вторые входы элементов И и первый сумматор по модулю два и другой вход триггера, выходы триггера, элементов И и второго сумматора по

модулю два являются выходами первого блока коррекции.

На чертеже изображена структурная схема запоминающего устройства матричного типа с самоконтролем.

Устройство содержит накопитель 1, имеющий числовые шины 2, соединенные с выходами дешифратора 3, и выходные шины 4, блок 5 считывания, имеющий управляющие входы 6, дешифратор 7 столбцов, выходы которого соединены с входами 8 и 9 блока 10 кодирования, основные элементы 11 И, шины 12—14 управления, служащие, соответственно, для подачи сигналов записи, разрешения записи и обращения. Накопитель 1 содержит разрядные шины 15, блок 5 имеет выход 16.

Кроме того, устройство содержит сумматор 17 по модулю два, первый 18 и второй 19 блоки коррекции. Блок 18 содержит первый 20 и второй 21 сумматоры по модулю два, элемент 22 НЕ, элементы 23 И, триггер 24. Устройство также содержит блок 25 вывода информации, дополнительные элементы 26 И. Блок 19 содержит сумматоры 27 и 28 по модулю два и элемент 29 И.

Блок 10 кодирования содержит элементы ИЛИ, одни из входов которых объединены и подключены к входу 9. Входы 8 и 30 блока 10 подключены к другим входам элементов ИЛИ, выходы которых являются одними из выходов блока 10, другие выходы которого являются входами 31 блока 10. Входы 30 и 31 блока 10 подключены к входам дешифратора 7.

В блоке 18 коррекции выход сумматора 20 соединен с первым входом сумматора 21. Первые входы элементов 23 И подключены к выходу элемента 22 НЕ. Первый вход сумматора 20 объединен с одним из входов триггера 24, а второй вход сумматора 21 — с входом элемента 22 НЕ и являются одними из входов блока 18, другими входами которого являются вторые входы элементов 23 И и сумматора 20 и другой вход триггера 24. Выходы триггера 24, элементов 23 И и сумматора 21 являются выходами блока 18. Устройство работает следующим образом.

При записи информации на соответствующие шины 12—14 подаются сигналы записи, разрешения записи и обращения. При этом происходит возбуждение входов дешифраторов 3 и 7 в соответствии с кодом адреса. Возбужденный выход дешифратора 3 строк подключает элементы памяти накопителя 1 выбранного слова к разрядным шинам 15. При этом в элемент памяти накопителя 1, находящийся на пересечении выбранной строки и столбца, происходит запись входной информации.

При снятии сигнала разрешения записи с шины 13 запись информации в опрашиваемый элемент памяти накопителя 1 прекращается и происходит контрольное считывание

записанной информации с опрашиваемого элемента памяти накопителя 1 и сравнение ее на сумматоре 20 с информацией, имеющейся на шине 12.

Наряду с этим двоичный сигнал адреса опрашиваемого разряда, имеющийся на входе дешифратора 7, поступает на входы 30 и 31 блока 10 кодирования. На входы 8 блока 10 кодирования поступают сигналы с выходов дешифратора 7, соответствующие входным адресам, содержащим одну единицу в адресе (10..0, 01..0, ..., 00..1). На вход 9 блока 10 кодирования поступает сигнал с выхода дешифратора 7, соответствующий нулевому входному адресу 00...0. Эти сигналы, поступающая на элементы ИЛИ, а также непосредственно на выход блока 10 формируют на выходах блока 10 сигналы, соответствующие синдромам кода Хемминга информационных разрядов, т. е. формируются все двоичные числа размерности $g = \log_2(n+1)$, где n — общая длина слова, за исключением чисел, содержащих одну единицу, и нулевого числа.

При этом возможны следующие случаи:

1. Опрашивается разряд накопителя 1, соответствующий входному адресу, содержащему любое из двоичных чисел длины $m = g - 1$ за исключением чисел, содержащих одну единицу в адресе, и нулевого числа. При этом на входы 8 и 9 блока 10 поступают нулевые сигналы, а следовательно, на выходах блока 10 кодирования повторяется число, имеющееся на входе дешифратора 7, дополненное нулевым сигналом с выхода элемента ИЛИ.

2. Опрашивается разряд накопителя, соответствующий входному адресу, содержащему одну единицу. При этом на один из входов 8 блока 10 поступает единичный сигнал, на вход 9 — нулевой сигнал. Тогда на выходах блока 10 кодирования повторяется число, имеющееся на входе дешифратора 7, дополненное единичным сигналом с выхода элемента ИЛИ.

3. Опрашивается разряд накопителя, соответствующий нулевому входному адресу. При этом на входы блока 10 поступают нулевые сигналы, а на вход 9 — единичный сигнал, и следовательно, на выходы блока 10 поступает нулевое число, инвертированное в двух разрядах и дополненное единичным сигналом с выхода элемента ИЛИ.

Таким образом, в блоке 10 кодирования формируются различные двоичные числа, за исключением чисел, содержащих одну единицу, и нулевого числа. Сформированные в блоке 10 сигналы поступают на входы элементов 23 И и входы первого блока 19 коррекции, где сравниваются с сигналами, поступающими с выходных шин накопителя 1.

При этом возможны следующие случаи:

1. Сумматор 20 выдает единичный сигнал, а на выходе блока 19 — нулевой сигнал,

т. е. опрашивается дефектный элемент памяти матрицы, а информация, хранящаяся в дополнительных элементах памяти накопителя 1, не совпадает с синдромом, соответствующим опрашиваемому разряду, сформированным блоком 10 кодирования. При этом сумматор 21 выдает единичный сигнал, открывающий элементы 26 И. Элементы 23 И открыты единичным сигналом с элемента 22 НЕ, и сигналы, соответствующие синдрому опрашиваемого разряда, сформированные блоком 10 кодирования, заносятся для хранения в дополнительные элементы памяти накопителя 1.

2. На выходе сумматора 20 и блока 19 единичные сигналы. Это означает, что происходит повторное обращение к дефектному элементу памяти накопителя 1 для записи той же информации, что хранится в этом элементе. При этом сумматор 21 выдает нулевой сигнал, в результате элементы 26 И закрыты и информация, хранящаяся в дополнительных элементах памяти накопителя 1, остается неизменной.

3. На выходе сумматора 20 и блока 19 нулевые сигналы, т. е. обращение к исправному элементу памяти накопителя 1, а информация, хранящаяся в дополнительных элементах памяти накопителя 1, не совпадает с синдромом, соответствующим опрашиваемому разряду. При этом как и в предыдущем случае, информация, хранящаяся в дополнительных элементах памяти накопителя 1, остается неизменной.

4. Сумматор 20 выдает нулевой сигнал, а на выходе блока 19 — единичный. Последнее может быть при первом обращении к исправному элементу памяти накопителя 1 за счет того, что при включении напряжения питания дополнительные элементы памяти накопителя 1 устанавливаются в кодовую комбинацию, соответствующую опрашиваемому исправному разряду, или при обращении к неисправному элементу памяти накопителя 1, когда символ, записываемый в этот элемент, совпадает с символом, хранимым неисправным элементом. В этом случае сумматор 21 выдает единичный сигнал, открывающий элементы 26 И, а с выхода элемента 22 НЕ через элементы 23 И заносятся нулевые символы во все дополнительные элементы памяти накопителя 1 опрашиваемого слова, т. е. происходит стирание прежде записанной информации и запись нулевой комбинации кода, указывающей, что информация хранится правильно.

Для исключения возможности неверной записи проверочной информации в дополнительные элементы памяти накопителя 1 во время переходных процессов на элементы 26 И подается сигнал с выхода триггера 24, появляющийся только после снятия сигнала на шине, когда переходные процессы в опрашиваемом элементе памяти накопителя 1 затухают.

В режиме считывания сигналы по шинам 12 и 13 отсутствуют. При этом элементы 11 и 26 И, заперты, а сигнал о состоянии опрашиваемого элемента памяти накопителя 1 поступает с выхода 16 блока 5 считывания на вход сумматора 17. На другой вход этого сумматора подается корректирующий сигнал с выхода блока 19.

При этом, если опрашивается дефектный элемент памяти накопителя 1, код, снимаемый с выходов блока 10 кодирования совпадает с информацией, хранимой в дополнительных элементах памяти накопителя 1 опрашиваемого слова, и на выходе блока 19 появляется единичный сигнал. Этот сигнал на сумматоре 17 производит исправление сигнала, поступающего с выхода 16 блока 5 считывания.

Если вызывается исправный элемент памяти накопителя 1, а среди дополнительных элементов памяти накопителя 1 имеется дефектный, то информация, считываемая с дополнительных элементов памяти накопителя 1 содержит комбинации вида 00..0, 0 0, 01, 1 0..0, и не совпадает с кодом, сформированным блоком 10 кодирования. В результате сигнал с выхода блока 5 считывания проходит через сумматор 17 на блок 25 без изменения.

То же происходит, если дефектные элементы памяти в слове накопителя 1 отсутствуют или состояние дефектного элемента памяти совпадает с хранимым состоянием. Исправленный сигнал с выхода сумматора 17 через блок 25 поступает на выход устройства.

Таким образом, предлагаемое устройство требует для своей реализации меньшего числа элементов схем контроля, чем известное.

Формула изобретения

1. Запоминающее устройство матричного типа с самоконтролем, содержащее накопитель, дешифратор столбцов, дешифратор строк, блок кодирования, первый и второй блоки коррекции, сумматор по модулю два, блок считывания, блок вывода информации, основные и дополнительные элементы И, причем числовые шины накопителя соединены с выходами дешифратора строк, выходные шины — соответственно с входами блока считывания и одними из входов второго блока коррекции, другие входы которого подключены к выходам блока кодирования, один из входов сумматора по модулю два подключен к выходу блока считывания, дру-

гой — к выходу второго блока коррекции, а выход — к одному из входов блока вывода информации, другой вход которого соединен с одной из шин управления, выходы дешифратора строк подключены к одним из входов блока кодирования, управляющим входам блока считывания и одним из входов основных элементов И, другие входы которых соединены с шинами управления, соответственно, входы первого блока коррекции подключены к выходам блока кодирования, одним из шин управления и выходам блока считывания и второго блока коррекции, а выходы — к одним из входов дополнительных элементов И, другие входы которых соединены с одной из шин управления, выходы элементов И соединены с разрядными шинами накопителя, отличающееся тем, что, с целью повышения надежности устройства, в нем другие входы блока коррекции соединены с входами дешифратора столбцов.

2. Устройство по п. 1, отличающееся тем, что блок кодирования содержит элементы ИЛИ, одни из входов которых объединены и являются одним из входов блока кодирования, другие входы которого подключены к другим входам элементов ИЛИ, выходы которых являются одними из выходов блока кодирования, другие выходы которого являются одними из входов блока кодирования.

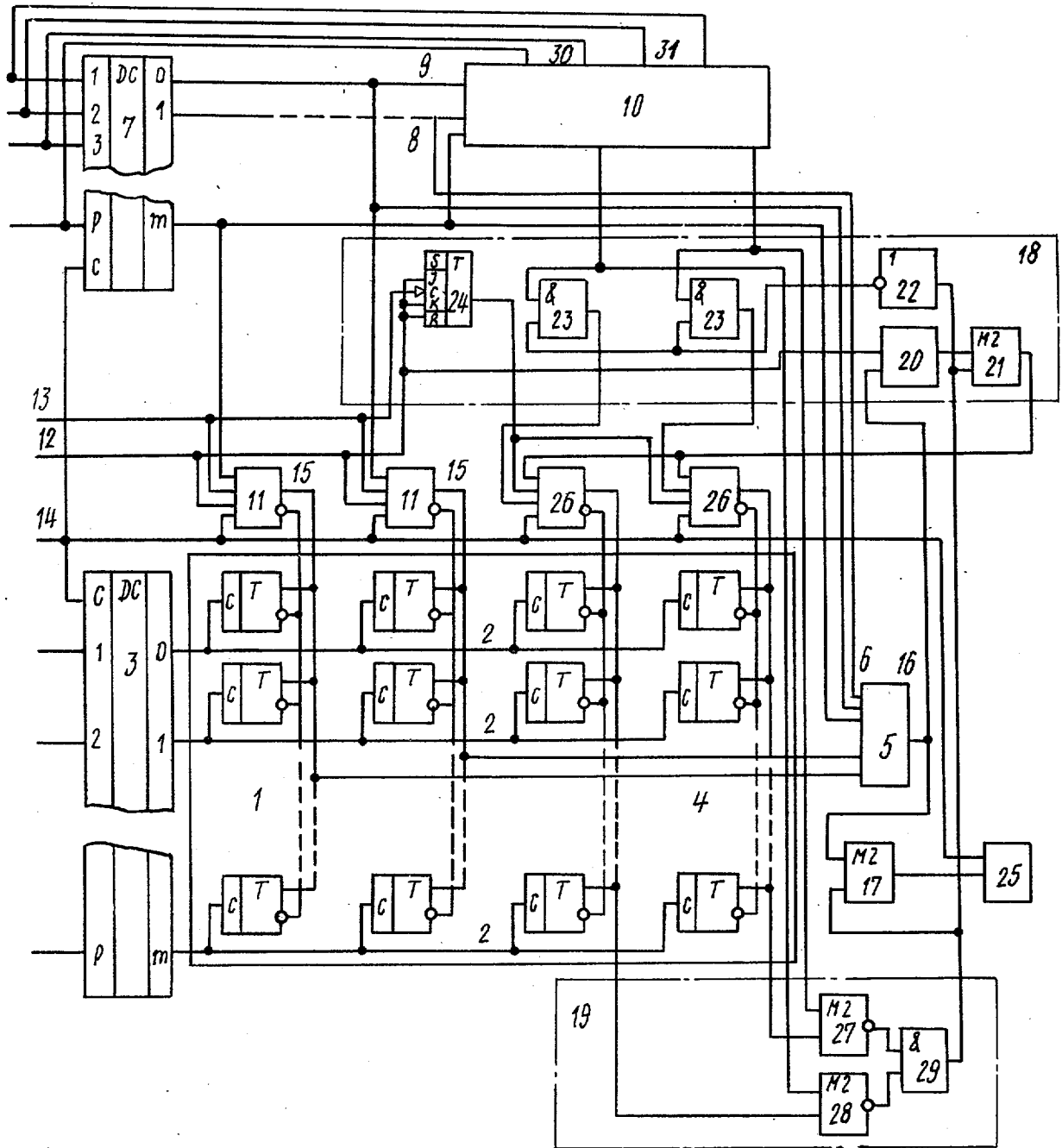
3. Устройство по п. 1, отличающееся тем, что первый блок коррекции содержит триггер, элементы И, элемент НЕ и первый и второй сумматоры по модулю два, причем выход первого сумматора по модулю два соединен с первым входом второго сумматора по модулю два, первые входы элементов И подключены к выходу элемента НЕ, первый вход первого сумматора по модулю два объединен с одними из входов триггера, а второй вход второго сумматора по модулю два — с входом элемента НЕ и являются одними из входов первого блока коррекции, другими входами которого являются вторые входы элементов И и первого сумматора по модулю два и другой вход триггера, выходы триггера, элементов И и второго сумматора по модулю два являются выходами первого блока коррекции.

Источники информации,

принятые во внимание при экспертизе

1. Микроэлектроника, Под ред. Ф. А. Лукина, М., «Советское радио», 1972, вып. 5, с. 128—150.

2. Авторское свидетельство СССР по заявке № 2180536/18-24, кл. G 11 C 11/00, 1975 (прототип).



Редактор Г. Кацалап Составитель В. Рудаков Корректор М. Демчик
 Заказ 4780/81 Техред А. Бойкас Подписное
 Тираж 645

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4