



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 744972

(61) Дополнительное к авт. свид-ву № 546102

(22) Заявлено 01.12.77 (21) 2548791/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.06.80. Бюллетень № 24

Дата опубликования описания 03.07.80

(51) М. Кл.²

H 03 K 13/20

(53) УДК 621.317.
.7(088.8)

(72) Автор
изобретения

А. Н. Морозевич

(71) Заявитель

Минский радиотехнический институт

(54) ПРЕОБРАЗОВАТЕЛЬ ПЕРИОД-ЧАСТОТА

1
Изобретение относится к вычислительной и измерительной технике и может использоваться для управления специализированных устройств, занятых обработкой аналоговых сигналов, а также в качестве измерительного прибора, позволяющего измерять период входных сигналов и вырабатывать последовательность импульсов с частотой следования, обратно пропорциональной периоду входного сигнала.

По основному авт. св. № 546102 известно устройство, содержащее последовательно включенные входной блок, первый элемент И, первый и второй счетчики, дешифратор, первый блок элементов И, вторые входы которого подключены к выходам делителя, а выходы - к входам первого элемента ИЛИ, выход которого подключен к второму входу первого элемента И, второй вход входного блока подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента ИЛИ, а выход является выходом устройства и подключен к нулевым

2
входам старших триггеров делителя, установочные входы младших триггеров которого подключены к выходам второго блока элементов И, информационные входы которого подключены к выходам первого счетчика, а управляющий вход - к выходу второго элемента ИЛИ, первый вход которого подключен к третьему входу входного блока, второй выход которого подключен к первому входу третьего элемента И, выход которого подключен к второму входу второго элемента ИЛИ, а второй вход - к выходу триггера делителя, номер которого равен номеру старшего триггера в первом счетчике.

Недостатком известного устройства является то, что в нем имеет место накопление ошибки Δn положения (во времени) входных импульсов относительно начальных точек отсчета входного сигнала, величина которой с течением времени (при прохождении нескольких периодов входного сигнала) может превысить допустимое значение $\Delta n_{доп}$. Так, например, пре-

образователь период-частота в идеальном случае преобразовывает период входного сигнала в частоту следования импульсов таким образом, что за время T_x следования одного (каждого) периода входного сигнала возникает восемь импульсов, период следования которых $T_{\text{вых}}$. В реальных условиях из-за ограниченной разрядной сетки первого счетчика измерение периода входного сигнала происходит с некоторой погрешностью $T'_x = T_x - T'_x$ (T'_x - измеренное значение T). При этом период следования выходных импульсов

$$T'_{\text{вых}} = \frac{T'_x}{K_i} = \frac{T_x - \Delta T_x}{8}, \text{ т.е. положение}$$

каждого импульса во времени будет определено с некоторой ошибкой Δn_i . Таким образом, по истечении нескольких, например K , периодов входного сигнала последний (восьмой) импульс на K -м периоде будет находиться от первого выходного импульса по оси времени на расстоянии $(K_i \cdot K T'_{\text{вых}} - 1) = T_x K - \Delta T_x K - 1$, а на $(T_x K - 1)$ это должно быть в идеальном случае. Таким образом, ошибка положения Δn последнего из каждого K -го периода $\Delta n = \Delta T_x K$. Ошибка Δn в известных преобразователях не учитывается, и поэтому в случае использования известных преобразователей период-частота (умножителей частоты) в качестве блока управления специализированных устройств, занятых обработкой сигналов, могут быть получены результаты с большой ошибкой.

Целью изобретения является повышение точности преобразования за счет повышения точности задания временного расположения выходных импульсов.

Цель достигается тем, что в преобразователь период-частота, содержащий последовательно включенные входной блок, первый элемент И, первый и второй счетчики, дешифратор, первый блок элементов И, вторые входы которого подключены к выходам делителя, а выход - к входам первого элемента ИЛИ, выход которого подключен к второму входу первого элемента И, второй и третий элементы И, второй блок элементов И и второй элемент ИЛИ, второй выход входного блока подключен к первому входу второго элемента И, второй вход которого подключен к выходу первого элемента ИЛИ, а выход является выходом устройства и подключен к нулевым входам старших триггеров делителя, установочные входы младших триггеров которого подключены к выходам

второго блока элементов И, информационные входы которого подключены к выходам первого счетчика, управляющий вход - к выходу второго элемента ИЛИ, первый вход которого подключен к третьему выходу входного блока, второй выход которого подключен к первому входу третьего элемента И, выход которого подключен к второму входу второго элемента ИЛИ, а второй вход - к выходу триггера делителя, номер которого равен номеру старшего триггера в первом счетчике, дополнительно введены формирователь импульсов, два элемента И и последовательно соединенные счетчик, дешифратор, блок элементов И и элемент ИЛИ, причем входная шина устройства соединена через формирователь импульсов с первым входом первого дополнительного элемента И, второй вход которого подключен к второму выходу входного блока, выход первого дополнительного элемента И соединен со счетным входом дополнительного счетчика и первым входом второго дополнительного элемента И, второй вход которого подключен к выходу дополнительного элемента ИЛИ, установочный вход дополнительного счетчика соединен с выходом второго дополнительного элемента И и дополнительными входами первого и второго элементов ИЛИ.

На фиг. 1 приведена структурная схема предлагаемого преобразователя период-частота; на фиг. 2, а, б - временные диаграммы, поясняющие необходимость введения корректирующей цепи.

Преобразователь содержит последовательно включенные входной блок 1, первый элемент И 2, первый счетчик 3, второй счетчик 4, дешифратор 5, первый блок элементов И 6, вторые входы которого подключены к выходам делителя 7 опорной частоты, а выходы - к входам первого элемента ИЛИ 8, выход которого подключен к второму входу первого элемента И. Второй выход входного блока подключен к первому входу второго элемента И 9, второй вход которого подключен к выходу первого элемента ИЛИ, а выход является выходом устройства в целом и подключен к нулевым входам старших триггеров делителя опорной частоты, установочные входы младших триггеров которого подключены к выходам второго блока элементов И 10, информационные входы которого подключены к выходам первого счетчика, а управляющий вход - к выходу второго элемента ИЛИ 11, первый вход которого подключен к третьему выходу входного блока, второй выход которого подключен к первому входу третьего элемента И 12,

выход которого подключен к второму входу второго элемента ИЛИ, а второй вход третьего элемента И подключен к выходу триггера из делителя, номер которого равен номеру старшего триггера в первом счетчике. Вход входного блока подключен к входу формирователя импульсов 13, выход которого подключен к первому входу первого дополнительного элемента И 14, второй вход которого подключен к второму выходу входного блока 1, а выход — к счетному входу дополнительного счетчика 15, выходы которого подключены к входам дополнительного дешифратора 16, выходы которого подключены к соответствующим первым входам каждого из элементов дополнительного блока элементов И 17, вторые входы которых подключены к соответствующим входным клеммам ($e_0, e_1, e_2, \dots, e_m$), выходы дополнительного блока элементов И подключены к входам дополнительного элемента ИЛИ 18, выход которого подключен к первому входу второго дополнительного элемента И 19, выход которого подключен к дополнительным входам первого и второго элементов И и (установочному) входу дополнительного счетчика, а второй вход — к первому входу дополнительного счетчика. Кроме того, устройство содержит блок управления БУ, обеспечивающий работу устройства.

По существу положительный эффект заключается в том, что дополнительно введенные блоки (далее для краткости цепь коррекции) обеспечивает определение величины $\Delta n = \Delta T_x \cdot K$ и сравнение текущего значения величины ошибки положения Δn с ее допустимым значением $\Delta n_{доп}$. При выполнении условия $\Delta n < \Delta n_{доп}$ цепь коррекции не влияет на работу собственно преобразователя период-частота. При $\Delta n = \Delta n_{доп}$ цепь коррекции вырабатывает сигнал, который устанавливает устройство в положение, исходное для генерирования (формирования) выходных импульсов.

Устройство работает следующим образом.

В исходном состоянии все счетчики находятся в нулевом положении, на выходах входного блока 1 — запрещающие потенциалы, на одной из входных e_i клемм разрешающий потенциал. Номер i входной клеммы задается априорно из следующих соображений. Так как величина $\Delta n = \Delta T_x \cdot K$ не должна быть больше $\Delta n_{доп}$, следо-

вательно, $\Delta n_{макс} = \Delta T_x \cdot K_{макс} = \Delta n_{доп}$,

так как $K_{макс} = \frac{\Delta n_{доп}}{\Delta T_x}$

Величина $\Delta n_{доп}$ задается перед решением задачи (конкретная величина для каждого конкретного случая). Величина ΔT_x определяется разрядностью счетчиков 3 и 4, а поэтому для конкретного устройства постоянна и определена заранее. Поэтому для конкретной задачи можно заранее определить число K периодов входного сигнала, внутри которых ошибка положения выходных импульсов не превышает допустимую. Аппаратно задание величины $\Delta n_{доп}$ в предлагаемом устройстве реализовано следующим образом. Каждому значению K_i ставится в соответствие номер i входной клеммы e_i . Счетчик 15 производит подсчет числа периодов выходного сигнала, начиная с момента формирования выходных импульсов. Дешифратор 16 декартирует состояние счетчика 15 и последовательно (с увеличением кода в счетчике 15) открывает элементы И из блока элементов И 17. При достижении числа периодов величины K_i соответствующий элемент И из блока 17 формирует корректирующий сигнал, который устанавливает устройство в положение, исходное для генерирования (формирования) выходных импульсов. По сигналу "Пуск", вырабатываемому блоком управления (управляющие связи для упрощения чертежа не показаны), на вход делителя 7 поступают импульсы опорной частоты f_0 . С выходов триггеров делителя 7 на вторые входы первого блока элементов И 6 поступают импульсы частот $f_{0/2}, f_{0/4}, f_{0/8}, \dots$

При первом после сигнала "Пуск" переходе значения входного сигнала через нуль из отрицательных значений в положительные на первом выходе входного блока 1 появляется разрешающий потенциал, открывающий элемент И 2 по первому входу. В первый момент времени после сигнала "Пуск" код во втором счетчике 4 нулевой. На вход формирователя 13 поступает входной сигнал, по окончании каждого периода которого формируются сигналы, которые поступают на первый вход элемента И 14. Дешифратор 5 подает разрешающий потенциал на первый вход первого младшего элемента И из блока 6, а на остальные элементы И блока 6 — запрещающие потенциалы. Поэтому на первый элемент ИЛИ 8 будет поступать самая высокая частота $f_{0/2}$ из набора выходных частот делителя 7 опорной частоты f_0 . С выхода первого элемента ИЛИ 8 через открытый элемент И 2 по-

гупают импульсы на вход счетчика 3. При поступлении на вход счетчика 3 и импульсов с частотой $\frac{f_{012}}{n}$ (n выбирается из условия достижения необходимой точности измерения периодов в каждом поддиапазоне) происходит его переполнение. При переполнении счетчика 3 заносится "+1" в счетчик 4, а в счетчик 3 при этом заносится код, равный половине его емкости. Последнее необходимо для учета части измеряемого периода, равной по величине $N \cdot \frac{2}{2^n}$. При коде 00...01 в счетчике 4 на первом входе первого (младшего) и во всех, кроме второго, элементах И из блока 6 появляется запрещающий потенциал, а на первом входе второго элемента И из блока 6 - разрешающий потенциал. Таким образом, на вход счетчика 3 теперь поступают импульсы, частота следования которых влече меньше предыдущей частоты, т.е. при каждом очередном переполнении счетчика 3 код в счетчике 4 увеличивается на единицу, а в счетчик 3 заносится код, равный половине его емкости N^* (при $N^* = 2^{n^*}$ заносится единица в старший разряд), и частота импульсов, идущих на вход счетчика 3 уменьшается в два раза. Так происходит до того момента времени, когда входной сигнал второй раз перейдет через нуль из отрицательных значений в положительные, т.е. когда окончится период T_x измеряемого сигнала. При этом на первом выходе выходного блока появится запрещающий потенциал, закрывающий элемент И 2. На этом заканчивается цикл измерения, в результате которого на счетчиках 3 и 4 сформирован код, пропорциональный периоду T_x входного сигнала; причем код в счетчике 4 показывает, в каком поддиапазоне лежит период T_x , а код в счетчике 3 определяет T_x внутри поддиапазона. В этот же момент времени на третьем выходе блока 1 формируется управляющий сигнал, который через элемент ИЛИ 11 поступает на управляющий вход блока элементов И 10. Первые входы блока элементов И 10 подключены к соответствующим входам триггеров счетчика 3. Таким образом производится запись дополнительного кода, который содержится в счетчике 3, в n^* младшие разряды делителя 7. На втором выходе блока 1 в это же время появляется разрешающий потенциал, открывающий элемент И 9 и третий элемент И 12 по первым входам, причем каждый импульс с выхода второго элемента И 9 устанавливает старшие разряды делителя 7 в нулевое со-

стояние, а каждый сигнал с выхода n^* -го триггера делителя 7 переписывает в n^* младшие разряды делителя 7 дополнительный код счетчика 3.

Коэффициент пересчета n^* младших триггеров делителя 7 с учетом записанного в них дополнительного кода из счетчика 3 пропорционален содержимому счетчика 3, которое, в свою очередь, пропорционально периоду T_x входного сигнала. Возбужденный выход дешифратора 5 однозначно определяет частотный поддиапазон формируемой на выходе устройства импульсной последовательности (грубая шкала). Коэффициент пересчета n^* младших триггеров делителя 7 определяет требуемую частоту следования импульсов внутри поддиапазона (точная шкала). Разрешающий потенциал с второго выхода блока 1 открывает элемент И 14, с выхода которого на первый вход счетчика 15 поступают сигналы об окончании каждого последующего периода входного сигнала. Таким образом, счетчик 15 подсчитывает число периодов T_x , прошедших с момента появления разрешающего потенциала на втором выходе блока 1. Дешифратор 16 последовательно открывает тот из элементов И блока 17, номер которого соответствует коду в счетчике 15. При достижении числа периодов величины K_i соответствующий элемент И из блока 17 формирует корректирующий сигнал, который устанавливает устройство в положение, исходное для генерирования (формирования) выходных импульсов. Если, например, на нулевую ℓ_0 из входных клемм ($\ell_0 \dots \ell_m$) перед началом работы был подан разрешающий потенциал, то нулевой (исходный) код счетчика 15 открывает нулевой элемент И из блока 17, а поэтому (через элемент ИЛИ 18) элемент И 19 открыт по первому входу в исходном состоянии.

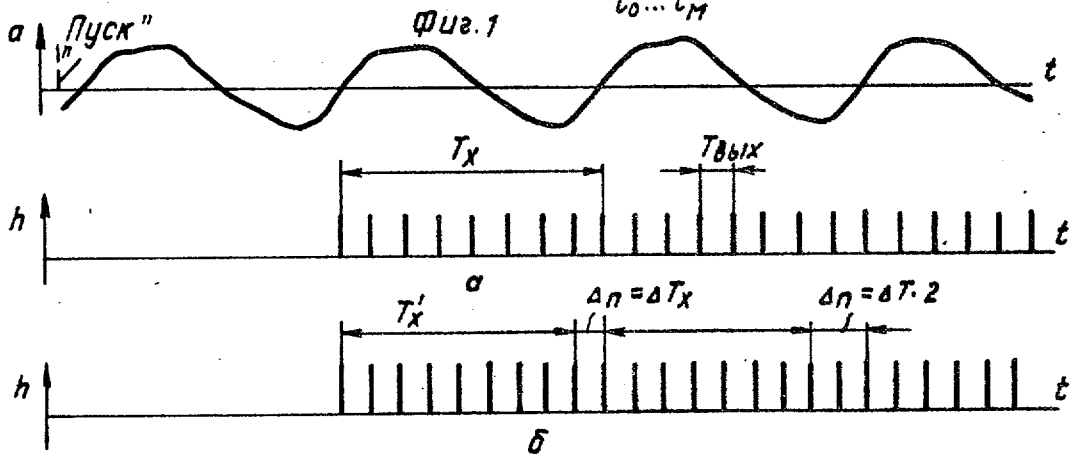
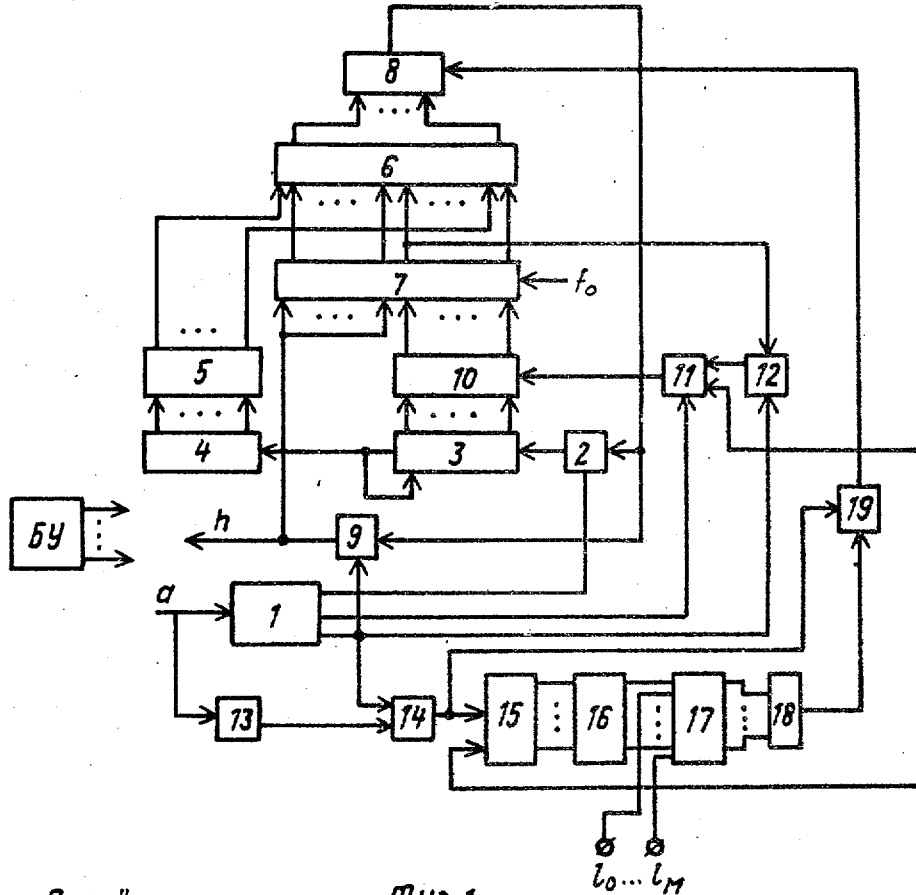
Тогда первый же сигнал, сформированный формирователем 13, пройдет по второму входу через элемент И 19 и поступит на дополнительные входы элементов 8 и 11, а также на установочный вход счетчика 15. Устройство готово для дальнейшего формирования импульсов. Если в исходном состоянии возбуждена первая входная клемма ℓ_1 , то корректирующий сигнал вырабатывается в момент прихода второго импульса с формирователя 13 и т.д.

Таким образом, введение дополнительных функциональных блоков и связей повышает точность функционирования преобразователя период-частота, а следовательно расширяет и область его использования.

Формула изобретения

Преобразователь период-частота по авт. св. № 546102, отличающийся тем, что, с целью повышения точности преобразования, в него дополнительно введены формирователь импульсов, два элемента И и последовательно соединенные счетчик, дешифратор, блок элементов И и элемент ИЛИ, причем входная шина устройства соединена через формирователь импульсов с первым входом первого до-

полнительного элемента И, второй вход которого подключен к второму выходу входного блока, выход первого дополнительного элемента И соединен со счетным входом дополнительного счетчика и первым входом второго дополнительного элемента И, второй вход которого подключен к выходу дополнительного элемента ИЛИ, установочный вход дополнительного счетчика соединен с выходом второго дополнительного элемента И и дополнительными входами первого и второго элементов ИЛИ.



Фиг. 2