



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 745012

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.03.78(21) 2591156/18-09

(51) М. Кл.²
Н 04 В 7/02

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.06.80, Бюллетень № 24

(53) УДК 621.394.
.662(088.8)

Дата опубликования описания 30.06.80

(72) Автор
изобретения

С. А. Ганкевич

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО СИНХРОНИЗАЦИИ МНОГОКАНАЛЬНЫХ РАВНОДОСТУПНЫХ СИСТЕМ СВЯЗИ

1

Изобретение относится к радиосвязи и может быть использовано в многоканальных децентрализованных синхронно-адресных системах связи в временном делении каналов.

Известное устройство синхронизации многоканальных равнодоступных систем связи содержит последовательно соединенные блок фазирования, распределитель временных каналов, управляемый коммутатор и блок тактовой синхронизации, выход которого подключен к второму входу управляемого коммутатора, причем другой выход распределителя временных каналов подключен к второму входу блока фазирования, другой выход которого подключен к другому входу управляемого коммутатора, при этом на третий вход блока фазирования подан входной сигнал [1].

Однако известное устройство имеет недостаточную точность синхронизации.

Цель изобретения - повышение точности синхронизации.

2

Для этого в устройстве синхронизации многоканальных равнодоступных систем связи введены последовательно соединенные ключ, блок корреляционной обработки, коммутатор и управляющий элемент, а также блок усреднения, входы которого объединены с входами коммутатора и соединены с дополнительными выходами блока тактовой синхронизации, а выход блока усреднения подключен к второму входу блока корреляционной обработки, третий вход которого соединен с вторым дополнительным выходом блока тактовой синхронизации и дополнительным входом блока фазирования, причем выход управляющего элемента подключен к дополнительному входу распределителя временных каналов, а другой вход управляющего элемента соединен с третьим дополнительным выходом блока тактовой синхронизации, а дополнительный выход управляемого коммутатора подключен к четвертому входу блока корреляционной обработки и входу ключа, другой вход

которого объединен с третьим входом блока фазирования и вторым дополнительным входом блока тактовой синхронизации.

На чертеже изображена структурная схема устройства синхронизации многоканальных равнодоступных систем связи.

Предложенное устройство содержит последовательно соединенные блок 1 фазирования, распределитель 2 временных каналов, управляемый коммутатор 3 и блок 4 тактовой синхронизации, выход которого подключен к второму входу управляемого коммутатора 3. Другой выход распределителя 2 временных каналов подключен к второму входу блока 1, другой выход которого подключен к другому входу управляемого коммутатора 3. На третий вход блока 1 подан входной сигнал. Входы блока 5 усреднения объединены с входами коммутатора 6 и соединены с дополнительными выходами блока 4. Выход блока 5 подключен к второму входу блока 7 корреляционной обработки, третий вход которого соединен с вторым дополнительным выходом блока 4 и дополнительным входом блока 1.

Выход управляющего элемента 8 подключен к дополнительному входу распределителя 2, а другой вход управляющего элемента 8 соединен с третьим дополнительным выходом блока 4. Дополнительный выход управляемого коммутатора 3 подключен к четвертому входу блока 7 и входу ключа 9, другой вход которого объединен с третьим входом блока 1 и вторым дополнительным входом блока 4.

Управляемый коммутатор 3 состоит из делителя 10 канальной частоты, коммутатора 11 с элементом 12 управления коммутацией.

Блок 4 тактовой синхронизации состоит из элемента 13 задержки, регенератора 14, перемножителей 15, 16, сумматора по модулю "2" 17, элемента И 18, генератора 19, реверсивного счетчика 20, управляющего элемента 21, коммутаторов 22, 23, делителя 24 тактовой частоты.

Предложенное устройство работает следующим образом.

На этапе вхождения в связь производится фазирование распределителя 2 по синхросигналу, принимаемому с минимальной задержкой относительно тактовых точек временных каналов, полученных в результате фазирования распределителя 2 по первому принятому синхро-

сигналу, а также фазирование делителей 24 и 10 по синхросигналам, принятым в соответствующих временных каналах, с помощью блока 1. Одновременно производится коррекция фазы опорного сигнала тактовой частоты, получаемого на выходе делителя 24. По окончании временного канала делитель 24 подключается к выходу генератора 19, а для следующего временного канала - к управляющему элементу 21. Через время цикла последовательности импульсов тактовой частоты на выходе делителя 24 будут синфазны с значащими моментами соответствующих канальных сигналов. При последующей коммутации делителей 10, 24 к регенератору фазовое рассогласование между входным и опорным сигналами будет определяться лишь нестабильностью генерируемых частот и длительностью цикла. Коммутация выходов делителей 10 и 24 к регенератору производится в момент смены временных каналов посредством коммутатора 23, а входа к управляющему элементу 21 - посредством коммутатора 22. Коммутаторы 22 и 23 управляются сигналами с элемента 12, который, в свою очередь, управляется сигналами с выходов распределителя 2.

Устранение влияния задержки на частоту осуществляется следующим образом.

Если приращение расстояний между станциями не равно 0, знак усредненной величины фазового рассогласования между опорным и канальным сигналами тактовой частоты, определяемый с помощью блока 5, одинаков на всех станциях и соответствует знаку приращения задержки. В занятом для передачи временном канале каждая станция информирует другие станции о знаке фазового рассогласования посредством передачи в начале временного канала одного из двух противоположных синхросигналов. Последний используется также при корреляционном приеме в качестве опорного сигнала. В этом случае максимальное значение корреляции на выходе блока 7 положительно.

Коммутатор 6 подключает перекрестно шины добавления и вычитания к управляющему элементу 8. При этом знак коррекции фазы распределителя 2 противоположен знаку приращения задержки. При этом влияние задержки на частоту компенсируется, поскольку передача информации осуществляется с фазой распределителя 2.

Если приращение расстояний равно или близко к 0, знак усредненной величины фазового рассогласования на различных станциях различен и определяется разностью между средней частотой цикла в сети и частотой цикла собственного генератора. При различии в знаках фазового рассогласования на передающей и приемной станциях максимальное значение корреляционной функции отрицательно. В результате этого с помощью коммутатора осуществляется прямое соединение шин добавления и вычитания управляющих элементов 21 и 8, и коррекция фазы распределителя 2 совпадает по величине и знаку с коррекцией фазы делителя 24.

Изобретение позволяет обеспечить высокую точность синхронизации по временным каналам, а также снизить погрешность синхронизации, при этом максимальная продолжительность сеанса связи не ограничивается.

Ф о р м у л а и з о б р е т е н и я

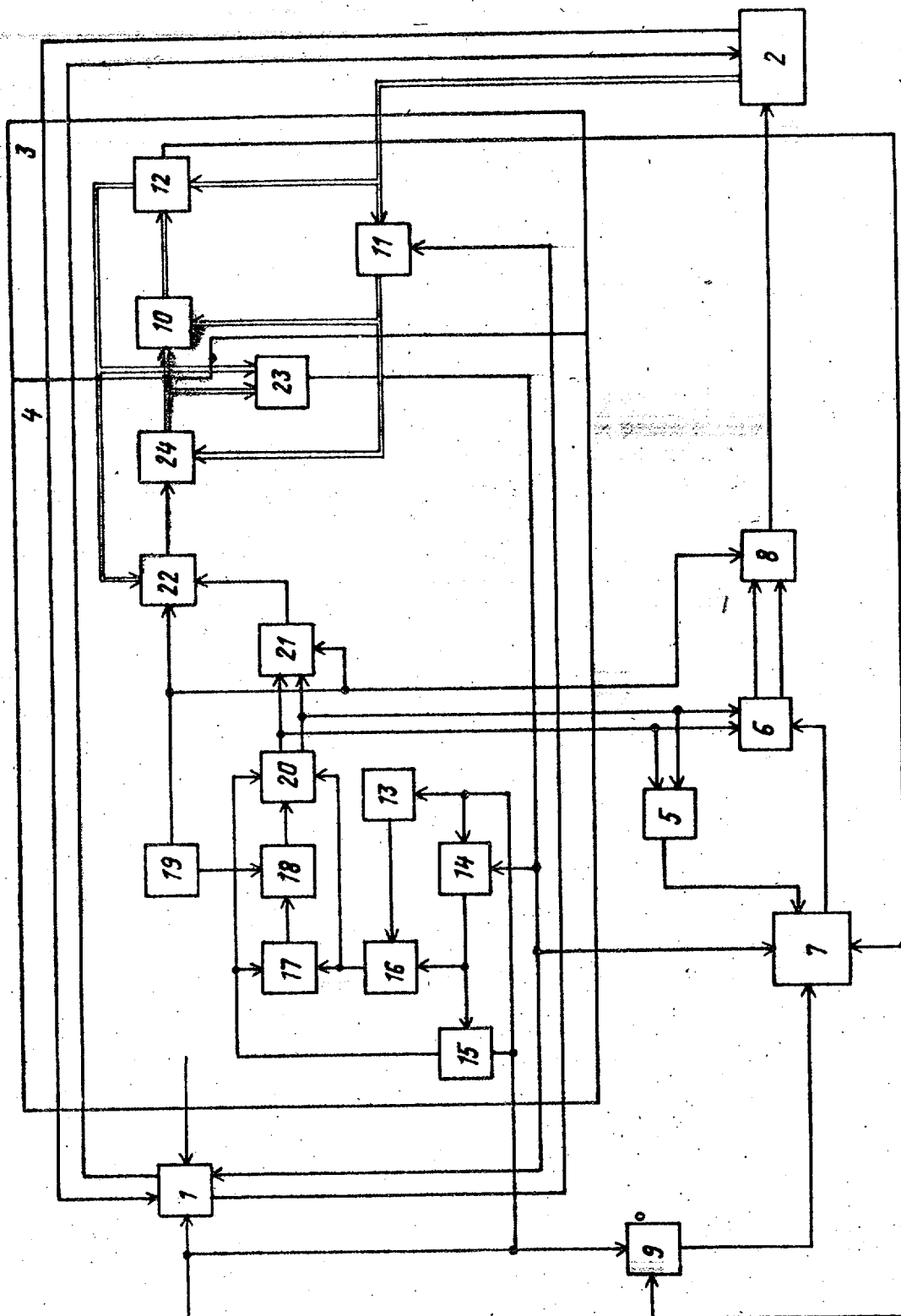
Устройство синхронизации многоканальных равнодоступных систем связи, содержащее последовательно соединенные блок фазирования, распределитель временных каналов, управляемый коммутатор и блок тактовой синхронизации, выход которого подключен к второму входу управляемого коммутатора, причем другой выход распределителя временных каналов подключен к второму входу блока фазиро-

вания, другой выход которого подключен к другому входу управляемого коммутатора, при этом на третий вход блока фазирования подан входной сигнал, отличающееся тем, что, с целью повышения точности синхронизации, введены последовательно соединенные ключ, блок корреляционной обработки, коммутатор и управляющий элемент, а также блок усреднения, входы которого объединены с входами коммутатора и соединены с дополнительными выходами блока тактовой синхронизации, а выход блока усреднения подключен к второму входу блока корреляционной обработки, третий вход которого соединен с вторым дополнительным выходом блока тактовой синхронизации и дополнительным входом блока фазирования, причем выход управляющего элемента подключен к дополнительному входу распределителя временных каналов, а другой вход управляющего элемента соединен с третьим дополнительным выходом блока тактовой синхронизации, а дополнительный выход управляемого коммутатора подключен к четвертому входу блока корреляционной обработки и входу ключа, другой вход которого объединен с третьим входом блока фазирования и вторым дополнительным входом блока тактовой синхронизации.

Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР по заявке № 2372221/18-09, кл. Н 04 L 7/02, 1976.



Составитель И. Шамонина

Редактор Е. Абрамова Техред Э. Фечо Корректор В. Бутяга

Заказ 3685/17

Тираж 729

Подписное

ЦНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4