



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 849309

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 11.11.79 (21) 2841977/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.07.81, Бюллетень №27

Дата опубликования описания 25.07.81

(51) М. Кл.³

G 11 C 29/00

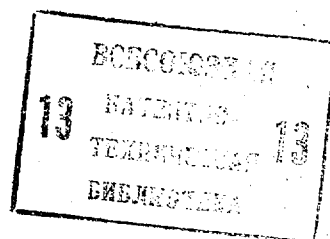
(53) УДК 681.327
(088.8)

(72) Автор
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО МАТРИЧНОГО
ТИПА С САМОКОНТРОЛЕМ

1

Изобретение относится к области запоминающих устройств.

Известно запоминающее устройство матричного типа, содержащее накопитель, дешифраторы строк и столбцов, блок считывания, элемент И, шины записи, разрешения записи и управления [1].

Недостатком этого устройства является то, что его работоспособность нарушается при отказах и сбоях элементов памяти накопителя.

Наиболее близким техническим решением к изобретению является запоминающее устройство, содержащее накопитель, дешифраторы адреса столбцов и строки, блоки считывания, кодирования и контроля, первый и второй блоки коррекции, первый сумматор по модулю два, шины записи, разрешения записи и управления [2].

Однако это устройство характеризуется низкой надежностью из-за коррекции только однократных ошибок в каждой строке накопителя.

2

Цель изобретения - повышение надежности устройства за счет исправления двукратных ошибок в каждой строке накопителя.

Поставленная цель достигается тем, что в запоминающее устройство матричного типа с самоконтролем, содержащее накопитель, дешифратор столбцов, дешифратор строк, блок кодирования, первый и второй блоки коррекции, блок контроля, первый сумматор, блок считывания, первую группу элементов И и шины записи, разрешения записи и управления, причем числовые шины накопителя соединены с выходами дешифратора строк, выходные шины - со входами блока считывания и блока контроля, выходы которого соединены с одними из входов первого блока коррекции, другие входы которого соединены с выходами блока кодирования, выходы дешифратора столбцов подключены к входам блока кодирования и управляющим входам блока считывания, вы-

ход которого и выход первого блока коррекции соединены со входами первого сумматора, одни из входов второго блока коррекции подключены соответственно к выходам блока кодирования, шине разрешения записи, шине управления и выходу первого сумматора, разрядные шины накопителя подключены к выходам второго блока коррекции и элементов И первой группы, одни из входов которых соединены с шиной разрешения записи и шиной управления - введены второй, третий и четвертый сумматоры, триггер, первый, второй и третий элементы И, элемент ИЛИ, элемент НЕ, группу триггеров, группу сумматоров, вторую группу элементов И и группу элементов ИЛИ, причем входы второго сумматора соединены с шиной записи, одними из входов триггера и выходом третьего сумматора, выход второго сумматора соединен с первым входом третьего элемента И, входы четвертого сумматора соединены с выходами первого и третьего сумматоров, входы третьего сумматора подключены соответственно к одной из выходных шин накопителя и выходу первого элемента И, входы которого соединены с выходами блока контроля и входами элемента ИЛИ, выход которого соединен с первым входом второго элемента И, второй вход которого подключен к выходу триггера и первым входам сумматоров группы, управляющие и информационные входы триггеров группы соединены соответственно с шиной разрешения записи, другим входом триггера, разрядными шинами накопителя и выходами элементов И второй группы, выходы триггеров соединены соответственно со вторыми входами сумматоров группы, выходы которых подключены к первым входам элементов И второй группы, вторые входы которых соединены с выходом второго элемента И, другие входы второго блока коррекции подключены соответственно к выходу элемента НЕ и второму входу третьего элемента И, к одному из выходов дешифратора столбцов и первым входам элементов ИЛИ группы, вторые входы которых соединены с другими выходами дешифратора столбцов, другие входы элементов И первой группы подключены соответственно к выходу третьего элемента И, выходам элементов ИЛИ группы, к одному из выходов дешифра-

тора столбцов и входу элемента НЕ, а выход четвертого сумматора является выходом устройства.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 - схема выполнения второго блока коррекции.

Предлагаемое устройство содержит (фиг. 1) накопитель 10, соединенный числовыми шинами 2 с выходами дешифратора 3 строк. Выходные шины 4 накопителя соединены с входами блоков считывания 5 и контроля 6. Выходы блоков считывания 5 и контроля 6 подключены соответственно к первому входу первого сумматора 7 и входам первого блока 8 коррекции, входам первого элемента И 9 и элемента ИЛИ 10. Выход первого блока 8 коррекции соединен со вторым входом первого сумматора 7. Управляющие входы 11 блока 5 считывания соединены с одними из входов дешифратора 12 столбцов, входами блока 13 кодирования.

Устройство также содержит группу элементов ИЛИ 14, первую группу элементов И 15, имеющих выходы 16, второй блок 17 коррекции, элемент НЕ 18, имеющий выход 19, второй элемент И 20, второй сумматор 21, имеющий выход 22, шину 23 управления, шину 24 разрешения записи, триггер 25, группу триггеров 26, шину 27 записи, третий 28 и четвертый 29 сумматоры, имеющие соответственно выходы 30 и 31. Блок 17 коррекции и элементы И 15 имеют соответственно выходы 32 и 33. Устройство также содержит вторую группу элементов И 34, группу сумматоров 35, третий элемент И 36.

Все перечисленные выше сумматоры 7, 21, 28, 19 и 35 являются сумматорами по модулю два.

Входы сумматора 21 соединены с шиной 27, одними из входов триггера 25 и выходом 30 сумматора 28. Выход сумматора 21 соединен с первым входом элемента И 36. Входы сумматора 29 соединены с выходами сумматоров 7 и 28, входы сумматора 28 подключены соответственно к одной из выходных шин 37 накопителя 1 и выходу элемента И 9. Выход элемента ИЛИ 10 соединен с первым входом элемента И 20, второй вход которого подключен к выходу триггера 25 и первым входам сумматоров 35. Управляющие и информа-

ционные входы триггеров 26 соединены соответственно с шиной 24 другим входом триггера 25, разрядными шинами 38 накопителя 1 и выходами элементов И 34. Выходы триггеров 26 соединены соответственно со вторыми входами сумматоров 35, выходы которых подключены к первым входам элементов И 35, вторые входы которых соединены с выходом второго элемента И 20. Одни из входов блока 17 подключены соответственно к выходам блока 13, шинам 23 и 24. Другие входы блока 17 подключены соответственно к выходу элемента НЕ 18 и второму входу элемента И 36, к одному из выходов дешифратора 12 и первым входам элементов ИЛИ 11, вторые входы которых соединены с другими выходами дешифратора 12. Одни из входов элементов И 15 соединены с шинами 23 и 24, другие - соответственно с выходом элемента И 36, выходами элементов ИЛИ 14, с одним из выходов дешифратора 12 и входом элемента НЕ 18, выход 31 сумматора 29 является выходом устройства.

Второй блок коррекции 17 (фиг. 2) содержит группу триггеров 39, первый элемент НЕ 40, группу сумматоров 41, первый элемент И 42, элемент ИЛИ 43, сумматор по модулю два 44, триггер 45, второй элемент НЕ 46, первую 47 и вторую 48 группы элементов И.

Устройство работает следующим образом.

При первоначальном включении источника питания (на фиг. 1 не показан) элементы памяти накопителя 1 устанавливаются в нулевое состояние. Для этого на шины 23, 24, 27 подаются соответственно сигналы управления, разрешения записи и записи. При этом на вход дешифратора 12 столбцов подаются код адреса, соответствующий опросу К-го разряда накопителя, а на вход дешифратора 3 строк - код адреса, соответствующий опросу первой строки. На выходе дешифратора 12 появляется единичный сигнал, который формирует на всех выходах блока 13 единичные сигналы и, проходя через элементы ИЛИ 14 и элемент НЕ 18, открывает элементы И 15, 42 и 48. Одновременно этот сигнал, инвертируясь на элементе НЕ 18, устанавливает на выходах элементов И 20 и 46 нулевые сигналы, которые записываются для хранения в первую строку накопителя и

в триггеры 26. Сигнал с шины 24 снимается, в результате чего прекращается запись информации и производится контрольное считывание информации, хранимой в первой строке. При этом с выхода триггера 25 поступает единичный сигнал на вход элемента И 20, а блок 6 контроля вычисляет контрольные соотношения кода Хемминга. Результатом вычисления является проверочный вектор (синдром S), который равен нулю при отсутствии однократных и двукратных ошибок в опрашиваемой строке накопителя 1 и не равен нулю - в противном случае.

Если синдром не равен нулю ($S \neq 0$), то с выхода элемента 10 поступает единичный сигнал, который открывает элементы И 36 и 34 и инвертированная на сумматорах 35 информация записывается повторно в первую строку накопителя. Таким образом, если в первой строке хранится слово, состоящее из 111...1, то синдром $S=0$, если же возможно наличие дефектного элемента памяти, находящегося в нулевом состоянии, то $S \neq 0$ и информация о том, что слово инвертировано, хранится в К-ом разряде накопителя.

Если синдром $S=0$, то инвертирования хранимой информации не происходит, так как на выходе элемента ИЛИ 10 - нулевой сигнал, который держит закрытыми элементы И 38 и 34.

Рассмотрим теперь запись и считывание информации.

При записи информации, первоначально происходит контрольное считывание, в результате чего на сумматоре 7 корректируется сигнал с опрашиваемого разряда, а затем производится запись информации в основной и проверочные разряды (если опрашиваемый элемент памяти изменяет свое состояние). Одновременно с записью этой информации происходит запись информации о состоянии элементов памяти опрашиваемой строки в триггера 26. После снятия сигнала с шины 24 разрешения записи, производится второе контрольное считывание. При этом, если синдром $S=0$, то хранимое в триггерах 25 слово не записывается инвертированным вновь в опрашиваемую строку накопителя 1. В противном случае, т.е. когда $S \neq 0$, хранимое в триггерах 26 слово инвертирует-

ся на сумматорах 35 и в таком виде перезаписывается в опрашиваемую строку.

Рассмотрим некоторые возможные случаи такого инвертирования.

1. До записи информации синдром $S=0$. Это говорит о том, что в слове не было дефектных элементов памяти, или что записываемая информация была согласована с состоянием дефектных элементов памяти благодаря входному инвертированию на сумматоре 21 исправленным на сумматоре 28 сигналом с k -го разряда накопителя 1 (элемент И. 9 служит для выделения синдрома k -го разряда). После записи информации в опрашиваемый элемент памяти и в проверочные разряды второго контрольного считывания, когда синдром $S_1^0 \neq 0$, инвертирование хранимой информации позволяет согласовать записываемую информацию и при отсутствии второго дефектного элемента памяти синдром становится равным нулю $S_2^0 = 0$, в противном случае $S_2^0 \neq 0$, и определяет позицию этой ошибки.

2. До записи информации $S \neq 0$. Это говорит о том, что в слове имеется один дефектный элемент памяти, состояние которого не совпадает с записываемой для хранения информацией. После записи информации синдром вновь не равен нулю $S_1^0 \neq 0$. Это говорит о том, что обращение произошло или к исправному элементу памяти (а), или к дефектному элементу памяти (состояние которого не совпадает с той же хранимой информацией) (б), или ко второму дефектному элементу памяти, состояние которого до этого совпадало с хранимой информацией (в) с несовпадающей информацией (в). При этом, инвертирование позволяет в случае (а) и (б) согласовать записываемую для хранения информацию с состоянием дефектного элемента, хотя при этом может произойти несогласование второго дефекта, на что указывает неравенство нулю синдрома $S_2^0 \neq 0$.

В случае (в) инвертирование позволяет согласовать оба дефекта, в результате чего $S_2^0 = 0$.

При считывании, как и в предыдущем случае, инвертирование считываемой информации на сумматорах 7 и 29 составляет правильной хранимую информацию.

Таким образом, повышается общая надежность хранения и воспроизведения информации. При этом число провероч-

ных разрядов меньше, чем при использовании кодов с кодовым расстоянием, например $\alpha = 5$, направляющих двойные ошибки и, кроме того, построение схем контроля реализуется сравнительно простыми средствами.

Формула изобретения

Запоминающее устройство матричного типа с самоконтролем, содержащее накопитель, дешифратор столбцов, дешифратор строк, блок кодирования, первый и второй блоки коррекции, блок контроля, первый сумматор, блок считывания, первую группу элементов И и шины записи, разрешения записи и управления, причем числовые шины накопителя соединены с выходами дешифратора строк, выходные шины — со входами блока считывания и блока контроля, выходы которого соединены с одними из входов первого блока коррекции, другие входы которого соединены с выходами блока кодирования, выходы дешифратора столбцов подключены ко входам блока кодирования и управляющим входам блока считывания, выход которого и выход первого блока коррекции соединены со входами первого сумматора, одни из входов второго блока коррекции подключены соответственно к выходам блока кодирования, шине разрешения записи, шине управления и выходу первого сумматора, разрядные шины накопителя подключены к выходам второго блока коррекции и элементов И первой группы, одни из входов которых соединены с шиной разрешения записи и шиной управления, отличающееся тем, что, с целью повышения надежности устройства, оно содержит второй, третий и четвертый сумматоры, триггер, первый, второй и третий элементы И, элемент ИЛИ, элемент НЕ, группу триггеров, группу сумматоров, вторую группу элементов И и группу элементов ИЛИ, причем входы второго сумматора соединены с шиной записи, одними из входов триггера и выходом третьего сумматора, выход второго сумматора соединен с первым входом третьего элемента И, входы четвертого сумматора соединены с выходами первого и третьего сумматоров, входы третьего сумматора подключены соот-

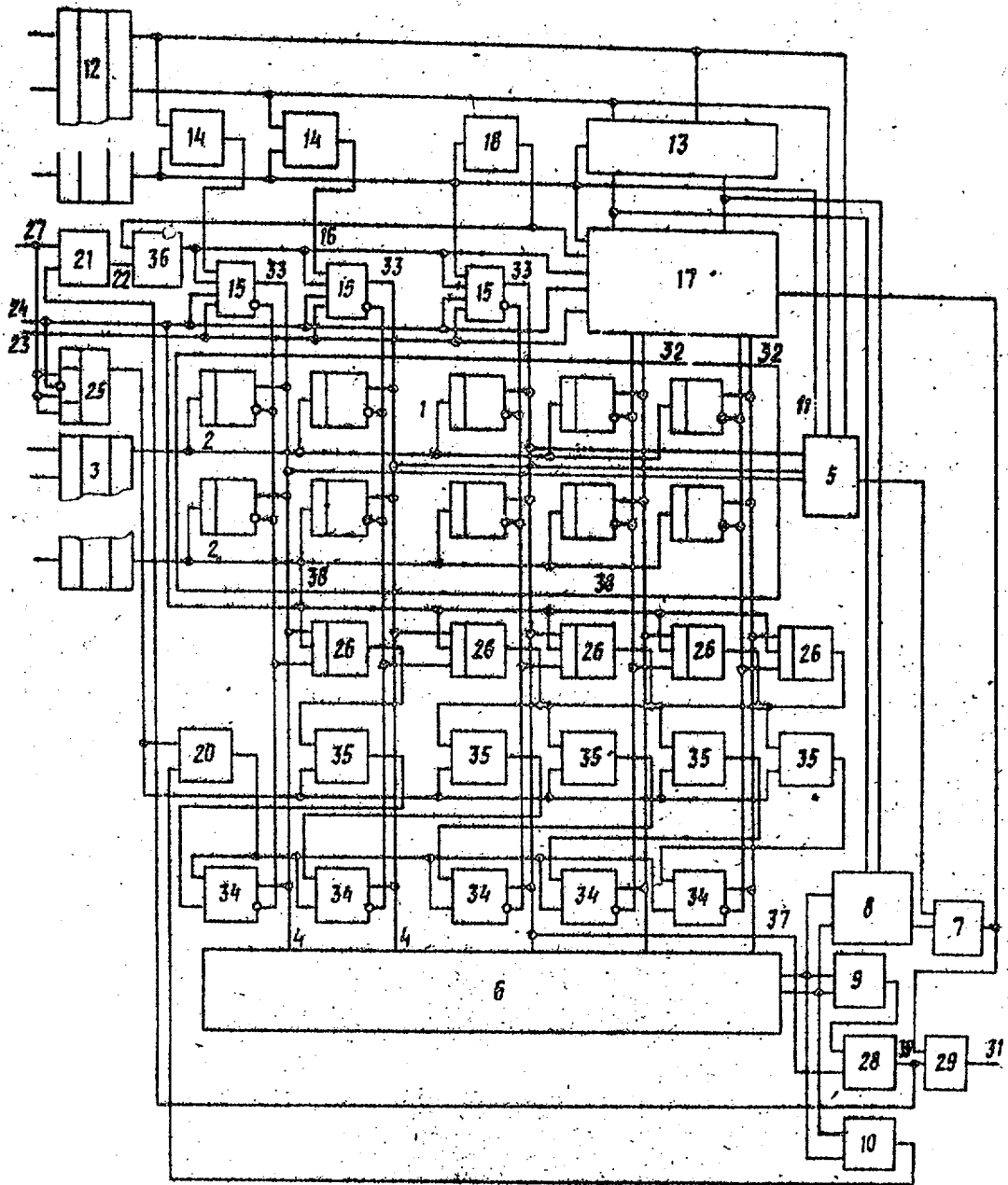
ветственно к одной из выходных шин накопителя и выходу первого элемента И, входы которого соединены с выходами блока контроля и входами элемента ИЛИ, выход которого соединен с первым входом второго элемента И, второй вход которого подключен к выходу триггера и первым входам сумматоров группы, управляющие и информационные входы триггеров группы соединены соответственно с шиной разрешения записи, другим входом триггера, разрядными шинами накопителя и выходами элементов И второй группы, выходы триггеров соединены соответственно со вторыми входами сумматоров группы, выходы которых подключены к первым входам элементов И второй группы, вторые входы которых соединены с выходом второго элемента И, другие входы второго блока коррекции подключены соот-

ветственно к выходу элемента НЕ и второму входу третьего элемента И, к одному из выходов дешифратора столбцов и первым входам элементов ИЛИ группы, вторые входы которых соединены с другими выходами дешифратора столбцов, другие входы элементов И первой группы подключены соответственно к выходу третьего элемента И, выходам элементов ИЛИ группы, к одному из выходов дешифратора столбцов и входу элемента НЕ, а выход четвертого сумматора является выходом устройства.

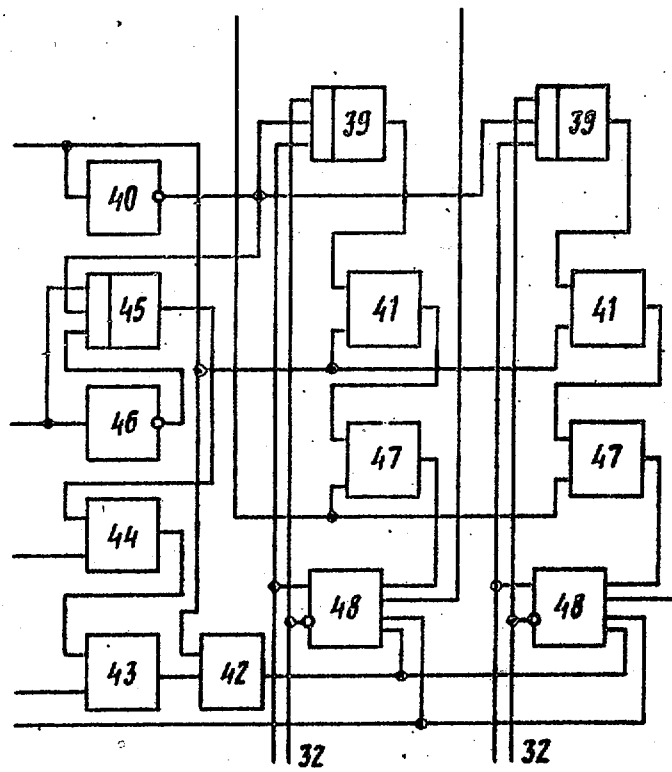
15 Источники информации, принятые во внимание при экспертизе

1. Микроэлектроника. Сб. статей. Под ред. Лукина Ф. А. М., вып. 5, "Советское радио", 1972, с. 128-150.

20 2. Авторское свидетельство СССР № 598118, кл. G 11 C 11/00, 1975 (прототип).



Фиг. 1



Фиг. 2

Составитель В. Рудаков

Редактор Н.Пушненкова Техред А.Савка Корректор Г. Решетник

Заказ 6103/68 Тираж 645 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4