



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е И З О Б Р Е Т Е Н И Я

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 750495

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 02.06.78 (21) 2636100/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 23.07.80. Бюллетень № 27

Дата опубликования описания 27.07.80

(51) М. Кл.³

G 06 F 15/31

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

А. Н. Морозевич, А. Е. Леусенко и Б. В. Немытов

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ СИНУСНО-КОСИНУСНЫХ ФУНКЦИЙ

1

Изобретение относится к вычислительной технике, особенно к специализированным вычислителям и предназначено для вычисления функций вида $Y = \sin \Theta$ и $X = \cos \Theta$.

Известно устройство, содержащее регистры, сумматоры-вычитатели, сдвигающие регистры, постоянное запоминающее устройство и устройство управления с недостаточной высокой скоростью вычисления синуса и косинуса, равным $n^2\tau$, где τ — период следования тактовых импульсов, а n — разрядность регистров [1].

Наиболее близким по технической сущности к изобретению является устройство, для вычисления синусно-косинусных функций, содержащее четыре регистра, два сдвигающих регистра, три сумматора-вычитателя, постоянное запоминающее устройство и блок управления [2].

Устройство позволяет реализовать итерационные методы вычисления гармонических функций, однако достаточно медленно действующее (время вычисления синуса и косинуса равно $T = n^2\tau$, где τ — период следования тактовых импульсов, n — разрядность регистров) и достаточно сложное.

2

Цель изобретения — повышение быстродействия и упрощение устройства.

Поставленная цель достигается тем, что в устройстве для вычисления синусно-косинусных функций, содержащее первый регистр, первый и второй регистр сдвига, первый, второй и третий сумматоры-вычитатели, введены первый и второй сдвигатели, блок элементов И, блок элементов ИЛИ, первый, второй и третий элементы ИЛИ, первый и второй элементы задержки, первый и второй триггеры, генератор импульсов, причем управляющий вход устройства соединен с входом первого элемента задержки, с установочными входами первого регистра, первого и второго регистров сдвига, первого и второго сумматоров-вычитателей и с управляющим входом блока элементов И, выход первого элемента задержки подключен к единичному входу первого триггера, единичный выход которого соединен с первым входом первого элемента И, второй вход которого соединен с выходом генератора импульсов, управляющий вход первого регистра соединен с первым выходом второго регистра сдвига, второй и третий выходы которого соединены

с управляющими входами соответственно первого и второго сумматоров-вычитателей, а четвертый выход — с первым входом первого элемента ИЛИ, первым входом второго элемента И, управляющим входом третьего сумматора-вычитателя, второй вход первого элемента ИЛИ соединен с единичным выходом второго триггера, единичный вход которого соединен с управляющим входом устройства, а нулевой вход — с выходом первого элемента И, выходы вторых элементов И и ИЛИ соединены соответственно с входом установки нуля первого сумматора-вычитателя и третьими входами первого и второго сдвигателей, информационные входы первого и второго сумматоров-вычитателей соединены с выходами соответственно первого и второго сдвигателей, а выходы — с информационными входами соответственно второго сдвигателя и первого регистра, вход второго элемента задержки соединен с первым входом второго элемента И, а выход — с сдвигающим входом первого регистра сдвига, первый выход которого подключен к вторым входам второго элемента И и второго элемента ИЛИ и первому входу третьего сумматора-вычитателя, второй вход которого соединен с первым входом второго элемента ИЛИ и вторым выходом первого регистра сдвига, третий выход которого подключен к вторым входам первого и второго сдвигателей и третьему входу третьего сумматора-вычитателя, выход младших разрядов первого регистра сдвига соединен с входом блока элементов ИЛИ, выход которого соединен с входом младших разрядов третьего сумматора-вычитателя, информационные входы которого соединены с выходами блока элементов И, входы которого являются информационными входами устройства, нулевой выход знакового разряда третьего сумматора-вычитателя соединен с суммирующим и вычитающим входами соответственно первого и второго сумматоров-вычитателей и суммирующему входу третьего сумматора-вычитателя, единичный выход знакового разряда которого соединен с вычитающим и суммирующим входом соответственно первого и второго сумматоров-вычитателей и вычитающим входом третьего сумматора-вычитателя, выход младшего разряда первого регистра сдвига соединен с первыми входами первого и второго сдвигателей и с вторым входом третьего элемента И, выход которого соединен с вторым входом третьего элемента ИЛИ, выход которого соединен с нулевым входом первого триггера, первый вход третьего элемента ИЛИ соединен с управляющим входом устройства, выход первого элемента И соединен с сдвигающим входом второго регистра сдвига, информационный вход которого соединен с выходом первого элемента ИЛИ, информационные выходы первого регистра соединены с входами второго сдвигателя.

На фиг. 1 приведена схема устройства для вычисления синусно-косинусных функций; на фиг. 2 — временная диаграмма основных сигналов, определяющих процесс вычисления $Y = \sin \Theta$ и $X = \cos \Theta$; на фиг. 3 — функциональная схема четырехразрядного сдвигателя.

Устройство содержит регистр 1, сдвигатели 2 и 4, сумматоры-вычитатели 3, 5 и 7, блок 6 элементов И, блок 8 элементов ИЛИ, регистры 9 и 10 сдвига, элементы И 11, 17 и 19, генератор 12 импульсов, триггеры 13 и 16, элементы 14 и 18 задержки, элементы ИЛИ 15, 21 и 20, информационные входы 22-25 сдвигателя, управляющие входы 26—29 сдвигателя, выходы 30—33 сдвигателя, блоки 34—37 элементов И-ИЛИ.

Каждый сдвигатель выполнен в виде набора параллельно включенных элементов типа d И-ИЛИ (d — номер выхода сдвигателя), причем первые входы первых из d элементов И каждой группы И-ИЛИ объединены и подключены к первому информационному входу сдвигателя, первые входы вторых из d элементов И также объединены и подключены ко второму информационному входу сдвигателя и так далее, первый управляющий вход сдвигателя подключен ко вторым входам d -го элемента И из групп элементов типа d И-ИЛИ, второй управляющий вход сдвигателя подключен ко вторым входам $(d-1)$ -го элемента И из групп элементов типа d И-ИЛИ и так далее. В качестве сумматора-вычитателя используется параллельный алгебраический сумматор накапливающего типа.

Устройство реализует итерационный метод вычисления тригонометрических зависимостей в виде:

$$X_i = X_{i-1} - \xi_i Y_{i-1} \cdot 2^{-(i+2)}, \quad i = \overline{2, n} \quad (1)$$

$$Y_i = Y_{i-1} + \xi_i X_{i-1} \cdot 2^{-(i+2)}, \quad i = 2n; \quad (2)$$

$$K_i = \sqrt{\prod_{j=1}^i (1 + 2^{-2(j-1)})}; \quad (3)$$

$$\Theta_i = \Theta_{i-1} - \xi_i \beta_i; \quad (4)$$

$$\text{где } \xi_i = \begin{cases} +1, & \text{если } \gamma_{i-1} > 0; \\ -1, & \text{если } \gamma_{i-1} < 0; \end{cases} \quad (5)$$

$$\gamma_i = \Theta - \sum_{j=1}^i \xi_j \beta_j \quad (6)$$

$$\beta_i = \arctg 2^{-(i+2)}, \quad i = \overline{2, n} \quad (7)$$

При этом $X_i \rightarrow \cos \Theta$, при $i \rightarrow n$, а $n \rightarrow \infty$.
 $Y_i \rightarrow \sin \Theta$, при $i \rightarrow n$, а $n \rightarrow \infty$.

Устройство работает следующим образом.

По сигналу «пуск» устройство устанавливается в исходное положение. В третий сумматор-вычитатель 7 через блок 6 элементов И заносится двоичный код угла Θ , в первый регистр 9 сдвига заносится код $\beta = 0,100\dots 0$, второй сумматор-вычитатель 5, второй регистр 10 сдвига и регистр 1 уста-

навливаются в нулевое положение (код 0,00...0), в первый сумматор-вычитатель 3 заносится код величины $1/K_n$ (K_n определяется из (3), например, для $n = 12$, $K_n = 1,646759964...$), триггер 13 устанавливается в нулевое, а триггер 16 — в единичное состояние. На этом заканчивается нулевой (подготовительный) шаг итерации. Спустя время $t = \tau_{14}$ (τ_{14} — время задержки в элементе 14) выполняется первый шаг итерации. Он, как и нулевой шаг, не подчиняется соотношениям (1), (2), и реализует зависимости

$$X_1 = \pm Y_0 = 0 \quad (8)$$

$$Y_1 = \pm X_0 = \pm 1/K_n \quad (9)$$

и служит лишь для расширения диапазона представления 0. Причем знаки в (8) и (9) определяются значениями (знаковым разрядом) сумматора-вычитателя (7).

$$X_1 = -Y_0$$

$$Y_1 = X_0 \quad \text{при } 0 \leq \Theta < 180^\circ$$

$$X_1 = Y_0 \quad \text{при } 0 \geq \Theta \geq -180^\circ$$

$$Y_1 = -X_0$$

1-ый шаг. Триггер 13 сигналом с выхода элемента 14 задержки переводится в единичное положение и открывает элемент И 11, на выходе которого появляются импульсы, частота следования которых определяется генератором 12. Первый же из указанных импульсов осуществляет «перезапись» единицы в старший разряд регистра 10 из триггера 16 и в регистр 10 записывается код 1000. В то же время триггер 16 устанавливается в нулевое положение. Сигнал, соответствующий единичному уровню, появляется на первом выходе регистра 10 и осуществляет передачу кода из второго сумматора 5 в регистр 1. На временной диаграмме указанная микрооперация обозначена как $\langle 1 = 5 \rangle$, т. е. содержимому блока 1 присваивается значение содержимого блока 5. Далее, следующий (второй) тактовый импульс с выхода элемента И 11 осуществляет сдвиг информации в регистре 10, где оказывается код 0100, который формирует сигнал единичного уровня на втором выходе регистра 10. Этот сигнал поступает на вход сумматора-вычитателя, осуществляя тем самым микрооперацию $\langle 5 = 3 \rangle$. Знак кода, переписываемого из блока 3 в блок 5, определяется знаковым разрядом сумматора-вычитателя 7. После прихода третьего тактового импульса в регистр 10 устанавливается код 0010 и возбуждается третий выход. Сигнал с третьего выхода регистра 10 осуществляет суммирование предыдущего числа в сумматоре 3 с кодом, хранящимся в регистре 1, т. е. выполняется микрооперация $\langle 3 \pm 1 \rangle$. Четвертый тактовый импульс устанавливает в регистре код 0001. Сигнал единичного уровня с четвертого выхода регистра 10 осуществляет суммирование (с учетом знаков) Θ и β_1 , т. е. выполняется микрооперация $\langle 7 \pm \beta_1 \rangle$. Этот же сигнал проходит через «открытый» элемент И 17 устанавлива-

ет сумматор-вычитатель 3 в нулевое состояние ($\langle 3 \rangle = 0$). На этом фактически заканчивается четвертый (последний) такт первого шага итеративного процесса. Сигнал, сформированный на четвертом выходе регистра 10, поступает на элемент 18 задержки. Каждый шаг (начиная с первого шага итерации) выполняется за четыре такта. Для удобства в каждом шаге выделяется первый, второй, третий и четвертый импульс, что соответствует следующим кодам в регистре 10 — 1000, 0100, 0010, 0001, которые циклически повторяются в регистре 10.

2-ой шаг. Начинается с приходом нового первого (пятого после «открытия» элемента И 11) импульса, который устанавливает в регистре 10 код 1000. В это же время сигнал с выхода элемента задержки 18 устанавливает в регистре 9 код 0,0100...0 $\langle 9 \rangle = \langle 9 \rangle 2^{-1}$. Код 1000 в регистре 10 осуществляет передачу содержимого второго сумматора-вычитателя 5 в регистр 1 ($\langle 1 \rangle = \langle 5 \rangle$). Далее код 0100 осуществляет суммирование кодов, хранящихся в сумматорах 5 и 3, а результат алгебраического суммирования остается в сумматоре-вычитателе 5, т. е. выполняется микрооперация $\langle 5 \rangle \pm \langle 3 \rangle \cdot 2^\circ$. Третий импульс обеспечивает выполнение микрооперации $\langle 3 \rangle \pm \langle 1 \rangle \cdot 2^\circ$. Четвертый импульс обеспечивает выполнение алгебраического суммирования содержимого сумматора 7 с кодом, хранящимся в регистре 9, т. е. $\langle 7 \rangle \pm \beta_2$.

3-ий шаг. Третий и последующий шаги итерации аналогичны второму. При этом в каждом i -ом шаге циклически повторяются следующие микрооперации

$$\langle 9 \rangle = \langle 9 \rangle \cdot 2^{-1},$$

$$\langle 1 \rangle = \langle 5 \rangle \quad \text{первый импульс}$$

$$\langle 5 \rangle - \langle 3 \rangle \cdot 2^{-(+2)} \quad \text{второй импульс}$$

$$\langle 3 \rangle + \langle 1 \rangle \cdot 2^{-(+2)} \quad \text{третий импульс}$$

$$\langle 7 \rangle \pm \beta_i \quad \text{четвертый импульс}$$

что полностью соответствует выполнению соотношений (1) и (2). На последнем n -ом (n — разрядность третьего сумматора-вычитателя) шаге итерации результат вычисления функций $Y = \sin \Theta$ и $X = \cos \Theta$ формируется по окончании третьего такта для сокращения времени вычислений. Элемент И 19 формирует сигнал остановки при наличии кода 0,00...01 в регистре 9 и 0001 — регистре 10.

Время вычисления каждой пары значений $Y = \sin \Theta$ и $X = \cos \Theta$ приблизительно в два раза меньше, чем у известного.

Эффективность изобретения заключается в повышении быстродействия устройства и его упрощении за счет использования четырехразрядного сдвигателя.

Формула изобретения

Устройство для вычисления синусно-косинусных функций, содержащее первый регистр, первый и второй регистр сдвига,

первый, второй и третий сумматоры-вычитатели, отличающееся тем, что, с целью повышения быстродействия и упрощения устройства, в него введены первый и второй сдвигатели, блок элементов И, блок элементов ИЛИ, первый, второй и третий элементы И, первый, второй и третий элементы ИЛИ, первый и второй элементы задержки, первый и второй триггеры, генератор импульсов, причем управляющий вход устройства соединен с входом первого элемента задержки, с установочными входами первого регистра, первого и второго регистров сдвига, первого и второго сумматоров-вычитателей и с управляющим входом блока элементов И, выход первого элемента задержки подключен к единичному входу первого триггера, единичный выход которого соединен с первым входом первого элемента И, второй вход которого соединен с выходом генератора импульсов, управляющий вход первого регистра соединен с первым выходом второго регистра сдвига, второй и третий выходы которого соединены с управляющими входами соответственно первого и второго сумматоров-вычитателей, а четвертый выход — с первым входом первого элемента ИЛИ, первым входом второго элемента И, управляющим входом третьего сумматора-вычитателя, второй вход первого элемента ИЛИ соединен с единичным выходом второго триггера, единичный вход которого соединен с управляющим входом устройства, а нулевой вход — с выходом первого элемента И, выходы вторых элементов И и ИЛИ соединены соответственно с входом установки нуля первого сумматора-вычитателя и третьими входами первого и второго сдвигателей, информационные входы первого и второго сумматоров-вычитателей соединены с выходами соответственно первого и второго сдвигателей, а выходы — с информационными входами соответственно второго сдвигателя и первого регистра, вход второго элемента задержки соединен с первым входом второго элемента И, а выход — с сдвигающим входом первого регистра сдвига, первый выход которого подключен ко вторым входам второго элемента И и второго элемента ИЛИ

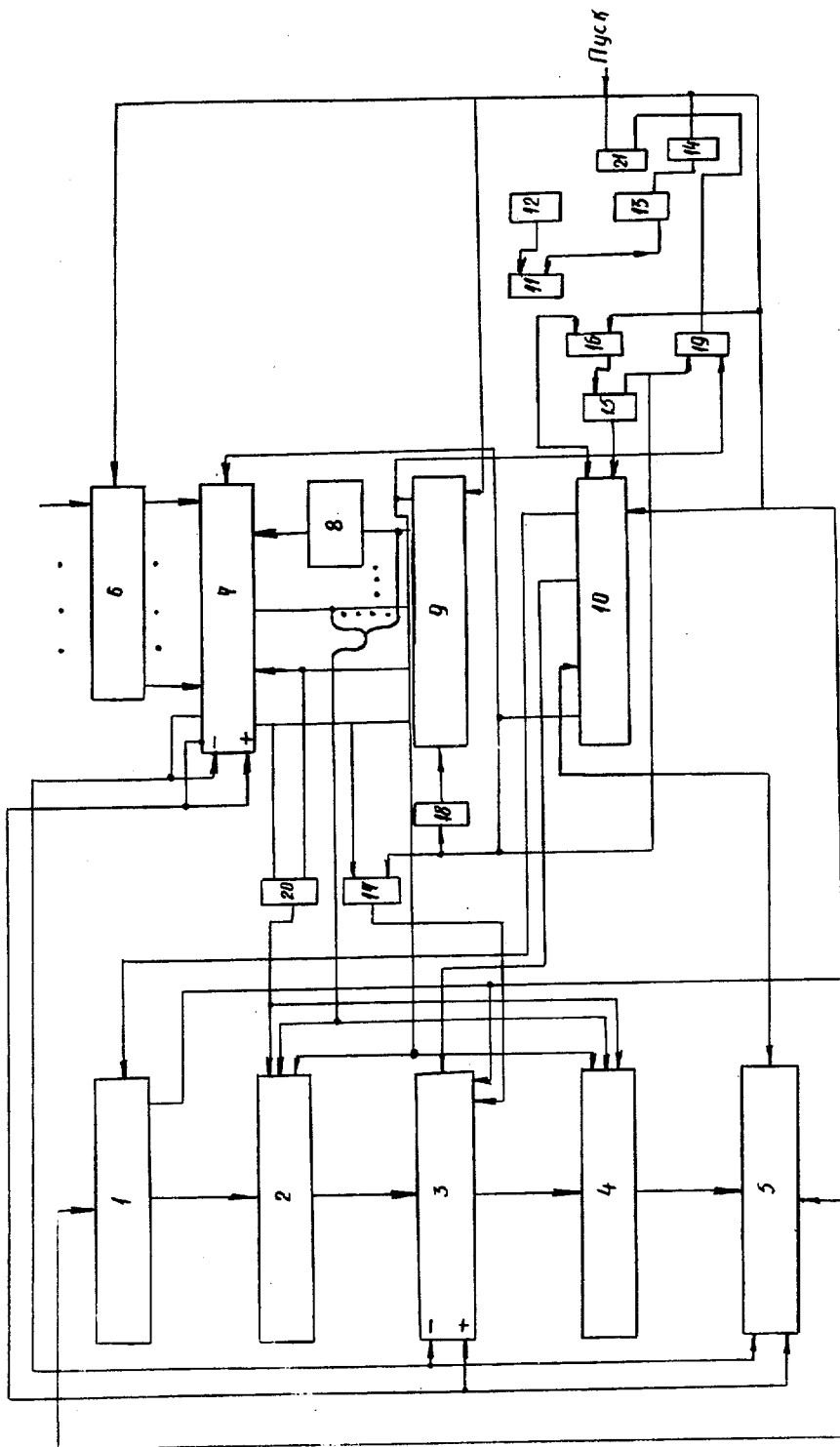
и первому входу третьего сумматора-вычитателя, второй вход которого соединен с первым входом второго элемента ИЛИ и вторым выходом первого регистра сдвига, третий выход которого подключен ко вторым входам первого и второго сдвигателей и третьему входу третьего сумматора-вычитателя, выход младших разрядов первого регистра сдвига соединен со вторыми входами первого и второго сдвигателей и с входом блока элементов ИЛИ, выход которого соединен с входом младших разрядов третьего сумматора-вычитателя, информационные входы которого соединены с выходами блока элементов И, входы которого являются информационными входами устройства, нулевой выход знакового разряда третьего сумматора-вычитателя соединен с суммирующим и вычитающим входами соответственно первого и второго сумматоров-вычитателей и суммирующему входу третьего сумматора-вычитателя, единичный выход знакового разряда которого соединен с вычитающим и суммирующим входом соответственно первого и второго сумматоров-вычитателей и вычитающим входом третьего сумматора-вычитателя, выход младшего разряда первого регистра сдвига соединен с первыми входами первого и второго сдвигателей и с вторым входом третьего элемента И, выход которого соединен с вторым входом третьего элемента ИЛИ, выход которого соединен с нулевым входом первого триггера, первый вход третьего элемента ИЛИ соединен с управляющим входом устройства, выход первого элемента И соединен с сдвигающим входом второго регистра сдвига, информационный вход которого соединен с выходом первого элемента ИЛИ, информационные выходы первого регистра соединены с входами второго сдвигателя.

Источники информации,

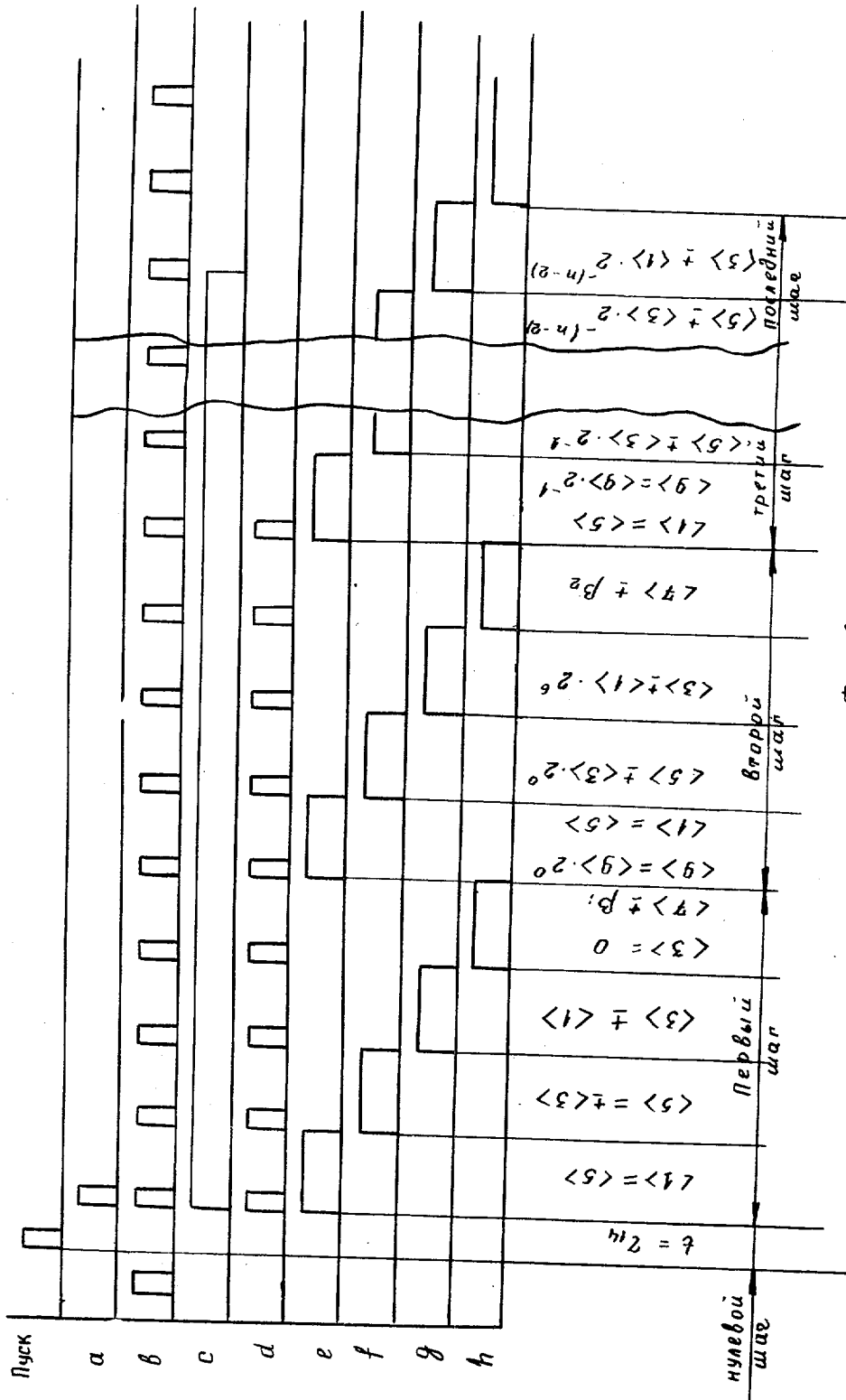
принятые во внимание при экспертизе

1. Байков В. Д., Смолов В. Б. Аппаратурная реализация элементарных функций в ЦВМ, Л., 1976.

2. Оранский А. М. Аппаратные методы в цифровой вычислительной технике, Минск, 1977, с. 102, 131—132.



Фиг. 1



Фиг. 2

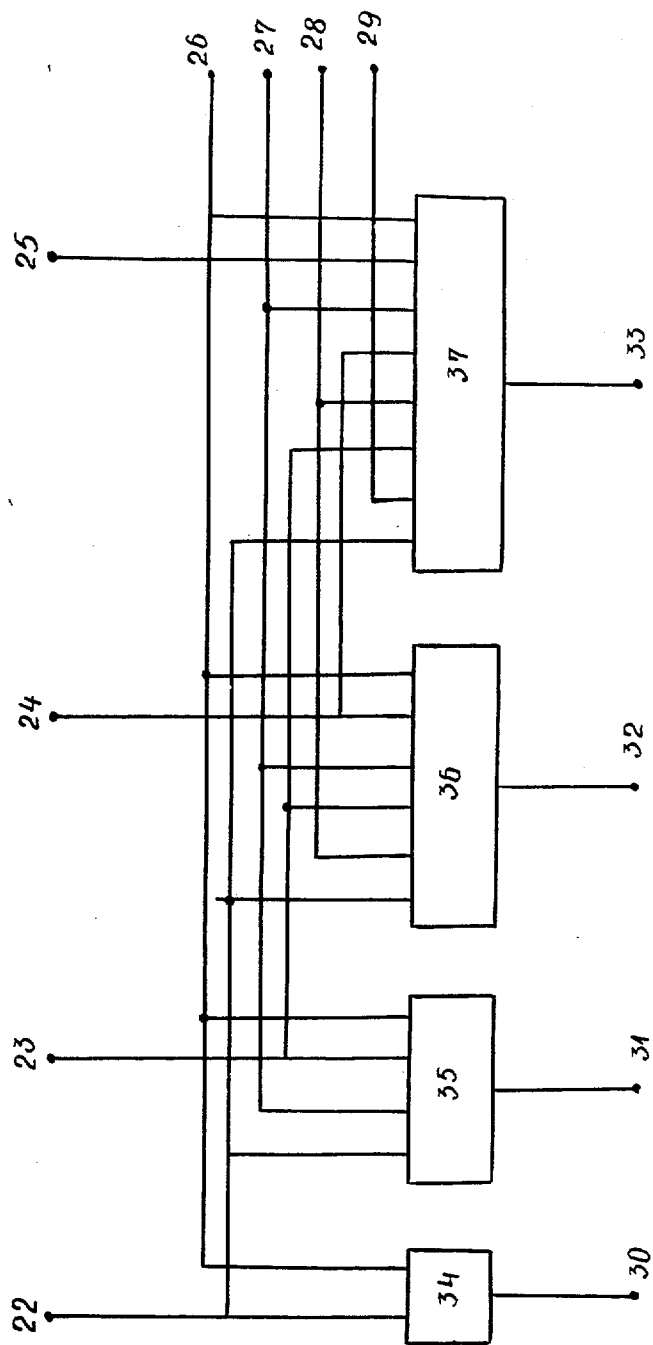


Fig. 3

Составитель В. Венцель

Редактор М. Ликович
Заказ 4467/19Техред К. Шуфрич
Тираж 751Корректор Н. Григорук
Подписное

ЦНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4