



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 763897

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 25.01.78 (21) 2573690/18-24

с присоединением заявки №-

(23) Приоритет -

Опубликовано 15.09.80, Бюллетень № 34

Дата опубликования описания 25.09.80

(51) М. Кл.³
G 06 F 7/52

(53) УДК 681.
.325 (088.8)

(72) Авторы
изобретения

Б.Г.Лысиков и А.А.Шостак

(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

Изобретение относится к области вычислительной техники и может быть использовано при разработке быстродействующих устройств для умножения чисел в любой позиционной системе счисления, удобных для изготовления в составе больших интегральных схем (БИС).

Известно устройство для умножения чисел [1], содержащее регистры множимого и множителя, сумматор частичных произведений, цепи сдвига на один разряд в регистре множителя и в сумматоре частичных произведений, блок управления, выходы которого соединены с управляющими входами сумматора частичных произведений, регистров множимого и множителя.

Недостатком известного устройства является его низкое быстродействие, так как в каждом такте работы устройства обрабатывается только одна двоичная цифра (разряд) множителя.

Наиболее близким к изобретению аналогом является устройство для умножения, содержащее регистры множимого и множителя, накапливающий

сумматор, n одноразрядных узлов умножения (n - разрядность множимого), n -разрядный комбинационный сумматор и блок управления, причем входы одноразрядных узлов умножения соединены с выходами соответствующих разрядов регистра множимого и с выходом первого разряда регистра множителя, а выходы соединены со входами комбинационного сумматора, выходы которого подключены ко входам накапливающего сумматора, а выходы блока управления подключены к управляющим входам регистров множимого и множителя и накапливающего сумматора [2].

Это устройство может производить перемножение двух чисел в любой системе счисления с основанием $N > 2$. Особый интерес представляет умножение чисел в двоичнокодированной системе с основанием $N=2^k$, где каждый разряд операнда представляется совокупностью k двоичных разрядов.

Недостатком этого устройства является недостаточное быстродействие, определяемое, в частности,

1

2

5

10

15

20

25

30

быстродействием n -разрядного комбинационного сумматора.

Целью изобретения является повышение быстродействия.

Для достижения поставленной цели устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор, n одноразрядных узлов умножения (n -разрядность множимого), n одноразрядных сумматоров и блок управления, выходы которого соединены с управляющими входами регистров и накапливающего сумматора, первый вход каждого одноразрядного узла умножения соединен с выходом соответствующего разряда регистра множимого, а второй вход - с выходом первого разряда регистра множителя, первый выход i -го одноразрядного узла умножения ($i=1, \dots, n$) соединен с первым входом соответствующего одноразрядного сумматора, второй вход которого подключен ко второму выходу $(i+1)$ -го одноразрядного узла умножения, второй выход первого одноразрядного узла умножения соединен со входом младшего разряда накапливающего сумматора, входы остальных разрядов которого подключены к выходам одноразрядных сумматоров, содержит n узлов запоминания переноса, вход каждого из которых подключен к выходу переноса соответствующего одноразрядного сумматора, а выход - со входом переноса этого же одноразрядного сумматора, управляющие входы узлов запоминания переноса соединены с одним из выходов блока управления.

На чертеже приведена структурная схема быстродействующего устройства для умножения чисел.

Числа представлены в двоичнокодированной системе счисления с основанием $N=2^k$, т.е. каждый разряд множимого и множителя закодирован с помощью k двоичных разрядов.

Устройство содержит m -разрядные двоичные регистры 1, 2 соответственно множимого и множителя (где $m=n:k$), $(m+k)$ -разрядный накапливающий сумматор 3, цепи одностактного сдвига на k разрядов в регистре 2 и в сумматоре 3 (на чертеже не показаны), блок 4 управления, выходы которого соединены с управляющими входами накапливающего сумматора 3 произведений, регистров 1, 2 соответствен-

но множимого и множителя, n узлов одноразрядного умножения 5 (k -разрядного двоичного умножения), n одноразрядных сумматоров 6 (в данном случае - k -разрядных двоичных сумматоров), причем первый вход i -го узла умножения 5 ($i=1, \dots, n$) соединен с шиной 7 значения k младших двоичных разрядов регистра множителя 2, второй вход соединен с шиной 8 значения соответствующих k двоичных разрядов регистра множимого 1, а его выход 9 значения k старших двоичных разрядов произведения соединен с первым входом соответствующего сумматора 6, второй вход которого соединен с выходом 10 значения k младших двоичных разрядов произведения $(i+1)$ -го узла умножения 5, а вход переноса соединен с выходом i -го узла запоминания переноса 11, вход которого соединен с выходом 12 значения переноса сумматора 6, а управляющий вход соединен с выходом блока управления 4, выход 13 значения суммы сумматора 6 соединен с соответствующим входом накапливающего сумматора 3, младший вход которого соединен с выходом 10 значения k младших двоичных разрядов произведения первого узла умножения 5.

В данном устройстве регистр множимого 1 может быть реализован на RS-триггерах, регистр множителя 2 - на D-триггерах, накапливающий сумматор 3 - на D- либо JK-триггерах с блоком ускоренного образования разрядных переносов, блок управления 4 - в виде управляющего автомата. Узел умножения 5 выполнен в виде логического шифратора k -разрядных кодов сомножителей в $2 \cdot k$ -разрядный код их произведения, синтез которого может быть проведен хорошо известными методами с использованием таблицы истинности. Ниже приведены фрагменты таблицы истинности для узла k -разрядного умножения 5, причем для определенности принято, что $k=4$. В таблице разряды множимого, поступающие по шине 8, обозначены как m_4, m_3, m_2, m_1 , разряды множителя, поступающие по шине 7, как n_4, n_3, n_2, n_1 , а разряды $2 \cdot k$ -разрядного произведения на выходах 9, 10, узла k -разрядного умножения 5 через $P_8, P_7, P_6, P_5, P_4, P_3, P_2, P_1$.

m_4	m_3	m_2	m_1	n_4	n_3	n_2	n_1	p_8	p_7	p_6	p_5	p_4	p_3	p_2	p_1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
.....
1	1	1	1	0	0	0	1	0	0	0	0	1	1	1	1
1	1	1	1	0	0	1	0	0	0	0	1	1	1	1	0
1	1	1	1	0	0	1	1	0	0	1	0	1	1	0	1
.....
1	1	1	1	1	1	0	1	1	1	0	0	0	0	1	1
1	1	1	1	1	1	1	0	1	1	0	1	0	0	1	0
1	1	1	1	1	1	1	1	1	1	1	0	0	0	0	1

Однако следует отметить, что в определенных случаях может оказаться целесообразным реализация узла умножения 5 в виде пирамиды взаимосвязанных одноразрядных сумматоров, а также объединение узла умножения 5 и сумматора 6 в общую матрицу взаимосвязанных полных сумматоров (например с целью сокращения оборудования и обеспечения регулярности структуры операционного модуля). В данном устройстве в качестве узла запоминания переноса 11 может быть использован одноразрядный элемент. Например, им может быть двухтактный синхронный RS-триггер.

Устройство для умножения чисел работает следующим образом.

В исходном состоянии в регистре множимого 1 хранится m -разрядный двоичный код множимого, в регистре множителя 2 - m -разрядный код множителя (или, что то же самое, n -разрядные двоичнокодированные коды в системе счисления с основанием $N=2^k$), сумматор 3 обнулен (здесь предполагается $m=8$ и $k=4$, а сомножители представлены в виде положительных правильных дробей). Пусть множимое $M=0,0001.1111$; множитель $N=0,1111.1111$; произведение $p=M \cdot N=0,0001.1110.1110.0001 \approx 0,0001.1110$.

В устройстве данный результат будет получен следующим образом.

Пусть к началу первого такта работы устройства в узлах умножения 5 сформированы соответственно следующие произведения $A_0=0001 \times 1111 = 0000.1111$; $B_0=1111 \times 1111 = 1110.0001$, а в сумматорах 6 получены соответственно результаты $C_0=0000$; $D_0=1110+1111=1101$ (возникшая при этом единица переноса будет записана в узле запоминания переноса 11 младшего разряда).

1-й такт: осуществляется прием информации в сумматор 3, ее сложение с содержимым сумматора 3, после че-

20 го осуществляется однократный сдвиг в сумматоре 3 информации на четыре разряда в сторону его младших разрядов. В итоге содержимое сумматора равно

25 $p_1 = 0000.0000.0000 + 0000.1101$.
 $0001 = 0000.1101.0001 \rightarrow 0000.0000.1101$.

Одновременно с этим в регистре множителя 2 был осуществлен однократный сдвиг информации на четыре разряда в сторону его младших разрядов и были сформированы результаты

30 $A_1=0001 \times 1111 = 0000.1111$; $B_1=1111 \times 1111 = 1110.0001$; $C_1=0000$; $D_1=1110+1111+0001=1110$

35 (возникшая при этом единица переноса записывается в узле запоминания переноса 11 младшего разряда).

2-й такт: в данном такте и всех последующих осуществляется последовательность действий, аналогичная

40 первому такту. В итоге выполнения второго такта получают следующие результаты

45 $p_2 = p_1 + 0000.1110.0001 = 0000.0000.1101 + 0000.1110.0001 = 0000.1110.1110 \rightarrow 0000.0000.1110$; $A_2=0001 \times 0000 = 0000.0000$; $B_2=1111 \times 0000 = 0000.0000$; $C_2=0000$; $D_2=0000+0000+0001=0001$.

3-й такт (такт окончательного учёта переносов): в итоге получаем

50 $p_3 = 0000.0000.1110 + 0000.0001.0000 = 0000.0001.1110$.

На этом процесс умножения заканчивается, окончательный результат сформирован в m младших разрядах сумматора 3 частичных произведений.

55

Как уже указывалось, подобное умножение в принципе может быть осуществлено для любой системы счисления с основанием $N \geq 2$, в том числе, например, для двоичнокодированных операндов в системе счисления с основанием $N=b^k$.

60

Время операции при этом сокращается, за счет того, что сигнал пе-

65

переноса не проходит все n разрядов комбинационного сумматора, а запоминается для каждого одноразрядного сумматора 6.

Совокупность узла умножения 5, сумматора 6 и узла запоминания переноса 11 каждого разряда может быть выполнена в качестве операционного модуля, что удобно для изготовления устройства в составе БИС.

Формула изобретения

Устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор, n одноразрядных узлов умножения (n - разрядность множимого), n одноразрядных сумматоров и блок управления, выходы которого соединены с управляющими входами регистров и накапливающего сумматора, первый вход каждого одноразрядного узла умножения соединен с выходом соответствующего разряда регистра множимого, а второй вход - с выходом первого разряда регистра множителя, первый выход i -го одноразрядного узла умно-

жения ($i=1, \dots, n$) соединен с первым входом соответствующего одноразрядного сумматора, второй вход которого подключен ко второму выводу ($i+1$)-го одноразрядного узла умножения, второй выход первого одноразрядного узла умножения соединен со входом младшего разряда накапливающего сумматора, входы остальных разрядов которого подключены к выходам одноразрядных сумматоров, от л и ч а ю щ е с я тем, что, с целью повышения быстродействия, устройство содержит n узлов запоминания переноса, вход каждого из которых подключен к выходу переноса соответствующего одноразрядного сумматора, а выход - со входом переноса этого же одноразрядного сумматора, управляющие входы узлов запоминания переноса соединены с одним из выходов блока управления.

Источники информации, принятые во внимание при экспертизе

1. С.А. Майоров и др. Принципы организации цифровых машин, Л., "Машиностроение", 1974, с. 297.
2. Авторское свидетельство по заявке № 1412260/18-24, кл. G 06 F 7/39, 1970 (прототип).

