



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 09.08.79 (21) 2813946/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.08.81. Бюллетень № 32

Дата опубликования описания 30.08.81

(11) 860086

(51) М. Кл.³

G 06 G 7/161

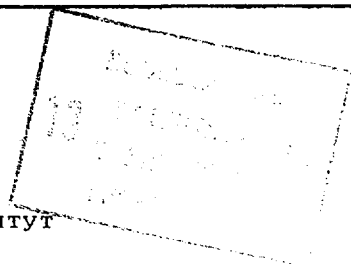
(53) УДК 681.335
(088.8)

(72) Автор
изобретения

В.А. Кешишьян

(71) Заявитель

Минский радиотехнический институт



(54) МНОЖИТЕЛЬНОЕ УСТРОЙСТВО

1

Изобретение относится к вычислительной технике и может быть использовано в различных устройствах автоматики и вычислительной техники.

Известно множительное устройство, содержащее интегратор, вход которого соединен с первым входом устройства, а выход соединен с первым входом компаратора, второй вход которого соединен с вторым входом устройства, а выход компаратора подключен к входу интегратора и к управляющему входу фазочувствительного выпрямителя, вход которого подключен к выходу интегратора, а выход - к выходу устройства, причем дополнительно оно содержит фильтр и сумматор, вход фильтра подключен к выходу интегратора, а выход - к первому входу сумматора, выход которого соединен с вторым входом компаратора, второй вход сумматора соединен с вторым входом устройства [1].

Указанное устройство характеризуется сложностью схемного решения, а также недостаточной точностью и небольшим диапазоном входных сигналов за счет нелинейности на выходах интеграторов.

2

Наиболее близким по технической сущности к предлагаемому является множительное устройство, содержащее основной и вспомогательный RC-интеграторы, входы которых через ключевые элементы подключены к входу устройства, а выходы подключены соответственно к квантуемому устройству и входу компаратора, второй вход компаратора соединен со входом устройства, а выход - со входом квантователя, выход квантователя подключен к входу сглаживающего фильтра, выход которого является выходом устройства [2].

Это множительное устройство отличается низкой точностью за счет нелинейности выходных характеристик интегрирующих цепей, а также малым диапазоном входных сигналов.

Цель изобретения - повышение точности и расширение диапазона изменения входных сигналов множительного устройства.

Поставленная цель достигается тем, что в множительное устройство, содержащее основной и вспомогательный интеграторы, компаратор, первый вход которого подключен к выходу вспомогательного интегратора, а второй

вход является входом первого сомножителя устройства, введены первый и второй запоминающие блоки, последовательно соединенные делитель частоты, дифференцирующий элемент и инвертор, первый, второй и третий ключевые элементы, причем вход первого запоминающего блока является входом второго сомножителя устройства, а вход второго запоминающего блока подключен к выходу делителя частоты, выходы первого и второго запоминающих блоков соответственно подключены ко входам основного и вспомогательного интеграторов, выходы которых через первый и второй ключевые элементы соответственно подключены к шине нулевого потенциала, управляющие входы первого и второго ключевых элементов объединены и подключены к выходу инвертора, выход основного интегратора через третий ключевой элемент подключен к выходу устройства, управляющий вход третьего ключевого элемента подключен к выходу компаратора.

На фиг. 1 приведена функциональная схема множительного устройства; на фиг. 2 - временная диаграмма, поясняющая работу множительного устройства.

Множительное устройство содержит делитель 1 частоты внешнего задающего генератора, дифференцирующий элемент 2, инвертор 3, основной интегратор 4, вспомогательный интегратор 5, первый запоминающий блок 6, второй запоминающий блок 7, компаратор 8, первый ключевой элемент 9, второй ключевой элемент 10, третий ключевой элемент 11, ключевые элементы 12 - 19 на транзисторах и конденсаторы 20 - 23.

Множительное устройство работает следующим образом.

На вход второго запоминающего блока поступает эталонное напряжение с постоянной амплитудой и постоянной длительностью с выхода делителя 1 частоты, который управляется от внешнего задающего генератора. Длительность импульса напряжения, подаваемого на вход второго запоминающего блока 7, может регулироваться внешним задающим генератором, обеспечивая тем самым необходимый размах перемножаемых функций. В моменты времени $t = 0, 2, 4, \dots$ (фиг. 2) открываются ключевые элементы 12, 15 и 16, 19, а в моменты $t = 1, 3, 5, \dots$ открываются ключевые элементы 13, 14 и 17, 18. Включение соответствующих пар ключевых элементов обеспечивает заряд конденсаторов 20 и 21.

Рассмотрим первый интервал времени t от 0 до 1. В момент $t = 0$ включены ключевые элементы 12, 15 и 16, 19, в результате конденсатор 20 заряжается до напряжения на входе пер-

вого запоминающего блока 6, а конденсатор 21 - до эталонного напряжения, существующего на входе второго запоминающего блока 7 и подаваемого с делителя 1 частоты. Следовательно, в интервале времени t от 0 до 1 напряжения на конденсаторах 20 и 21 соответствуют входным напряжениям блоков 6 и 7. Необходимо отметить, что при равенстве номиналов конденсаторов 20, 22 и 21, 23 напряжения на выходах основного и вспомогательного интеграторов 4 и 5 равны соответствующим напряжениям на конденсаторах 20 и 21. При неравенстве номиналов конденсаторов 20, 22 и 21, 23 напряжения на выходах интеграторов 4 и 5 будут в линейной зависимости от напряжения на входах запоминающих блоков, что позволяет варьировать в широких пределах размах величин перемножаемых функций. В момент $t = 1$ включены ключевые элементы 13, 14 и 17, 18, в результате конденсаторы 20 и 21 получают дополнительный заряд энергии, а напряжение на них удваивается (фиг. 2). В следующем интервале времени t от 2 до 3 напряжение на конденсаторах 20, 21, а следовательно, и на выходах интеграторов 4 и 5 утраивается и т.д. Процесс нарастания напряжения на конденсаторах 20 и 21, а следовательно, и на выходах интеграторов 4, 5 продолжается до тех пор, пока напряжение, подаваемое на первый вход устройства, не сравняется с напряжением на выходе вспомогательного интегратора 5. При равенстве напряжений на первом входе устройства и на выходе вспомогательного интегратора 5 срабатывает компаратор 8 и включает третий ключевой элемент 11, обеспечивая в этот момент прохождение напряжения с выхода основного интегратора 4 на выход устройства (это напряжение равно произведению двух функций, подаваемых на входы устройства). По окончании действия положительного импульса напряжения с делителя 1 частоты на выходе дифференцирующего элемента 2 формируется короткий импульс отрицательной полярности, который после инвертирования в инверторе 3 поступает на управляющие входы ключевых элементов 10, включая последние. Это обеспечивает практически мгновенное уменьшение выходных напряжений с выходов интеграторов 4 и 5 до нулевого значения. При подходе следующего положительного импульса напряжения на вход второго запоминающего блока 7 с делителя 1 частоты вновь начинается процесс перемножения.

Технико-экономические преимущества предлагаемого множительного устройства по сравнению с известным заключаются в том, что использование

запоминающих блоков, включенных на входы основного и вспомогательного интеграторов, позволяет, комбинируя отношение номиналов конденсаторов 20, 22 и 21; 23, получать большой диапазон изменения входных сигналов. Необходимо также отметить, что высокая точность предлагаемого множительного устройства достигается за счет того, что передаточные функции основного и вспомогательного интеграторов, на входы которых включены блоки запоминания 6 и 7, обладают билинейными свойствами. В результате значительно повышена точность и расширен диапазон изменения входных сигналов, что увеличивает сферу применения множительного устройства и устраняет необходимость ряда множительных устройств, требующих высокой точности и большого диапазона изменения входных сигналов.

Формула изобретения

Множительное устройство, содержащее основной и вспомогательный интеграторы, компаратор, первый вход которого подключен к выходу вспомогательного интегратора, а второй вход компаратора является входом первого сомножителя устройства, отличающееся тем, что, с целью повы-

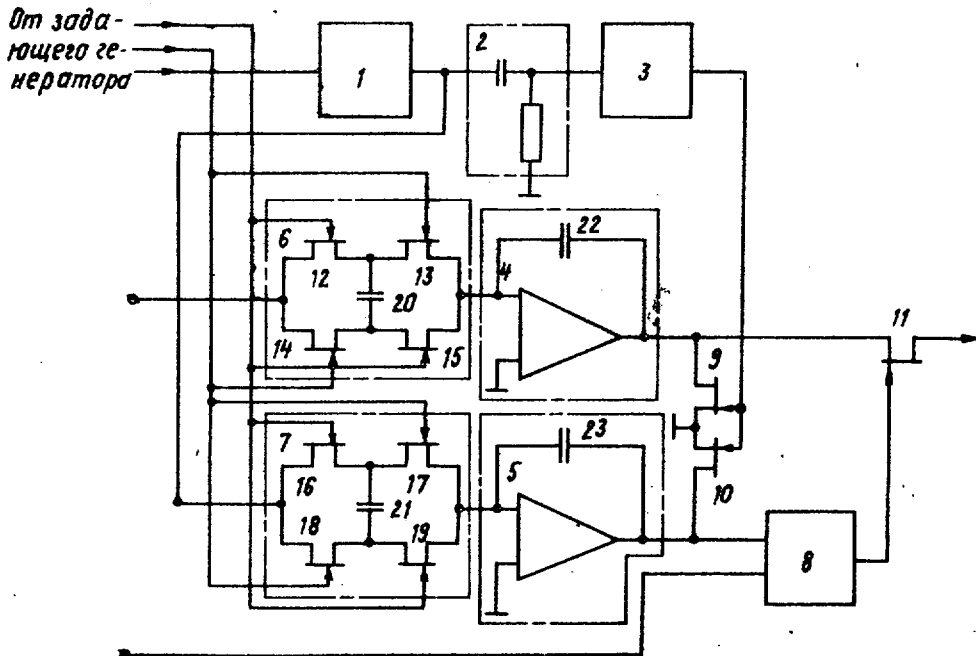
шения точности и расширения диапазона входных сигналов, в устройство введены первый и второй запоминающие блоки, последовательно соединенные делитель частоты, дифференцирующий элемент и инвертор, первый, второй и третий ключевые элементы, причем вход первого запоминающего блока является входом второго сомножителя устройства, а вход второго запоминающего блока подключен к выходу делителя частоты, выходы первого и второго запоминающих блоков соответственно подключены ко входам основного и вспомогательного интеграторов, выходы которых через первый и второй ключевые элементы соответственно подключены к шине нулевого потенциала, управляющие входы первого и второго ключевых элементов объединены и подключены к выходу инвертора, выход основного интегратора через третий ключевой элемент подключен к выходу устройства, управляющий вход третьего ключевого элемента подключен к выходу компаратора.

Источники информации,

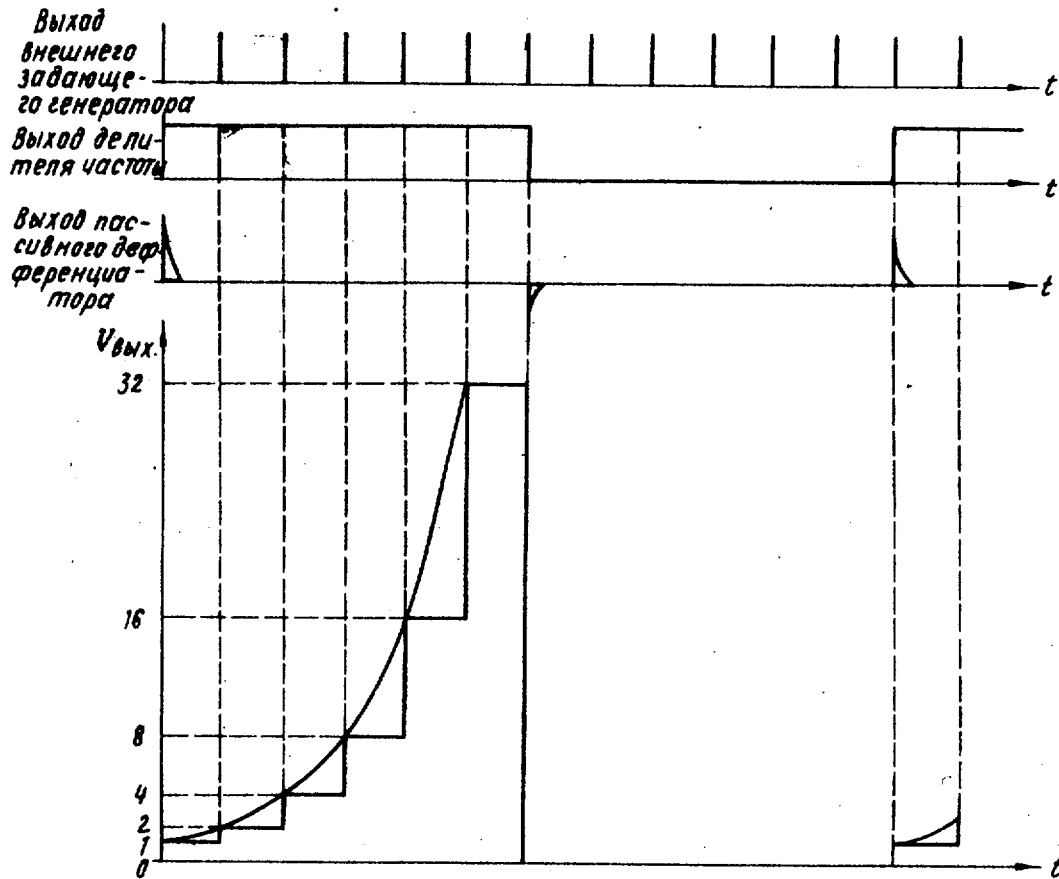
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 616636, кл. G 06 G 7/161, 1978.

2. Granino A. Korn. Electronic Analog and Hybrid Computers. Mebraw-Hill book Company, 1964.



Фиг. 1



Фиг. 2

Редактор Н. Бушаева

Составитель Т. Сапунова
Техред А. Бабинец

Корректор А. Ференц

Заказ 7550/32

Тираж 745

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4