

Союз Советских
Социалистических
Республик



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 864339

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 21.05.79 (21) 2769579/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.09.81, Бюллетень № 34

Дата опубликования описания 15.09.81

(51) М. Кл.³

G 11 C 17/00
G 11 C 29/00

(53) УДК 681.

.327.66
(088.8)

(72) Авторы
изобретения

В. К. Конопелько и В. В. Лосев

(71) Заявитель

Минский радиотехнический институт

СССР

13

ПАТЕНТНО-

ТЕХНИЧЕСКАЯ

БИБЛИОТЕКА

(54) ПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

1
Изобретение относится к вычислительной технике и может быть использовано в электронной промышленности при изготовлении больших интегральных схем программируемых постоянных запоминающих устройств (ППЗУ).

Известны ППЗУ, содержащие матрицу элементов памяти, дешифраторы слова и разряда, селектор, вентили считывания, усилители считывания [1] - [3].

Однако в этих устройствах элементы памяти матрицы соединены с разрядными шинами плавкими перемычками или р - n - переходами, которые разрушаются при записи информации в соответствии с кодом, подлежащим хранению в ППЗУ. До занесения программируемого кода в матрицу в информационном поле содержатся только единицы. Работоспособность ППЗУ нарушается при наличии "дефектного нуля" в информационном поле матрицы, когда никаким способом не удастся записать на место дефектного элемента единицу. Эти уст-

2
ройства обеспечивают обращение к любому одному элементу памяти накопителя.

Наиболее близким по технической сущности к изобретению является постоянное запоминающее устройство, содержащее дешифратор адреса слова, соединенный с адресными шинами матричного накопителя селектор, первые входы которого соединены с выходами дешифратора адреса разряда, а выход - с первым входом сумматора по модулю два, второй вход которого соединен с блоком исправления ошибок, выход сумматора по модулю два подключен к первому входу вентиля считывания, а выходом - с входом усилителя считывания, первый, второй и третий входы блока исправления ошибок подключены соответственно к первой, второй и третьей дополнительным разрядным шинам матричного накопителя. Такое устройство позволяет исправлять ошибки хранения информации при наличии двух и трех "дефектных" ну-

лей в информационном поле матрицы, которые возникают из-за дефектов из-за приготовления с процессе производства [4].

Однако это устройство характеризуется низкой надежностью из-за сложности контроля при обращении к одному элементу памяти накопителя.

Цель изобретения — повышение надежности устройства.

Поставленная цель достигается тем, что в постоянном запоминающем устройстве, содержащем дешифратор адреса слова, выходы которого соединены с адресными шинами матричного накопителя, селектор, первые входы которого подключены к выходам дешифратора адреса разряда, а выход — к первым входам сумматора по модулю два, второй вход которого соединен с выходом блока исправления ошибок, выход сумматора по модулю два подключен к первому входу вентиля считывания, второй вход которого подключен к шине разрешения считывания, а выход — к входу усилителя считывания, первый, второй и третий входы блока исправления ошибок соединены соответственно с первой, второй и третьей дополнительными разрядными шинами матричного накопителя и основные разрядные шины, вторые входы селектора подключены к основным разрядным шинам матричного накопителя, а четвертые входы блока исправления ошибок — к входам дешифратора адреса разряда.

Блок исправления ошибок содержит сумматоры по модулю два, элементы ИЛИ-НЕ, элемент ИЛИ и элемент И, первый вход которого подключен к первому входу одного из сумматоров по модулю два и второму входу одного из элементов ИЛИ-НЕ, второй вход элемента И подключен к первому входу другого сумматора по модулю два и первому входу одного из элементов ИЛИ-НЕ, выходы элемента И и одного из элементов ИЛИ-НЕ подключены непосредственно, а сумматоров по модулю два через другой элемент ИЛИ-НЕ к соответствующим входам элемента ИЛИ, вторые входы сумматоров по модулю два и входы одного из элементов ИЛИ-НЕ являются входами блока исправления ошибок, а выход элемента ИЛИ является выходом блока исправления ошибок.

Блок исправления ошибок содержит шесть сумматоров по модулю два, элементы ИЛИ-НЕ и И-НЕ, причем первые входы первого, второго и третьего

сумматоров по модулю два являются первыми входами блока исправления ошибок, вторые — вторыми входами блока исправления ошибок, выходы первого и второго сумматоров по модулю два подключены к первым входам третьего и четвертого сумматоров по модулю два, вторые входы которых являются четвертыми входами блока исправления ошибок, выходы третьего и четвертого сумматоров по модулю два через элемент ИЛИ-НЕ подключены к первому входу элемента И, второй вход которого через элемент И-НЕ соединен с выходом третьего сумматора по модулю два, выход элемента И является выходом блока исправления ошибок.

Это позволяет использовать ППЗУ, содержащие два и три "дефектных нуля" в каждом слове информационного поля матрицы.

На фиг. 1 представлена функциональная схема постоянного запоминающего устройства; на фиг. 2 и 3 — схемы выполнения блока исправления ошибок; на фиг. 4 и 5 — матрицы, используемые при записи информации.

Постоянное запоминающее устройство содержит дешифратор адреса слова 1, соединенный с адресными шинами 2 матричного накопителя 3. Разрядные шины 4 матричного накопителя соединены с вторыми входами селектора 5, первые входы которого подключены к выходам 6 дешифратора адреса разряда 7. Выход 8 селектора соединен с первым входом сумматора по модулю два 9, вторым входом подключенного к выходу 10 блока исправления ошибок 11. Первые 12, второй 13 и третий 14 входы блока исправления ошибок подключены соответственно к первым, второй и третьей дополнительным разрядным шинам матричного накопителя. Четвертые 15 входы блока исправления ошибок соединены с входами дешифратора адреса разряда. Выход 16 сумматора по модулю два соединен с первым входом вентиля считывания 17, вторым входом подключенного к шине сигнала разрушения считывания 18, а выходом — с входом усилителя считывания 19. Выход 20 усилителя считывания является выходом устройства.

На фиг. 2 изображен блок исправления ошибок 11 для осуществления исправления двух дефектных элементов памяти в каждом слове матрицы 3, кото-

рый содержит сумматоры по модулю два 21, первый 22 и второй 23 элементы ИЛИ-НЕ, элементы И 24 и ИЛИ 25. Входы первого элемента ИЛИ-НЕ, входы элемента И и первые входы сумматоров по модулю два соединены с первыми входами блока исправления ошибок. Вторые входы сумматоров по модулю два соединены с четвертыми входами блока исправления ошибок, а выходы с входами второго элемента ИЛИ-НЕ. Выходы первого и второго элементов ИЛИ-НЕ, элемента И соединены с входами элемента ИЛИ. Выход элемента ИЛИ является выходом блока исправления ошибок.

Устройство в режиме исправления двух дефектных элементов памяти в каждом слове матрицы работает следующим образом.

При записи информации (при изготовлении) в основные разряды и в первые дополнительные разряды каждого слова матрицы заносится информация для хранения следующим образом.

В матрицу записывается слово

$$\bar{U} = \bar{U} + C(U, d),$$

где $\bar{U} = (U_1, U_2, \dots, U_k, 0, \dots, 0)$ слово длины;

U - первые $k = 2^r - r$ символов представляют собой программируемую в матрицу информацию U , а последние r - символов - нули $r = \log_2(k - 2)$;

$C(U, d)$ - одна из строк матрицы C_2 .

На фиг. 4 показана матрица C_2 с $k = 6$, $r = 3$; $n = 9$ и общий вид матрицы C_2 , где 1 - единичная матрица;

A - матрица, содержащая двоичные числа, за исключением чисел $00\dots 0$ и $11\dots 1$. Матрица C_2 обладает тем свойством, что в подматрице C_d из любых двух ее столбцов содержится каждая строка из 2^q различных строк длины

$q = 2$ (q - кратность дефекта), т.е. всегда содержатся комбинации вида: $00, 01, 10, 11$.

Нужная строка $C(U, d)$ определяется следующим образом.

Составляется подматрица C_d (с размером $n \times 2$) матрицы C_2 , i -й столбец матрицы C_d является столбцом C_2 с номером, равным номеру i -й слева дефектной позиции. Определяется ω - матрица - строка с двумя элементами, i -й элемент соответствует i -й слева дефектной позиции и равен нулю, если эта

позиция в U и состояние дефектного разряда d совпадают и равен единице в противном случае. Затем находится номер строки подматрицы C_d (например, при подсчете строк сверху), где ω - матрица строка покрывает (совпадает) одну любую из строк подматрицы C_d . Номер этой строки в подматрице C_d соответствует номеру строки в матрице C_2 , которая и задает функцию согласования записываемой в матрицу информации с данными дефектами.

Пример 1. Пусть в строке (слове) матрицы элементов памяти имеется один неисправный элемент в основных разрядах (k - разрядах), который находится в нулевом состоянии, а все остальные разряды в единичном состоянии. Пусть неисправным разрядом будет второй слева разряд, и его состояние не совпадает с программируемой в элемент информацией, т.е. мы никаким образом в этот разряд не можем занести единичный символ. Тогда

$$C_d = \begin{bmatrix} 0 \\ 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 1 \\ 1 \end{bmatrix}, \quad \omega = [1].$$

Видно, что ω покрывает (совпадает) C_d во 2, 7, 8 строках. Любую из этих строк в C_2 можно использовать в качестве функции $C(U, d)$ согласования программируемой в матрицу информации с состоянием дефекта. При этом в первых разрядах слова будет храниться код адреса строки C_2 .

Пример 2. Пусть в строке (слове) матрицы элементов памяти имеется два неисправных элемента (находятся в нулевом состоянии), один из которых находится в разрядах 4 (1 разряд), а второй - в первых разрядах 12 (1 дополнительный разряд). Пусть программируемая информация в матрицу имеет вид $U = 101011$. Тогда

$$\bar{U} = (10011000),$$

$$C_d = \begin{bmatrix} 11 \\ 00 \\ 00 \\ 01 \\ 01 \\ 00 \\ 10 \\ 11 \end{bmatrix}, \quad \omega = [10].$$

Отсюда видно, что ω покрывает (совпадает) C_d в 7 строке C_d и C_2 . В матрицу программируется слово

$$C = (1\ 0\ 1\ 0\ 1\ 1\ 0\ 0\ 0) + (1\ 1\ 1\ 1\ 1\ 1\ 0\ 0\ 0) = 010\ 100\ 000, \text{ т.е.}$$

программируемая информация стала совпадать с состоянием дефектных разрядов, а b_r - дополнительных разрядах хранится код покрывающей строки из C_2 .

В режиме считывания в соответствии с кодом адреса опрашиваемого разряда происходит возбуждение шин 2 и 6 дешифраторов 1 и 7. При этом на выходе 8 селектора 5 выделяется информация, хранимая в этом разряде матричного накопителя 3, а на выходе 10 блока исправления ошибок 11 - информация, соответствующая данному разряду из строки матрицы C_2 , определяемой по коду адреса, хранимому в r - разрядах 12, опрашиваемого слова. Тогда, если в разрядах 12 записаны числа 00..0, 1 1, то на выходе 10 элемента ИЛИ 25 блока исправления ошибок 11 всегда будет единичный сигнал, так как эти комбинации всегда выделяются или элементом ИЛИ-НЕ 22 или элементом И 24 независимо от опрашиваемого разряда. В этом случае, сигналы, снимаемые с выхода 8 селектора 5, будут инвертироваться на противоположные на сумматоре по модулю два 9 и через вентиль считывания 17, усилитель считывания 19 поступают на выход 20 устройства. Сигналы на выходе 20 устройства будут считываться правильными, так как инвертирование производилось дважды: при записи (при изготовлении) и при считывании (при эксплуатации). Для исправных элементов памяти эти инвертирования не изменяют правильного выходного сигнала. Для дефектных элементов памяти инвертирование информации при записи позволяет согласовать состояние дефектного разряда с программируемой информацией, а инвертирование при считывании восстановить правильно сигналы с дефектных позиций. (Для примера 2, считываемое слово на выходе 8 селектора 5 имеет вид $C = 010100\ 000$, слово на выходе 10 блока исправления ошибок 11 $C(U, d) = 111\ 111\ 000$, а на выходе 20 устройства $U = 101011$, т.е. соответствует информации, подлежащей хранению).

Если в разрядах 12 записаны числа отличные от 00..0, 11..1, то инвертированию при считывании (как и при записи) будет подвергаться только один

разряд, код адреса которого совпадает с кодом адреса, хранимым в разрядах 12 (проверка на совпадение осуществляется на сумматорах по модулю два 21 и элементе ИЛИ-НЕ 23 блока исправления ошибок 11).

На фиг. 3 изображен блок исправления ошибок для осуществления исправления трех дефектных элементов памяти в каждом слове накопителя 3, который содержит первые 26, вторые 27, третий 28 и четвертый 29 сумматоры по модулю два, элементы ИЛИ-НЕ 30 и И-НЕ 31. Первые и вторые входы первых сумматоров по модулю два, соединены соответственно с первыми и вторым входами блока исправления ошибок. Выходы первых сумматоров по модулю два соединены с первыми входами вторых сумматоров по модулю два, вторыми входами, подключенными к четвертым входам исправления ошибок. Выходы вторых сумматоров по модулю два соединены с входами элемента ИЛИ-НЕ, выход которого подключен к первому входу четвертого сумматора по модулю два. Второй вход четвертого сумматора по модулю два соединен через элемент И-НЕ с выходом третьего сумматора по модулю два. Входы третьего сумматора по модулю два соединены с вторым и третьим входами блока исправления ошибок. Выход четвертого сумматора по модулю два является выходом блока исправления ошибок.

Устройство в режиме исправления трех дефектных элементов памяти в каждом слове матрицы работает следующим образом.

При записи информации (при изготовлении) в разряды 4 и в разряды 12 каждого слова матрицы заносится информация, как и при исправлении двух дефектных элементов памяти. Однако для нахождения функции согласования $C(U, d)$ используется матрица C_3 . На фиг. 5 показана матрица C_3 с $k = 4$, $r = 4$, $U = 8$ и общий вид матрицы C_3 , где I - единичная матрица I - матрица инверсия к единичной матрице I ; A - матрица размером $(r-2) \times k$, все строки которой различны; \bar{A} - матрица инверсная к матрице A . Матрица C_3 обладает тем свойством, что в подматрице C_d из любых трех ее столбцов содержится каждая строка из 2^q различных строк длины $q = 3$ (q - кратность дефекта), т.е.

всегда содержатся комбинации вида :
00, 001, 010, 100, 110, 101, 011,
111.

Для маркировки строк матрицы C_3 выбираются $r = 20qk + 2$ разрядные двоичные числа, которые являются дополнительными разрядами.

Работа устройства в режиме считывания при коррекции трех дефектных элементов памяти C слова, отличается от описанной тем, что во втором дополнительном разряде 13 матрицы 3 хранится нулевой или единичный символ, благодаря чему на выходе первых сумматоров по модулю два 26 формируются числа из матрицы A .

Тогда, в том случае, если символы, хранимые во втором 13 и третьем 14 дополнительных разрядах не совпадают, то на выходе элемента И-НЕ 31 будет нулевой сигнал, а на выходе элемента ИЛИ-НЕ 30 (а следовательно, и на выходе четвертого сумматора 29) будут формироваться сигналы, соответствующие единичной матрице. В противном случае, т.е. когда символы хранимые во втором 13 и третьем 14 дополнительных разрядах совпадают на выходе элемента И-НЕ 31 будет единичный сигнал и на выходе четвертого сумматора 29 будут формироваться сигналы, соответствующие инверсии единичной матрицы. При этом аналогичным образом, как и при исправлении двух дефектных элементов памяти в слове непосредственная проверка показывает правильность хранения информации в устройстве.

Таким образом, данное устройство выполняет те же функции, что и известное, но требует для своей реализации меньшего числа дополнительных разрядов, а также значительно упрощаются схемы контроля (не требуется сложных дешифраторов на k - выходов в блоках исправления ошибок, отсутствуют k - сумматоров по модулю два в самом устройстве), в результате чего повышается надежность устройства.

Ф о р м у л а и з о б р е т е н и я

1. Постоянное запоминающее устройство, содержащее дешифратор адреса слова, выходы которого соединены с адресными шинами матричного накопителя, селектор, первые входы которого подключены к выходам дешифратора адреса разряда, а выход - к первым входам сумма-

тора по модулю два, второй вход которого соединен с выходом блока исправления ошибок, выход сумматора по модулю два подключен к первому входу вентиля считывания, второй вход которого подключен к шине разрешения считывания, а выход - к входу усилителя считывания, первый, второй и третий входы блока исправления ошибок соединены соответственно с первой, второй и третьей дополнительными разрядными шинами матричного накопителя и основные разрядные шины, отличающиеся тем, что, с целью повышения надежности устройства, вторые входы селектора подключены к основным разрядным шинам матричного накопителя, а четвертые входы блока исправления ошибок - к входам дешифратора адреса разряда.

2. Устройство по п. 1, отличающееся тем, что блок исправления ошибок содержит сумматоры по модулю два, элементы ИЛИ-НЕ, элемент ИЛИ и элемент И, первый вход которого подключен к первому входу одного из сумматоров по модулю два и второму входу одного из элементов ИЛИ-НЕ, второй вход элемента И подключен к первому входу другого сумматора по модулю два и первому входу одного из элементов ИЛИ-НЕ, выходы элемента И и одного из элементов ИЛИ-НЕ подключены непосредственно, а сумматоров по модулю два через другой элемент ИЛИ-НЕ к соответствующим входам элемента ИЛИ, вторые входы сумматоров по модулю два и входы одного из элементов ИЛИ-НЕ являются входами блока исправления ошибок, а выход элемента ИЛИ является выходом блока исправления ошибок.

3. Устройство по п. 1, отличающееся тем, что блок исправления ошибок содержит шесть сумматоров по модулю два, элементы ИЛИ-НЕ и И-НЕ, причем первые входы первого и второго и третьего сумматоров по модулю два являются первыми входами блока исправления ошибок, вторые - вторыми входами блока исправления ошибок, выходы первого и второго сумматоров по модулю два подключены к первым входам третьего и четвертого сумматоров по модулю два, вторые входы которых являются четвертыми входами блока исправления ошибок, выходы третьего и четвертого сумматоров по модулю два через элемент ИЛИ-НЕ подключены к

первому входу элемента И, второй вход которого через элемент И-НЕ соединен с выходом третьего сумматора по модулю два, выход элемента И является выходом блока исправления ошибок.

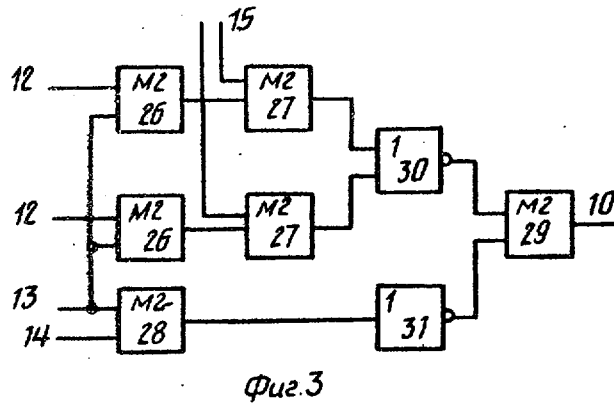
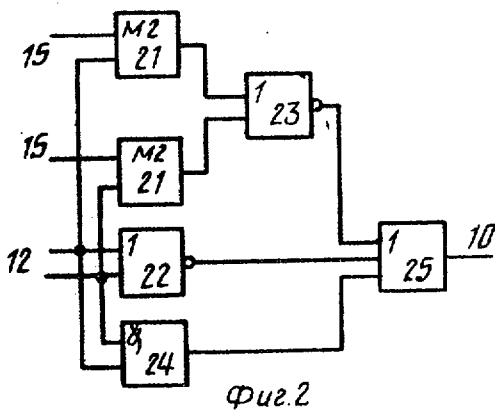
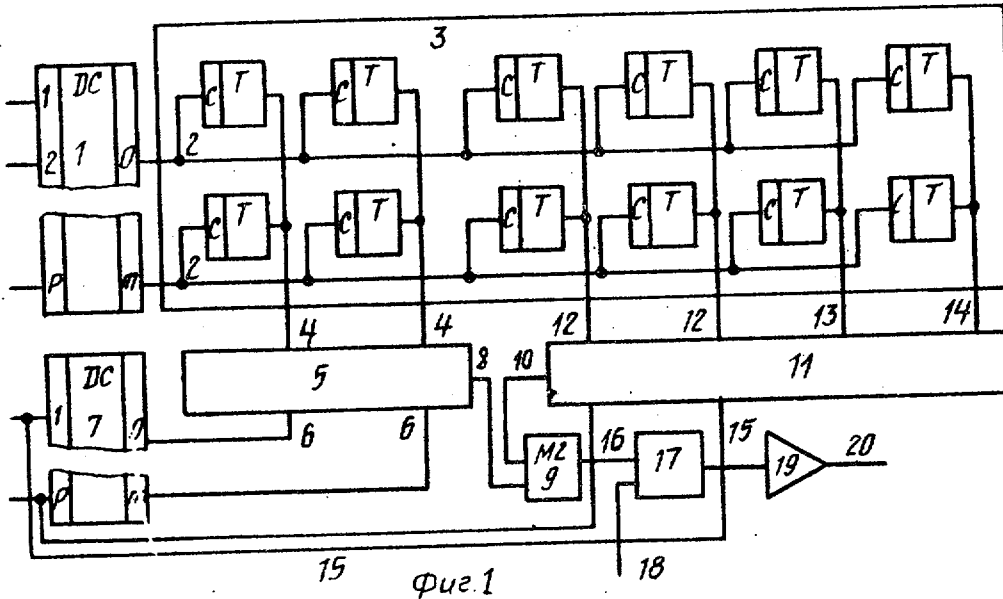
Источники информации, принятые во внимание при экспертизе

1. "Электронная техника", 1974, № 7, с. 21-24.

2. "Электронная техника", 1975, № 4, с. 65-687

3. Валиев К. А., Орликовский А.А. Полупроводниковые интегральные схемы на биполярных транзисторных структурах. М., "Советское радио", 1979, с. 246-257, рис. 8.2

4. Авторское свидетельство СССР по заявке № 2181914, кл. G 11 C 17/00, G 11 C 29/00, 13.10.75 (прототип).



$$C_2 = \left[\begin{array}{cccccc|cccc} 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & \\ 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & \\ 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & \\ \hline 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & \\ 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & \end{array} \right] = \left[\begin{array}{c|c} I & A \\ \hline 1 & 1 \dots 1 & 0 & 0 \dots 0 \\ 1 & 1 \dots 1 & 1 & 1 \dots 1 \end{array} \right]$$

Фиг. 4

$$C_3 = \left[\begin{array}{cccc|cccc|cccc} 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & & & & \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & & & & \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & & & & \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & & & & \\ \hline 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & & & & \\ 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & & & & \\ 0 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & & & & \\ 0 & 0 & 0 & 1 & 1 & 0 & 1 & 0 & & & & \\ \hline 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & & & & \\ 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & & & & \\ 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & & & & \\ 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & & & & \\ \hline 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & & & & \\ 1 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & & & & \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & & & & \\ 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & & & & \end{array} \right] = \left[\begin{array}{c|c|c|c} I & A & 0 & 1 \\ \hline & & \dots & \dots \\ \hline I & A & 1 & 0 \\ \hline & & \dots & \dots \\ \hline I & A & 0 & 0 \\ \hline & & \dots & \dots \\ \hline I & A & 1 & 1 \end{array} \right]$$

Фиг. 5

Составитель Л. Амусьева
 Редактор М. Бандура Техред Ж. Кастелевич Корректор О. Билак
 Заказ 7804/74 Тираж 648 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5
 Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4