



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 877614

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 15.02.80 (21) 2883238/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.10.81. Бюллетень № 40

Дата опубликования описания 30.10.81.

(51) М. Кл.³

G 11 C 11/00

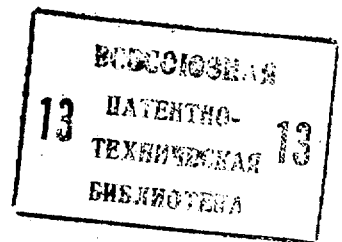
(53) УДК 681.327
(088.8)

(72) Автор
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С САМОКОНТРОЛЕМ

Изобретение относится к запоминающим устройствам и может быть использовано для создания больших интегральных схем запоминающих устройств с произвольной выборкой, имеющих большую площадь кристалла.

Известны запоминающие устройства [1] и [2].

Одно из известных устройств содержит матрицу элементов памяти и схемы логики обрамления, позволяющие производить обращение при записи и считывании информации только к одному любому элементу памяти матрицы [1].

Недостатком этого устройства является низкая надежность.

Наиболее близким техническим решением к предлагаемому является запоминающее устройство, содержащее дешифратор адреса слова, соединенный с адресными шинами матрицы элементов памяти, разрядные шины которой соединены с выходами первых вентилях и

информационными входами первого блока считывания, управляющие входы которого подключены к выходам дешифратора адреса разряда и к первым входам первых вентилях, вторые входы которых соединены с шиной записи, вторыми входами вторых вентилях, входами J, K и R JK-триггера и первым входом сумматора по модулю два, третьи входы - с шиной управления, третьими входами вторых вентилях, входами дешифратора адреса слова и разряда, первым входом выходного блока, четвертые входы - с выходом первого элемента И, первым входом соединенного с шиной разрешения записи и управляющим (счетным) входом JK-триггера, первые входы вторых вентилях соединены с выходами вторых элементов И дешифратора обращения к дополнительным элементам памяти и с управляющими входами второго блока считывания, информационные входы второго блока считывания соединены с разрядными шинами дополнительных элемен-

тов памяти и выходами вторых вентилях, выход первого блока считывания соединен с вторым входом сумматора по модулю два [2].

Недостатком этого устройства является низкое быстродействие при коррекции двух и более дефектных элементов памяти из-за большой задержки сигнала в элементах коррекции и необходимости отключать дефектные элементы памяти от разрядных шин.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в запоминающее устройство, содержащее первый накопитель матричного типа, выполненный на триггерных запоминающих элементах, дешифраторы, блоки считывания, сумматор по модулю два, первый триггер, группы элементов И, элементы И и выходной блок, причем входы запоминающих элементов строк первого накопителя соединены соответственно с выходами первого дешифратора, прямые выходы запоминающих элементов столбцов первого накопителя подключены соответственно к информационным входам блоков считывания и выходам элементов И первой и второй групп, а инверсные выходы - к инверсным входам элементов И первой и второй групп, счетный вход первого триггера является первым управляющим входом устройства и соединен с прямым входом первого и инверсным входом второго элементов И, выход первого элемента И подключен к первым входам элементов И первой группы, выходы элементов И третьей группы соединены соответственно с первыми входами элементов И второй группы и управляющими входами второго блока считывания, выход первого блока считывания подключен к первому входу сумматора по модулю два, второй вход которого является информационным входом устройства и соединен с J, K и R входами первого триггера и вторыми входами элементов И первой и второй групп, третьи входы которых подключены к первому входу выходного блока, входам дешифраторов и являются вторым управляющим входом устройства, а выход выходного блока является выходом устройства, введены второй и третий накопители матричного типа, выполненные на триггерных запоминающих элементах, второй триггер, регистр сдвига, элементы ИЛИ, третий, четвер-

тый и пятый элементы И, четвертую, пятую, шестую и седьмую группы элементов И, причем входы запоминающих элементов столбцов второго накопителя подключены соответственно к выходам второго дешифратора, прямые входы соответственно ко входам первого элемента ИЛИ, входам элементов И третьей группы и выходам элементов И четвертой группы, а инверсные выходы запоминающих элементов столбцов второго накопителя - соответственно к инверсным входам элементов И четвертой группы, выход второго триггера соединен с прямым входом второго элемента И, в установочный вход - с выходом первого элемента ИЛИ, первым входом третьего элемента И и инверсными входами элементов И пятой группы, счетный вход второго триггера подключен к прямому входу первого элемента И и второму входу третьего элемента И, выход которого соединен с первым входом второго элемента ИЛИ, выход которого подключен к четвертым входам элементов И второй группы, а второй вход - к выходу четвертого и первому входу пятого элементов И и первому входу третьего элемента ИЛИ, первый и второй прямые входы четвертого элемента И соединены соответственно с выходами первого триггера и сумматора по модулю два, а инверсный вход - с выходом второго элемента И, установочный вход регистра сдвига подключен к первым входам элементов И шестой группы, инверсному входу третьего элемента ИЛИ, второму входу пятого элемента И и является установочным входом устройства, выход третьего элемента ИЛИ подключен к первым входам элементов И четвертой группы, вторые входы которых соединены соответственно с выходами элементов И шестой группы, выход пятого элемента И подключен к счетному входу регистра сдвига и первым входам элементов И седьмой группы, вторые входы которых соединены с выходами регистра сдвига соответственно, а входы - соответственно со счетными входами запоминающих элементов строк третьего накопителя, выходы запоминающих элементов столбцов которого подключены соответственно ко вторым входам элементов И шестой группы, прямые входы элементов И пятой группы соединены соответственно с выходами первого и второго блоков считывания,

а выходы - со входами четвертого элемента ИЛИ, выход которого подключен ко второму входу выходного блока.

На чертеже изображена структурная схема предлагаемого устройства.

Устройство содержит первый накопитель 1 матричного типа, выполненный на триггерных запоминающих элементах 2, первый дешифратор 3, являющийся дешифратором адреса слова, первый 4 и второй 5 блоки считывания с информационными 6 и управляющими 7 входами, первую 8 и вторую 9 группы элементов И, второй дешифратор 10, выходной блок 11, второй накопитель 12, выполненный на триггерных запоминающих элементах 13, третью группу элементов И 14, выполняющих функции дешифратора обращения, первый триггер 15, первый 16 и второй 17 элементы ИЛИ, четвертую группу элементов И 18, второй триггер 19, первый 20, второй 21, третий 22, четвертый 23 и пятый 24 элементы И, третий 25 и четвертый 26 элементы ИЛИ, сумматор 27 по модулю два, пятую 28, шестую 29 и седьмую 30 группы элементов И, регистр 31 сдвига, третий накопитель 32, выполненный на триггерных запоминающих элементах 33, первый 34 и второй 35 управляющие, информационный 36 и установочный 37 входы.

Первый триггер 15 является JK-триггером, а второй триггер 19 RS-триггером. Входы запоминающих элементов 2 строк первого накопителя 1 соединены соответственно с выходами первого дешифратора 3. Прямые выходы запоминающих элементов 2 столбцов первого накопителя 1 подключены соответственно к информационным входам 6 первого 4 и второго 5 блоков считывания и выходам элементов И первой 8 и второй 9 групп, а инверсные выходы - к инверсным входам элементов И 8 первой и 9 второй групп. Счетный вход первого триггера 15 является первым управляющим входом 34 устройства и соединен с прямым входом первого 20 и инверсным входом второго 21 элементов И. Выход первого элемента И 20 подключен к первым входам элементов И первой группы 8. Выходы элементов И третьей группы 14 соединены соответственно с первыми входами элементов И второй группы 9 и управляющими входами второго блока 5 считывания. Выход первого блока 4 считывания подключен к пер-

вому входу сумматора 27 по модулю два, второй вход которого является информационным входом 36 устройства и соединен с J, K и R входами первого триггера 15 и вторыми входами элементов И первой 8 и второй 9 групп, третьи входы которых подключены к первому входу выходного блока 11, входам первого 3 и второго 10 дешифраторов и являются вторым управляющим входом 35 устройства. Входы запоминающих элементов 13 столбцов второго накопителя 12 подключены соответственно к выходам второго дешифратора 10, прямые выходы - соответственно ко входам первого элемента ИЛИ 16, входам элементов И 14 третьей группы и выходам элементов И 18 четвертой группы. Инверсные выходы запоминающих элементов 13 столбцов второго накопителя 12 подключены соответственно к инверсным входам элементов И 18 четвертой группы. Выход второго триггера 19 соединен с прямым входом второго элемента И 21, а установочный вход - с выходом первого элемента ИЛИ 16, первым входом третьего элемента И 22 и инверсными входами элементов И 28 пятой группы. Счетный вход второго триггера 19 подключен к прямому входу первого элемента И 20 и второму входу третьего элемента И 22, выход которого соединен с первым входом второго элемента ИЛИ 17. Выход второго элемента ИЛИ 17 подключен к четвертым входам элементов И 9 второй группы, а второй вход - к выходу четвертого 23 и первому входу пятого 24 элементов И и первому входу третьего элемента ИЛИ 25. Первый и второй прямые входы четвертого элемента И 23 соединены соответственно с выходами первого триггера 15 и сумматора 27 по модулю два, инверсный вход - с выходом второго элемента И 21. Установочный вход регистра 31 сдвига подключен к первым входам элементов И 29 шестой группы, инверсному входу третьего элемента ИЛИ 25, второму входу пятого элемента И 24 и является установочным входом 37 устройства. Выход третьего элемента ИЛИ 25 подключен к первым входам элементов И 18 четвертой группы, вторые входы которых соединены соответственно с выходами элементов И 29 шестой группы. Выход пятого элемента И 24 подключен к счетному входу регистра 31 сдвига

и первым входам элементов И 30 седьмой группы, вторые входы которых соединены с выходами регистра 31 сдвига, соответственно, а входы - соответственно со счетными входами запоминающих элементов 33 строк третьего накопителя 32, выходы запоминающих элементов 33 столбцов которого подключены соответственно к вторым входам элементов И 29 шестой группы. Вторые входы элементов И 28 пятой группы соединены соответственно с выходами первого 4 и второго 5 блоков считывания, а выходы - со входами четвертого элемента ИЛИ 26, выход которого подключен ко второму входу выходного блока 11.

Количество строк (слов) в третьем накопителе 32 и разрядность регистра 31 сдвига равны количеству исправляемых разрядов накопителя 1, предусмотренному при создании устройства. Количество слов во втором накопителе 12 и разрядов (столбцов) в третьем накопителе 32 равны $m = \log(r+1)$.

Устройство работает следующим образом.

В исходном состоянии все запоминающие элементы 13 второго накопителя 12 устанавливаются в нулевое состояние нулевым сигналом, с установочного входа 37 через элементы И 29 шестой группы. При этом единичный сигнал на выходе третьего элемента ИЛИ 25 держит открытыми элементы И 18 четвертой группы, а регистр 31 сдвига по установочному входу заносится информация 10...0. При изготовлении в запоминающие элементы 33 третьего накопителя заносится постоянная информация в зависимости от числа исправляемых разрядов первого накопителя 1. При записи информации на информационные входы 36 устройства подаются сигналы записи, а на первый 34 и второй 35 управляющие входы - сигналы разрешения и управления. При этом происходит возбуждение выходов первого 3 и второго 10 дешифраторов в соответствии с кодом адреса. Возбужденный выход первого дешифратора 3 подключает запоминающие элементы 2 первого накопителя 1 выбранного слова к информационным входам 6 блоков 4 и 5 считывания, а возбужденный выход второго дешифратора 10 подключает запоминающие элементы 13 выбранного разряда второго накопителя 12 к первому элементу ИЛИ 16

и входам элементов И 14 третьей группы. При этом, если опрашивается разряд первого накопителя 1, где в предыдущих тактах работы не было дефектных запоминающих элементов 2, то в запоминающих элементах 13 второго накопителя 12 хранится число 0...0. Тогда на выходе первого элемента ИЛИ 16 находится нулевой сигнал, который записывается для хранения во второй триггер 19, устанавливает на выходе третьего элемента И 22 нулевой сигнал и открывает первый элемент И 20. При этом сигнал разрешения записи на первом управляющем входе 34 открывает элементы И 8 первой группы для записи входной информации в запоминающий элемент 2 первого накопителя 1, находящийся на пересечении выбранного слова (строки) и разряда (столбца). В то же время нулевой сигнал с выхода первого триггера 15 поступает через четвертый элемент И 23 на второй вход второго элемента ИЛИ 17, на выходе которого будет нулевой сигнал, удерживающий элемент И второй группы 9 в закрытом состоянии.

При снятии сигнала разрешения записи, запись информации в первый накопител 1 прекращается и происходит контрольное считывание записанной информации с выбранного запоминающего элемента 2 первого накопителя 1 и сравнение ее на сумматоре 27 по модулю два с входной информацией, поступающей с информационного входа 36. Наряду с этим, при снятии сигнала разрешения записи на выходе первого триггера 15 появляется единичный сигнал, который открывает четвертый элемент И 23. Тогда, если опрашивается исправный запоминающий элемент 2 первого накопителя 1, на выходе сумматора по модулю два 27 и выхода четвертого элемента И 23 будет нулевой сигнал, который закрывает элементы И 18 четвертой группы и 30 седьмой группы, но не приводит к сдвигу информации в регистре 31 сдвига. На выходе второго элемента ИЛИ 17 устанавливается нулевой сигнал, удерживающий элементы И 9 второй группы в закрытом состоянии.

В том случае, если опрашивается дефектный запоминающий элемент 2, на выходе сумматора 27 по модулю два и выходе четвертого элемента И 23 появляется единичный сигнал,

который, проходя через второй 17 и третий 25 элементы ИЛИ и элемент И 28 пятой группы открывает элементы И 9 второй, 18 четвертой и 30 седьмой групп. Тем самым, при первоначальном обнаружении дефектного запоминающего элемента 2 первого накопителя 1 опрашивается первая строка третьего накопителя 32, поскольку в регистре 31 сдвига хранится число 10...0. Хранимое в третьем накопителе 32 число перезаписывается в запоминающие элементы 13 опрашиваемого разряда второго накопителя 12 и одновременно, поступая на входы элементов И 14 третьей группы, открывает один из элементов И 9 второй группы. При этом происходит запись информации с информационного входа 36 в запоминающий элемент 2 первого накопителя 1, управляемый элементом И 9 второй группы. После снятия сигнала записи на выходе первого триггера 15 появляется нулевой сигнал, который, проходя через пятый элемент И 24 сдвигает на один разряд информацию в регистре 31 сдвига. После этого в регистре 31 сдвига хранится число 010...0. Если в следующих тактах работы устройства опрашивается второй дефектный запоминающий элемент 2 из другого разряда первого накопителя 1, то работа устройства происходит аналогично описанному выше, но в запоминающие элементы 13 этого разряда второго накопителя 12 записывается число, хранимое во второй строке третьего накопителя 32. Поскольку это число отличается от числа, хранимого в первой строке третьего накопителя 32, информация заносится во второй разряд запоминающих элементов 2 первого накопителя 1, управляемых элементами И 9 второй группы. Информация в регистре 31 сдвига при этом сдвигается еще на один разряд, т.е. в нем хранится число 0010...0.

Если же при записи информации опрашивается разряд первого накопителя 1, содержащий дефектный элемент 2, обращение к которому уже происходило в предыдущих тактах, что определяется наличием единичного сигнала в запоминающих элементах 13 второго накопителя 12, то на выходе первого элемента ИЛИ 16 появляется единичный сигнал, который, проходя через инвертирующий вход первого элемента И 20,

закрывает элементы И 8 первой группы, а проходя через третий элемент И 22 открывает элементы И 9 второй группы для записи входной информации в запоминающие элементы первого накопителя 1. После снятия сигнала разрешения записи на первом управляющем входе 34 закрыты элементы И 9 второй, 18 четвертой и 30 седьмой групп, а информация в регистре 31 сдвига сохраняется без изменения.

В режиме считывания также выполняется контроль запоминающих элементов 2 первого накопителя 1. Если в режиме считывания опрашивается дефектный запоминающий элемент 2, управляемый элементом И 8 первой группы первого накопителя 1, то в запоминающих элементах 13 соответствующего разряда второго накопителя хранится число, отличное от нуля, и на выходе первого элемента ИЛИ 16 устанавливается единичный сигнал. При этом на выходе соответствующего элемента И 14 третьей группы появляется единичный сигнал опроса разряда первого накопителя 1, управляемого элементами И 9 второй группы. В результате на выходе второго блока 5 считывания появляется сигнал, который, пройдя через один из элементов И 28 пятой группы, четвертый элемент ИЛИ 26 и выходной блок 11, появляется на выходе устройства.

Технико-экономическое преимущество описываемого устройства заключается в том, что в нем отсутствуют плавкие связи запоминающих элементов с разрядными шинами накопителя, и исключены задержки сигналов при коррекции двух и более ошибок в накопителе, за счет чего существенно повышено быстродействие.

Формула изобретения

Запоминающее устройство с самоконтролем, содержащее первый накопитель матричного типа, выполненный на триггерных запоминающих элементах, дешифраторы, блоки считывания, сумматор по модулю два, первый триггер, группы элементов И, элементы И и выходной блок, причем входы запоминающих элементов строк первого накопителя соединены с выходами первого дешифратора, прямые выходы запоми-

нающих элементов столбцов первого накопителя подключены соответственно к информационным входам блоков считывания и выходам элементов И первой и второй групп, а инверсные выходы - к инверсным входам элементов И первой и второй групп, счетный вход первого триггера является первым управляющим входом устройства и соединен с прямым входом первого и инверсным входом второго элементов И, выход первого элемента И подключен к первым входам элементов И первой группы, выходы элементов И третьей группы соединены соответственно с первыми входами элементов И второй группы и управляющими входами второго блока считывания, выход первого блока считывания подключен к первому входу сумматора по модулю два, второй вход которого является информационным входом устройства и соединен с J, K и R входами первого триггера и вторыми входами элементов И первой и второй групп, третьи входы которых подключены к первому входу выходного блока, входам дешифраторов и являются вторым управляющим входом устройства, выход выходного блока является выходом устройства, отличающееся тем, что, с целью повышения быстродействия устройства, оно содержит второй и третий накопители матричного типа, выполненные на триггерных запоминающих элементах, второй триггер, регистр сдвига, элементы ИЛИ, третий, четвертый и пятый элементы И, четвертую, пятую, шестую и седьмую группы элементов И, причем входы запоминающих элементов столбцов второго накопителя подключены соответственно к выходам второго дешифратора, прямые входы - соответственно ко входам первого элемента ИЛИ, входам элементов И третьей группы и выходам элементов И четвертой группы, а инверсные выходы запоминающих элементов столбцов второго накопителя - соответственно к инверсным входам элементов И четвертой группы, выход второго триггера соединен с прямым входом второго элемента И, а установочный вход - с выходом первого эле-

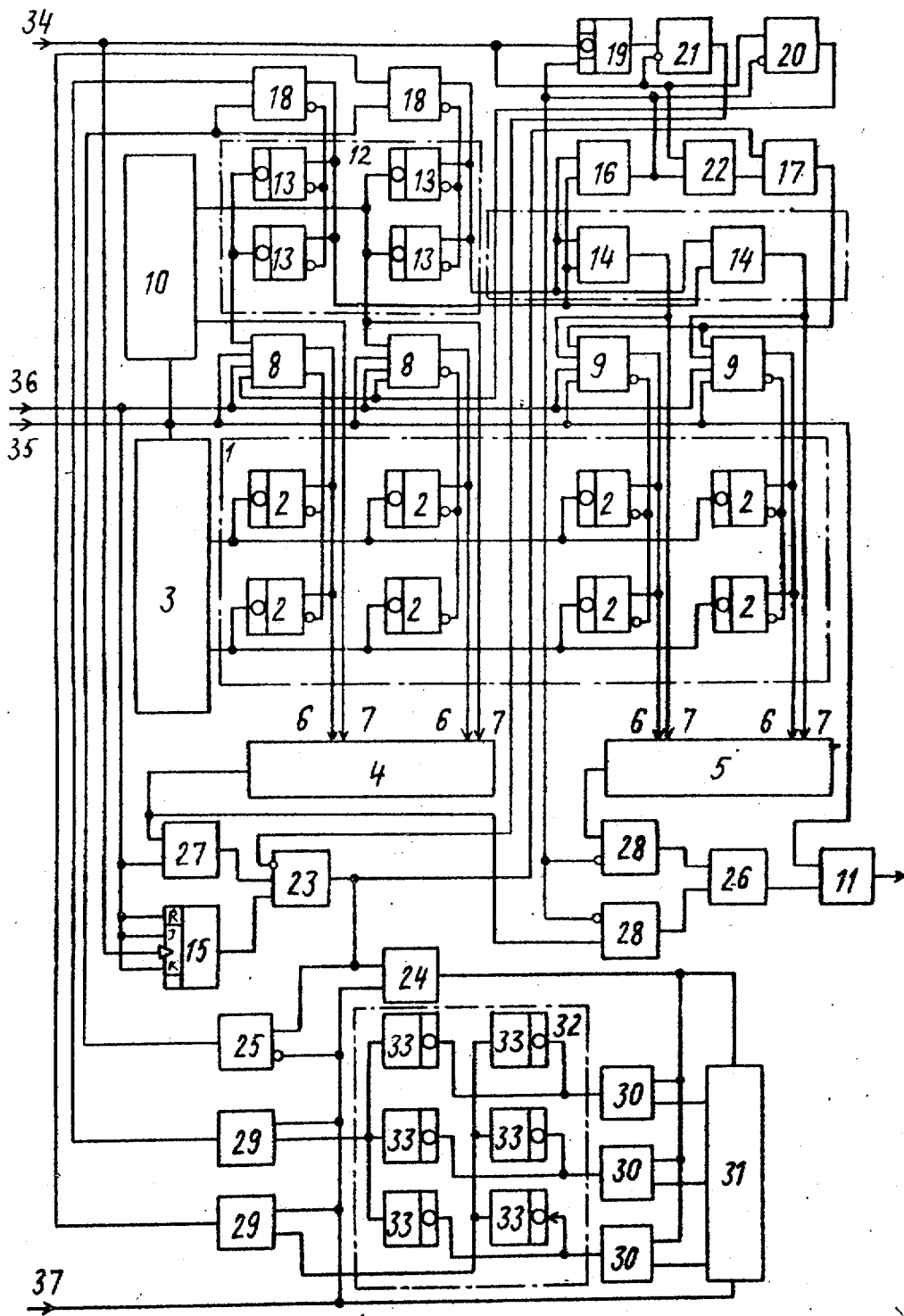
мента ИЛИ, первым входом третьего элемента И и инверсными входами элементов И пятой группы, счетный вход второго триггера подключен к прямому входу первого элемента И и второму входу третьего элемента И, вход которого соединен с первым входом второго элемента ИЛИ, выход которого подключен к четвертым входам элементов И второй группы, а второй вход - к выходу четвертого и первому входу пятого элементов И и первому входу третьего элемента ИЛИ, первый и второй прямые входы четвертого элемента И соединены соответственно с выходами первого триггера и сумматора по модулю два, а инверсный вход - с выходом второго элемента И, установочный вход регистра сдвига подключен к первым входам элементов И шестой группы, инверсному входу третьего элемента ИЛИ, второму входу пятого элемента И и является установочным входом устройства, выход третьего элемента ИЛИ подключен к первым входам элементов И четвертой группы, вторые входы которых соединены соответственно с выходами элементов И шестой группы, выход пятого элемента И подключен к счетному входу регистра сдвига и к первым входам элементов И седьмой группы, вторые входы которых соединены с выходами регистра сдвига, соответственно, а входы - соответственно со счетными входами запоминающих элементов строк третьего накопителя, выходы запоминающих элементов столбцов которого подключены соответственно ко вторым входам элементов И шестой группы, прямые входы элементов И пятой группы соединены соответственно с выходами первого и второго блоков считывания, а выходы - со входами четвертого элемента ИЛИ, выход которого подключен ко второму входу выходного блока.

Источники информации,

принятые во внимание при экспертизе

1. Микроэлектроника. Сб. статей под ред. Ф.А.Лукина. "Сов. радио", вып. - 5, 1972, с. 123-150.

2. Авторское свидетельство СССР № 649044, кл. G 11 C 29/00, 1975 (прототип).



Составитель В.Гордонова

Редактор Е.Папп

Техред Ж. Кастелевич

Корректор Г.Назарова

Заказ 9625/77

Тираж 648

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4