



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 11.11.79 (21) 2842580/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.10.81. Бюллетень № 40

Дата опубликования описания 30.10.81

(11) 877787

(51) М. Кл.³

Н 03 Н 17/04

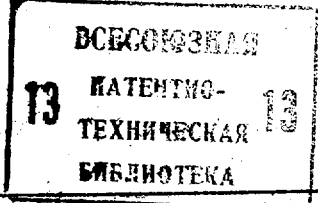
(53) УДК 681.323
(088.8)

(72) Авторы
изобретения

А.А. Петровский, Е.Б. Самойлов, А.Е. Леусенко
и В.Б. Ключ

(71) Заявитель

Минский радиотехнический институт



(54) ПРОГРАММНО-УПРАВЛЯЕМЫЙ ЦИФРОВОЙ
ФИЛЬТР

Изобретение относится к специализированным средствам вычислительной техники и может быть применено в системах обработки информации, информационно-измерительных системах, в устройствах формирования и анализа случайных процессов.

Известен цифровой фильтр [1], который строится в виде спецвычислителя, где отсчеты входного и выходного сигнала обрабатываются поразрядно. Схемная реализация данного цифрового фильтра есть последовательно соединенные два арифметических блока, работающих параллельно, вторые информационные входы арифметических блоков подключены соответственно к первому и второму входу блока памяти, где хранятся коэффициенты передаточной функции фильтра, выход второго арифметического блока соединен с первым входом первого регистра сдвига, выполняющего функцию задержки, второй вход данного регистра - вход устройства в целом, а выход соединен с входом блока образования дополнительного кода, первый выход которого - выход устройства в целом, а второй его выход подключен к первому входу второго регистра и третьему входу

второго арифметического блока, выполняющего также функцию задержки, выход которого соединен с первым информационным входом первого арифметического блока, первый, второй, третий, четвертый и пятый выходы блока управления соединены соответственно с управляющими входами первого арифметического блока, второго арифметического блока, первого регистра сдвига, блока образования дополнительного кода и второго регистра сдвига [1].

Операции, выполняемые устройством, сводятся к логическому умножению (конъюнкции) двух двоичных цифр, накоплению частичных произведений на последовательном накапливающем сумматоре и к сдвигу информации в регистре. Устройство реализует цифровой фильтр со следующей передаточной функцией.

$$H(Z) = \frac{1}{1 + \beta_1 Z^{-1} + \beta_2 Z^{-2}}$$

которой соответствует разностное уравнение

$$y[n] = x[n] - \beta_1 y[n-1] - \beta_2 y[n-2]$$

Несмотря на то, что эта реализация фильтра отличается весьма простой схемой, то, с другой стороны, вычисление отсчетов выходного сигнала производится медленно, а главный недостаток фильтра имеет малое значение соотношения сигнала-шум, так как уменьшен динамический диапазон входного сигнала.

Наиболее близким к предлагаемому по технической сущности является цифровой фильтр, содержащий последовательно соединенные первый блок памяти и арифметический блок, представляющий собой два последовательно соединенных элементарных арифметических устройства, работающих параллельно, второй блок памяти, где хранятся параметры фильтра, соединен со вторым информационным входом арифметического блока, третий информационный вход арифметического блока подключен к выходу мультиплексора, первый информационный вход которого - вход устройства в целом, первый выход арифметического блока соединен со входом первого блока памяти, а второй выход - со вторым информационным входом мультиплексора, третий выход арифметического блока - выход устройства в целом, первый, второй, третий, четвертый выходы блока управления подключены к управляющим входам мультиплексора, первого блока памяти, арифметического блока и второго блока памяти соответственно.

Это есть техническая реализация цифрового рекурсивного фильтра, построенного из последовательного соединения блоков второго порядка, каждый из которых имеет по два полюса и по два нуля. Все блоки второго порядка построены на основе прямой канонической формы, т.е. с использованием минимума элементов задержки [2].

Недостатком данной схемной реализации цифрового фильтра является уменьшение динамического диапазона входного сигнала, чтобы не произошло переполнение разрядной сетки арифметического блока. Это связано с тем, что масштабирующие коэффициенты выбираются исходя из следующих соображений.

Если x_{\max} - максимальное абсолютное значение входного сигнала, а $y(n)$ и $h(n)$ - выходной сигнал и импульсная характеристика фильтра, в этом случае

$$|y(n)| \leq x_{\max} \sum_{k=0}^{\infty} |h(k)| \quad (1)$$

Так, если $|y(n)| < 1$, то

$$x_{\max} < 1 / \sum_{k=0}^{\infty} |h(k)|$$

есть верхняя граница максимального входного сигнала, при котором отсутствует переполнение в цифровом филь-

тре. Выбор масштабирующих коэффициентов по (1) затруднен и не всегда оправдан, так как она дает завышенные результаты и просуммировать ряд в (1) довольно трудно. При этом уменьшается динамический диапазон входного сигнала и соотношение сигнал-шум.

Цель изобретения - увеличение динамического диапазона обрабатываемого сигнала.

Поставленная цель достигается тем, что в программно-управляемый цифровой фильтр, содержащий два блока памяти, арифметический блок, мультиплексор и блок управления, первый, второй, третий и четвертый выходы которого соединены с управляющими входами соответственно первого блока памяти, второго блока памяти, арифметического блока и мультиплексора, первый вход которого является входом фильтра, а выход мультиплексора подключен ко второму входу арифметического блока, третий вход которого соединен с выходом первого блока памяти, первый выход арифметического блока подключен к первому входу второго блока памяти, введены блок задания коэффициентов, блок сопряжения, выходной регистр, блок умножения на два, выход которого соединен со входом выходного регистра, вторым входом второго блока памяти и вторым входом мультиплексора, третий вход которого подключен к выходу второго блока памяти, выход блока задания коэффициентов подключен к первому входу блока сопряжения, выход которого соединен со входом первого блока памяти, второй выход арифметического блока подключен ко входу блока умножения на два, причем третий выход блока управления соединен с управляющим входом блока сопряжения, а шестой выход блока управления подключен к управляющему входу выходного регистра, выход которого является выходом фильтра.

Блок управления содержит микропрограммную память, генератор, RS-триггер, формирователь импульсов, последовательно соединенные регистр и дешифратор, выходы которого соединены с адресным входом микропрограммной памяти, выходы которой являются соответственно первым, вторым, третьим, четвертым, пятым и шестым выходами блока, выход останова микропрограммной памяти соединен со входом формирователя импульсов, выход которого соединен с первым входом RS-триггера, выход которого соединен со входом генератора, выход которого подключен к управляющему входу микропрограммной памяти, а второй вход RS-триггера является входом запуска блока.

Как правило, в задачах синтеза оперируют с рациональной функцией

$$H^2(\omega) = H(-j\omega)H(j\omega) = \frac{C_0 + C_1\omega^2 + \dots + C_n\omega^{2n}}{K_0 + K_1\omega^2 + \dots + K_m\omega^{2m}}, \quad (2)$$

причем $n \leq m$.

Решая (2) относительно $H(j\omega)$ (задача факторизации), получим:

$$H(\omega^2) \Big|_{\omega^2 = -p^2} = \frac{\bar{C}_0 + \bar{C}_1 p^2 + \dots + \bar{C}_n p^{2n}}{\bar{K}_0 + \bar{K}_1 p^2 + \dots + \bar{K}_m p^{2m}} = H(p^2), \quad (3)$$

где

$$\bar{C}_0 = C_0, \bar{C}_1 = C_1, \dots, \bar{C}_{2i} = C_{2i}, \bar{C}_{2i+1} = -C_{2i+1}, \dots, \bar{K}_0 = K_0, \bar{K}_1 = K_1, \dots, \bar{K}_{2i} = K_{2i}, \bar{K}_{2i+1} = -K_{2i+1}, \dots$$

Далее, следуя по алгоритму факторизации и учитывая, что цифровой фильтр представляется в виде каскадного соединения элементарных фильтров второго порядка, окончательно получим передаточную функцию фильтра в виде

$$H(p) = \frac{\bar{C}_n}{\bar{K}_n} \prod_{i=1}^m \frac{(h_{0i} + h_{1i}p + p^2)}{(d_{0i} + d_{1i}p + p^2)}, \quad (4)$$

где

$$h_0 = \begin{cases} \alpha^2 + \beta^2, \alpha < 0 \\ \gamma_1 \gamma_2, \gamma_1 < 0, \gamma_2 < 0; \end{cases}$$

$$h_1 = \begin{cases} -2\alpha, \alpha < 0, \\ -(\gamma_1 + \gamma_2), \\ \gamma_1 < 0, \gamma_2 < 0; \end{cases}$$

$$d_0 = \begin{cases} \bar{\alpha}^2 + \bar{\beta}^2, \bar{\alpha} < 0 \\ \delta_1 \delta_2, \delta_1 < 0, \delta_2 < 0 \end{cases}$$

$$d_1 = \begin{cases} -2\bar{\alpha}, \bar{\alpha} < 0 \\ -(\delta_1 + \delta_2), \\ \delta_1 < 0, \delta_2 < 0 \end{cases}$$

Применив билинейное z-преобразование

$$p = R \frac{1 - z^{-1}}{1 + z^{-1}}$$

где $R = \frac{2}{\Delta t}$, Δt - период дискретизации к (4), найдем передаточную функцию цифрового фильтра:

$$H(z) = C_0 \prod_{i=1}^m H_i(z),$$

где C_0 - постоянная, которая может быть принята равной 1, а $H_i(z)$ - передаточная функция элементарного фильтра преобразуется к виду

$$H_i(z) = \frac{(R^2 + h_{1i}R + h_{0i}) + 2(h_{0i} - R^2)z^{-1} + (R^2 - h_{1i}R + h_{0i})z^{-2}}{(R^2 + d_{1i}R + d_{0i}) + 2(d_{0i} - R^2)z^{-1} + (R^2 - d_{1i}R + d_{0i})z^{-2}} = \frac{R^2 + h_{1i}R + h_{0i}}{R^2 + d_{1i}R + d_{0i}} \frac{1 + a_1 z^{-1} + a_2 z^{-2}}{1 + b_1 z^{-1} + b_2 z^{-2}} \quad (5)$$

Анализ динамического диапазона коэффициентов $a_i, i = 1, 2, b_j, j = 1, 2$, показывает, что a_1 и b_1 меньше двух, а a_2 и b_2 меньше единицы. Это следует из того, что все коэффициенты h_0, h_1, d_0 и d_1 больше нуля (4) и из данных неравенств:

$$\begin{aligned} 2(R^2 + h_{0i} + h_{1i}R) &> 2(h_{0i} - R^2), \\ 2(R^2 + d_{0i} + d_{1i}R) &> 2(d_{0i} - R^2), \\ R^2 + h_{0i} + h_{1i}R &> R^2 + h_{0i} - h_{1i}R, \\ R^2 + d_{0i} + d_{1i}R &> R^2 + d_{0i} - d_{1i}R. \end{aligned}$$

Тогда для реализации цифрового фильтра на основе представления двоичных чисел с фиксированной запятой, чтобы не было превышения динамического диапазона фильтра, коэффициенты числителя и знаменателя (5) необходимо разделить на два. Просто показать, что в этом случае уравнение, описывающее работу цифрового фильтра, будет иметь вид для прямой формы

$$(1/2)y(n) = \sum_{i=0}^n a(i)x(n-i) - \sum_{j=1}^m b(j)y(n-j).$$

При этом, чтобы цифровой фильтр работал с максимальным абсолютным значением выходного сигнала, равным верхней границе динамического диапазона фильтра, необходимо потребовать выполнения следующих условий

$$\begin{aligned} K_1^* &= \max_{i=1}^m \left| \prod_{i=1}^m H_i^*(e^{-j\omega\Delta t}) \right| = 1, \\ K_{L-1}^* &= \max_{i=1}^{L-1} \left| \prod_{i=1}^{L-1} H_i^*(e^{-j\omega\Delta t}) \right| = 1, \\ &\vdots \\ K_N^* &= \max_{i=1}^N \left| \prod_{i=1}^N H_i^*(e^{-j\omega\Delta t}) \right| = 1, \\ &\vdots \\ K_2^* &= \max_{i=1}^2 \left| \prod_{i=1}^2 H_i^*(e^{-j\omega\Delta t}) \right| = 1, \\ K_1^* &= \max_{i=1}^1 \left| \prod_{i=1}^1 H_i^*(e^{-j\omega\Delta t}) \right| = 1, \end{aligned} \quad (7)$$

причем $0 \leq \omega \leq \omega_B K_N^*$ - максимальный коэффициент передачи N каскадов.

$$H_i^*(z) = \frac{\sigma_{0i} + \sigma_{1i}z^{-1} + \sigma_{2i}z^{-2}}{b_{0i} + b_{1i}z^{-1} + b_{2i}z^{-2}} \quad (8)$$

- передаточная функция элементарного фильтра, при которой отсутствует переполнение.

Выполнение условий (7) приводит к тому, что максимальный коэффициент передачи L каскадов равен 1, отбрасывание одного каскада справа, т.е. $L-1$ каскад, также будет иметь $K_{L-1}^* = 1$ и т.д. При этом и реакция цифрового фильтра при подаче синусоидального сигнала единичной амплитуды на резонансных частотах $\omega_1, \omega_{L-1}, \dots, \omega_N, \dots, \omega_2, \omega_1$ не будет превосходить единицы, т.е. ограничение $|y(n)| < 1$ выполняется при x_{max} как угодно близком к 1.

Определение параметров $a_{j,i}$ и $b_{j,i}$, $i=1, L$, $j=0, 2$ осуществляется по следующему алгоритму:

1) Находятся максимальные коэффициенты передачи $K_1, K_2, \dots, K_N, \dots, K_{L-1}, \dots, K_L$, одного, двух L каскадов фильтра.

2) Определяются коэффициенты передаточной функции $H_1^*(z)$:

$$G_{1,1} = a_{1,1} / K_1, K_1 = \bar{K}_1, i=0, 1, 2, \dots$$

(Максимальный коэффициент передачи первых двух каскадов теперь равен $K_2 = \bar{K}_2 / K_1$, а $K_1^* = 1$).

$$3) H_2^*(z): G_{1,2} = a_{1,2} / K_2; K_2 = \bar{K}_2 / (K_1 \bar{K}_1) = \bar{K}_2 / \bar{K}_1, \alpha K_2^* = 1.$$

$$4) H_1^*(z): G_{1,L} = a_{1,L} / K_L; K_L = \bar{K}_L / \bar{K}_{L-1}$$

при этом на каждом этапе расчета необходимо проверять условие

$$\frac{1}{\alpha_{1,N}} > \frac{1}{K_N}$$

для предотвращения разрядной сетки устройства.

На фиг. 1 показана структурная схема программно-управляемого цифрового фильтра; на фиг. 2 - схема блока управления.

Программно-управляемый цифровой фильтр (фиг. 1) содержит первый блок 1 памяти, арифметический блок 2, мультиплексор 3, блок 4 управления, второй блок 5 памяти, блок 6 умножения на два, выходной регистр 7, блок 8 задания коэффициентов, блок 9 сопряжения.

Первый блок 1 памяти предназначен для хранения значений коэффициентов цифрового фильтра. На информационные входы первого блока памяти подаются коды коэффициентов, занесение которых и последующее считывание производится по сигналам, поступающим из блока 4 управления на управляющий вход. Коды считываемых коэффициентов поступают на выход первого блока памяти.

Арифметический блок 2 предназначен для выполнения операций умножения и алгебраического сложения операндов, поступающих на два его информационных входа. Управление работой блока осуществляется при помощи

сигналов, поступающих на его управляющий вход из блока 4 управления. Арифметический блок имеет два информационных выхода. С первого выхода снимаются результаты вычисления, со второго выхода - значения разрядов множителя.

Мультиплексор 3 предназначен для управляемого подключения ко второму информационному входу арифметического блока трех независимых источников информации, поступающих на его первый, второй и третий информационные входы. Первый информационный вход мультиплексора представляет собой вход устройства в целом. Выбор источника информации определяет сигнал на управляющем входе мультиплексора.

Блок 4 управления предназначен для формирования необходимых последовательностей управляющих сигналов, обеспечивающих функционирование всего цифрового фильтра в целом.

Он представляет собой управляющий автомат. Структурная схема блока управления (фиг. 2) включает управляемый генератор 10 тактовых импульсов; RS-триггер 11, формирователь 12, параллельный регистр 13, дешифратор 14, микропрограммную память 15.

В исходном состоянии RS-триггер 11 находится в положении "0" и управляемый генератор 10 выключен - тактовые импульсы отсутствуют. По сигналу "Пуск", поступающему от внешнего по отношению к автомату источника, например оператор нажал клавишу "Пуск" на передней панели устройства, RS-триггер 11 переключается в положение "1". После этого вырабатывается периодическая последовательность тактовых импульсов.

При этом на выходах у появляются управляющие сигналы. После завершения реализации микропрограммы сигнал "Останов" переключает триггер в исходное состояние и тактовые импульсы прекращаются. Формирователь 12 коротких импульсов необходим для того, чтобы сигнал "Останов" не препятствовал повторному действию сигнала "Пуск".

Регистр 13 и дешифратор 14 необходим, когда блок управления должен реализовать несколько различных микропрограмм. На регистре 13 фиксируется код команды (микрокоманды), соответствующий определенной микропрограмме. Выбирается одна из шин дешифратора 14 и управляющий автомат настраивается на реализацию выбранной микрокоманды. Таким образом, целью проектирования управляющего автомата является определение функциональной схемы комбинационного устройства и элемента памяти 15, в то время как остальные элементы структурной схемы блока управления определены заранее.

Второй блок 5 памяти предназначен для хранения значений входного сигнала, промежуточных значений и результатов фильтрации.

Адресация занесения и выборки - произвольная, определяется содержанием встроенного адресного счетчика. Второй блок памяти имеет два информационных входа, один из которых предназначен для параллельного занесения в блок памяти кодов с выхода блока 6 умножения на два. Второй информационный вход блока памяти предназначен для последовательного занесения во встроенный буферный регистр значений разрядов множителя, снимаемых с арифметического блока. Занесение с буферного регистра или с первого информационного входа, а затем - считывание ее производится по сигналам с блока управления, поступающим на управляющий вход.

Блок 6 умножения на два предназначен для умножения на два значений $U_{n,i}$, получаемых в арифметическом блоке, в соответствии с алгоритмом фильтрации, обеспечивающим максимальный динамический диапазон сигнала. Блок умножения на два имеет информационный вход и информационный выход, соединенный со входом выходного регистра 7.

Выходной регистр 7 предназначен для хранения значений U_n в течение всего периода дискретизации. За время, соответствующее периоду дискретизации, формируется следующее значение выходного сигнала $-U_{n+1}$, которое с выхода блока 6 умножения на два поступает на информационный вход выходного регистра и записывается туда, сменяя предыдущее значение U_n , по сигналу занесения, поступающему на управляющий вход выходного регистра. Информационный выход выходного регистра представляет собой выход устройства в целом.

Блок 8 задания коэффициентов предназначен для расчета коэффициентов цифрового рекурсивного фильтра в соответствии с алгоритмом, обеспечивающим максимальный динамический диапазон сигнала на входе и выходе устройства. Блок 8 может представлять собой универсальную вычислительную машину либо управляющую мини-ЭВМ, запрограммированную соответствующим образом для расчета коэффициентов фильтра. В частном случае блок программного управления может быть выполнен в виде пульта, позволяющего вручную заносить в первый блок памяти цифрового фильтра соответствующие коэффициенты. Блок 8 имеет информационный выход, подключенный ко входу блока 9 сопряжения.

Блок 9 сопряжения предназначен для преобразования уровней информацион-

ных сигналов, поступающих с блока программного управления, к уровню, необходимому для записи информации в первый блок памяти. Блок сопряжения выполняет также роль согласования во времени моментов поступления на него информации и моментов занесения ее в первый блок памяти.

Цифровой фильтр работает следующим образом.

Блок программного управления считает коэффициенты фильтра в соответствии с алгоритмом получения максимального динамического диапазона сигнала. Цифровой фильтр в целом построен каскадным подключением рекурсивных фильтров второго порядка, называемых в дальнейшем элементарными фильтрами. Передаточная функция одного элементарного фильтра имеет вид (8). Из формулы (8) видно, что для формирования требуемой передаточной характеристики необходимо задать пять коэффициентов: $g_0, g_1, g_2, b_1, b_2, b_0 = 0,5$. Работа элементарного фильтра ведется последовательно во времени по алгоритму, заданному разностным уравнением (6).

Следует отметить, что реализация каскадной формы цифрового фильтра, где выходные значения предыдущего звена являются входными для последующего, а элементарные фильтры представлены в прямой форме, удается избежать недостатка - повышенные затраты памяти по сравнению с канонической реализацией. В данном случае необходимо $N + 2$ ячейки памяти, где N - количество ячеек памяти при канонической реализации фильтра.

Таким образом, можно создавать цифровые фильтры, порядок которых определяется количеством подключенных последовательно элементарных фильтров второго порядка. Так, для шести соединенных последовательно элементарных фильтров общий порядок цифрового фильтра будет равен двенадцати. Максимальный порядок фильтра определяется верхней граничной частотой обрабатываемого сигнала и временем выполнения арифметических операций. Рассчитанные коэффициенты из блока программного управления через блок сопряжения поступают на информационный вход первого блока памяти и по сигналам с блока управления происходит их занесение в соответствующие ячейки. После занесения каждого коэффициента блок управления модифицирует на единицу адрес обращения к первому блоку памяти и очередной коэффициент записывается уже в следующую ячейку. Порядок расположения коэффициентов в первом блоке памяти следующий: $g_{0,1}, g_{1,1}, g_{2,1}, b_{1,1}, b_{2,1}, g_{0,2}, g_{1,2}, \dots$. После занесения коэффициентов цифровой фильтр переходит в

режим функционирования. По сигналу с блока 4 управления мультиплексор 3 подключает вход устройства в целом ко второму информационному входу арифметического блока 2, одновременно на первый информационный вход арифметического блока поступает двоичный код коэффициента $g_{0,1}$. По сигналу с блока 4 управления происходит занесение значений входного сигнала $x_{n,1}$ и коэффициента $g_{0,1}$ в регистры арифметического блока. После этого производится умножение $g_{0,1} \cdot x_{n,1}$. Во время умножения значения $g_{0,1}$ и $x_{n,1}$ сдвигаются, причем разряды $x_{n,1}$ последовательно поступают при этом в буферный регистр второго блока памяти. Таким образом, с окончанием операции умножения значение произведения $g_{0,1} \cdot x_{n,1}$ находится в арифметическом блоке, а текущее значение входного сигнала $x_{n,1}$ - в буферном регистре второго блока памяти. Операндами для второго умножения являются значения коэффициента $g_{1,1}$ и входного сигнала, задержанного на один интервал дискретизации $x_{n-1,1}$. Код $g_{1,1}$ поступает с первого блока памяти, а $x_{n-1,1}$ - через мультиплексор со второго блока памяти.

После занесения в арифметический блок значений $g_{1,1}$ и $x_{n-1,1}$ в ячейку второго блока памяти, в которой ранее находился код $x_{n-1,1}$, записывается из буферного регистра значение $x_{n,1}$, поступающее туда во время выполнения первой операции умножения. В арифметическом блоке $g_{1,1}$ и $x_{n-1,1}$ перемножаются, а их произведение складывается с предыдущим результатом: $g_{0,1} \cdot x_{n,1} + g_{1,1} \cdot x_{n-1,1}$. В буферный регистр второго блока памяти последовательно заносится уже значение $x_{n-1,1}$. После этого производится модификация адреса в первом и во втором блоках памяти: на арифметический блок поступает очередная пара сомножителей: $g_{2,1}$ и $x_{n-2,1}$. Полученное в результате умножения произведение $g_{2,1} \cdot x_{n-2,1}$ суммируется с предыдущим результатом, а значение $x_{n-1,1}$ записывается в ячейку второго блока памяти на место $x_{n-2,1}$. Таким образом, после окончания первой половины алгоритма функционирования элементарного фильтра в арифметическом блоке 2 находится значение $g_{0,1} \cdot x_{n,1} + g_{1,1} \cdot x_{n-1,1} + g_{2,1} \cdot x_{n-2,1}$, во втором блоке 5 памяти произошло обновление содержимого первых двух ячеек: вместо $x_{n-1,1}$ записано значение $x_{n,1}$, а вместо $x_{n-2,1}$ - значение $x_{n-1,1}$. Это равноценно сдвигу содержимого двух ячеек, в результате которого теряется значение $x_{n-2,1}$. После этого блок 4 управления модифицирует адреса в первом и втором блоках памяти. На информационные входы арифметического блока 2 с первого блока 1 памяти по-

ступает значение коэффициента $-b_{1,1}$, а со второго блока памяти через мультиплексор значение выходного сигнала первого элементарного фильтра, задержанное на один период дискретизации $-y_{n-1,1}$. Арифметический блок производит умножение и полученный результат с учетом знака добавляет к полученной ранее сумме произведений. В арифметическом блоке формируется значение $g_{0,1} \cdot x_{n,1} + g_{1,1} \cdot x_{n-1,1} + g_{2,1} \cdot x_{n-2,1} - b_{1,1} \cdot y_{n-1,1}$. Из следующих ячеек первого и второго блоков памяти поступают на арифметический блок соответственно значения $-b_{2,1}$ и $y_{n-2,1}$. По окончании операции умножения произведение суммируется с полученным ранее результатом. В итоге на информационном выходе арифметического блока сформировано значение выходного результата первого элементарного фильтра

$$y_{n,1} = g_{0,1} x_{n,1} + g_{1,1} x_{n-1,1} + g_{2,1} x_{n-2,1} - b_{1,1} y_{n-1,1} - b_{2,1} y_{n-2,1}$$

25 Полученное значение вдвое меньше истинного, поэтому информация с выхода арифметического блока 2 поступает на блок 6 умножения на два. Так как информация представлена в двоичном коде, то умножение на два равносильно сдвигу на один разряд. Блок умножения на два сдвигает код $y_{n,1}$ на один разряд влево и формирует на выходе истинное значение $u_{n,1} = 2y_{n,1}$. Следует отметить, что если для дальнейшей работы цифрового фильтра нет необходимости использовать значение $u_{n,1}$, то функции блока умножения на два можно реализовать схемным путем, т.е. непосредственной запайкой со сдвигом выхода арифметического блока ко всем необходимым блокам устройства. По сигналу с блока 4 управления мультиплексор 3 подключает выход блока умножения на два ко второму информационному входу арифметического блока, на первый информационный вход которого поступает код очередного коэффициента $g_{0,2}$. Это первый из коэффициентов следующего, второго, элементарного фильтра. Согласно алгоритму фильтрации его необходимо умножить на значение входного сигнала второго элементарного фильтра $x_{n,2}$. Так как цифровой фильтр в целом реализован каскадно, то входным сигналом для следующего элементарного фильтра является выходной сигнал предыдущего, т.е. $x_{n,2} = u_{n,1}$, $x_{n-1,2} = u_{n-1,1}$, $x_{n-2,2} = u_{n-2,1}$. С учетом этого работа устройства при реализации последующих элементарных фильтров аналогична описанной работе первого звена, за исключением номеров ячеек первого и второго блоков памяти. Каждому элементарному фильтру отведено пять ячеек хранения коэффициентов в первом

блоке памяти ($g_{0,i}, g_{1,i}, g_{2,i}, b_{1,i}, b_{2,i}$) и две ячейки во втором блоке памяти для хранения значений выходного сигнала, задержанных соответственно на один и на два периода дискретизации ($u_{n-1,i}; u_{n-2,i}$). Для работы фильтра необходимо запоминать значения входного сигнала, поступающего на вход устройства в целом, поэтому во втором блоке памяти отведены две ячейки для хранения значений $x_{n-1} = x_{n-1,1}$ и $x_{n-2} = x_{n-2,1}$. Работа последнего (L-го) элементарного фильтра отличается от работы всех предыдущих тем, что выходной сигнал этого фильтра является выходным сигналом всего устройства в целом и не используется в данном устройстве в качестве входного для дальнейшей обработки, но необходим для дальнейшего функционирования самого L-го элементарного фильтра. Поэтому на второй половине алгоритма его работы нужно в ячейку второго блока памяти, в которой находилось значение $u_{n-1,L}$, записать полученное значение $u_{n,L}$, а значение $u_{n-1,L}$ переписать в ячейку, в которой находилось значение $u_{n-2,L}$. В результате работы L-го элементарного фильтра по первой половине алгоритма, которая не отличается от работы всех предыдущих звеньев, в арифметическом блоке 2 сформирована сумма

$$g_{0,L} x_{n,L} + g_{1,L} x_{n-1,L} + g_{2,L} x_{n-2,L}$$

По сигналу блока 4 управления на первый информационный вход арифметического блока 2 поступает код коэффициента $-b_{1,L}$, а с выхода второго блока 5 памяти через мультиплексор 3 — значения $u_{n-1,L}$. В процессе их перемножения $u_{n-1,L}$ последовательно заносится в буферный регистр второго блока 5 памяти. Произведение суммируется с предыдущим результатом:

$$g_{0,L} x_{n,L} + g_{1,L} x_{n-1,L} + g_{2,L} x_{n-2,L} - b_{1,L} u_{n-1,L}$$

Из следующих ячеек первого и второго блоков памяти на информационные входы арифметического блока 2 поступают соответственно значения $-b_{2,L}$ и $u_{n-2,L}$. После их занесения в регистры арифметического блока по сигналу с блока управления происходит запись находящегося в буферном регистре блока значения $u_{n-1,L}$ в ячейку на место $u_{n-2,L}$. По окончании операции умножения произведение суммируется с полученным ранее результатом. В итоге на информационном выходе арифметического блока сформировано значение выходного результата последнего, L-го элементарного фильтра, которое

является выходным результатом всего фильтра в целом.

$$y'_{n,L} = y'_n = g_{0,L} x_{n,L} + g_{1,L} x_{n-1,L} + g_{2,L} x_{n-2,L} - b_{1,L} u_{n-1,L} - b_{2,L} u_{n-2,L}$$

Этот код поступает на блок 6 умножения на два, где производится его сдвиг влево на один разряд. Таким образом, на выходе блока умножения на два получен код истинного значения выходного результата $u_{n,L} = u_n$. По сигналам с блока управления этот код одновременно переписывается в ячейку второго блока памяти на место $u_{n-1,L}$ и в выходной регистр 7, сменяя находившееся там предыдущее значение выходного результата u_{n-1} .

На этом цикл работы устройства завершен. На следующем цикле ведется обработка следующего значения входного сигнала x_{n+1} и полученный результат u_{n+1} поступает на выходной регистр 7, сменяя предыдущее значение u_n . Таким образом, происходит непрерывная работа цифрового фильтра, в результате которой входная последовательность $x_n, n = 0, 1, 2, \dots$ преобразуется в выходную последовательность $u_n, n = 0, 1, 2, \dots$. Для построения цифрового фильтра, составленного из L последовательно соединенных элементарных фильтров второго порядка объем первого блока памяти должен состоять из пяти L ячеек, а объем второго блока памяти из $(2L+2)$ ячеек.

Таким образом, использование новых элементов: блока умножения на два, выходного регистра, блока программного управления, блока сопряжения, связанных соответствующими связями, выгодно отличает предлагаемый программно-управляемый цифровой фильтр от известного при реализации с фиксированной запятой, так как увеличивается максимальный динамический диапазон сигнала в цифровом фильтре, а следовательно, соотношение сигнал-шум также. В связи с этим изобретение может найти широкое применение в системах, работающих с большим уровнем шума.

Формула изобретения

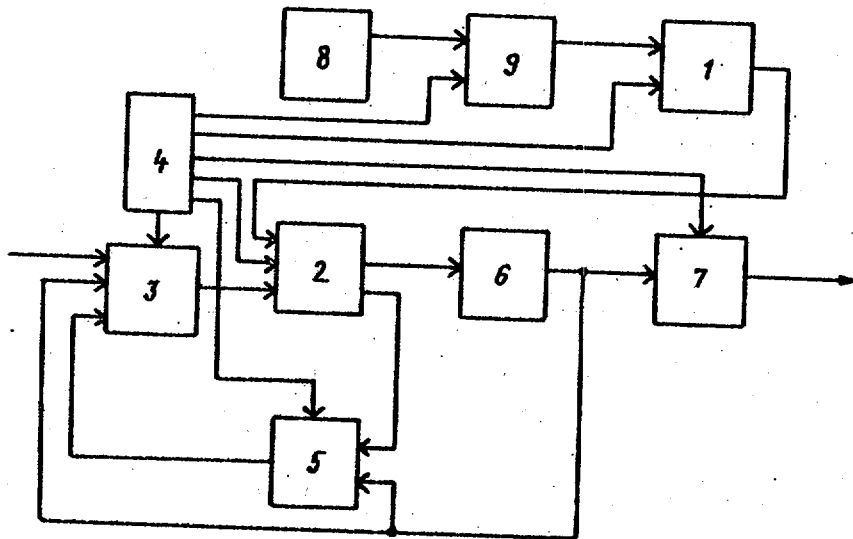
1. Программно-управляемый цифровой фильтр, содержащий два блока памяти, арифметический блок, мультиплексор и блок управления, первый, второй, третий и четвертый выходы которого соединены с управляющими соответственно первого блока памяти, второго блока памяти, арифметического блока и мультиплексора, первый вход которого является входом фильтра, а выход мультиплексора подклю-

чен ко второму входу арифметического блока, третий вход которого соединен с выходом первого блока памяти, первый выход арифметического блока подключен к первому входу второго блока памяти, отличающемся тем, что, с целью расширения динамического диапазона сигнала, в него введены блок задания коэффициента, блок сопряжения, выходной регистр, блок умножения на два, выход которого соединен со входом выходного регистра, вторым входом второго блока памяти и вторым входом мультиплексора, третий вход которого подключен к выходу второго блока памяти, выход блока задания коэффициентов подключен к первому входу блока сопряжения, выход которого соединен со входом первого блока памяти, второй выход арифметического блока подключен ко входу блока умножения на два, причем третий выход блока управления соединен с управляющим входом блока сопряжения, а шестой выход блока управления подключен к управляющему входу выходного регистра, выход которого является выходом фильтра.

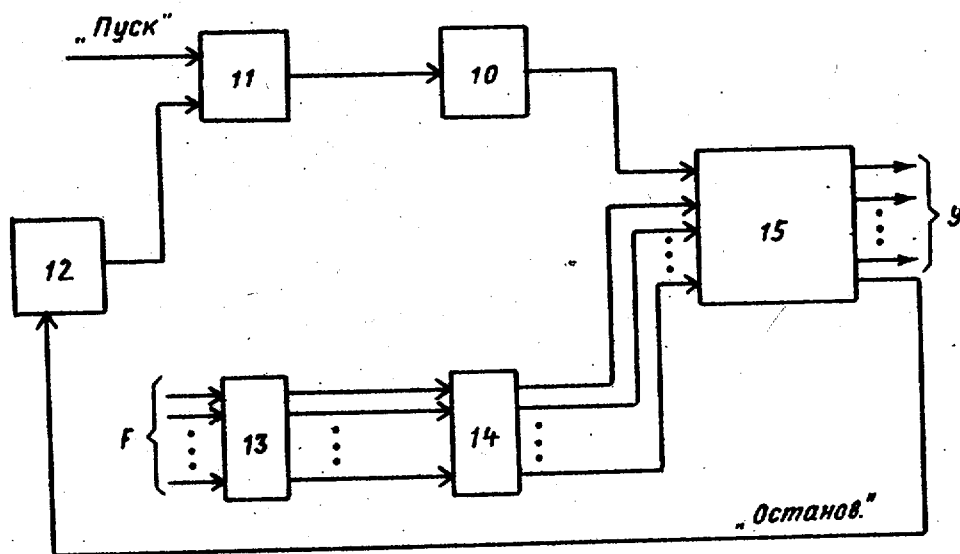
2. Фильтр по п. 1, отличающийся тем, что блок управления содержит микропрограммную память, генератор, RS-триггер, формирователь импульсов, последовательно соединенные регистр и дешифратор, выходы которого соединены с адресным входом микропрограммной памяти, выходы которой являются соответственно первым, вторым, третьим, четвертым, пятым и шестым выходами блока, выход останова микропрограммной памяти со входом формирователя импульсов, выход которого соединен с первым входом RS-триггера, выход которого соединен со входом генератора, выход которого подключен к управляющему входу микропрограммной памяти, а второй вход RS-триггера является входом запуска блока.

Источники информации, принятые во внимание при экспертизе

1. Патент США № 3714402, кл. G 06 F 15/34, опублик. 1973.
2. Рабинер Л., Гоулд Б. Теория и применение цифровой обработки сигналов. М., "Мир", 1978 (прототип).



Фиг. 1



Фиг. 2

Редактор С. Тараненко

Составитель А. Баранов
Техред А.Ач

Корректор Е. Рошко

Заказ 9648/85

Тираж 991

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д.4/4

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4