



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -
(22) Заявлено 03.05.78 (21) 2609588/18-24
с присоединением заявки № -
(23) Приоритет -
Опубликовано 07.12.81, Бюллетень № 45
Дата опубликования описания 07.12.81

(11) 888109

(51) М. Кл.³

G 06 F 7/52

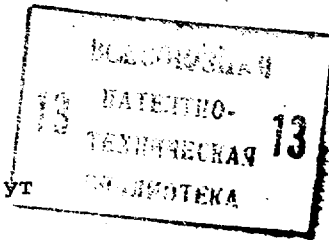
(53) УДК 681.325
(088.8)

(72) Автор
изобретения

А. А. Шостак

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения чисел, удобных для изготовления в составе больших интегральных схем (БИС). Со множители могут быть представлены в любой позиционной системе счисления.

Известно устройство для умножения, содержащее накопитель (блок формирования произведения), осуществляющее перемножение множимого A на множитель $B = b_n \dots b_1$, причем в предварительно очищенный накопитель число A прибавляется b_n раз, затем оно сдвигается влево на один разряд и вновь прибавляется в накопитель b_{n-1} раз и так до тех пор, пока все разряды числа B не будут обработаны [1].

Известно также устройство для умножения, содержащее регистры множимого и множителя, буферные регистры, блоки умножения, сложения и накапливающий сумматор, причем каждый разряд накапливающего сумматора совместно с соответствующими блоками умножения и сложения образует блок вычисления разрядных значений произведения [2].

2

Недостатками известного устройства являются недостаточное быстродействие, определяемое быстродействием накапливающего сумматора, имеющего достаточно сложную конструкцию, а также некоторая сложность ввиду использования устройством управляющих сигналов нескольких видов.

5 Целью изобретения являются повышение быстродействия и упрощение устройства.

Для достижения поставленной цели устройство для умножения, содержащее регистр множимого, n блоков вычисления разрядных значений произведения (n - число разрядов множимого), n буферных регистров первой группы, причем первые входы блоков вычисления разрядных значений произведения разрядных значений произведения соединены с выходами соответствующих разрядов регистра множимого, вторые входы - с входом множителя устройства, третьи входы - с выходами соответствующих буферных регистров первой группы, оно содержит n буферных регистров второй группы, выход каждого из которых соединен с четвертым входом соседнего младшего блока вычисления разрядных значений произведения, выход первого буферного

30

регистра второй группы подключен к выходу устройства, четвертый вход последнего блока вычисления разрядных значений произведения соединен с входом коррекции устройства, входы буферных регистров первой и второй групп соединены соответственно с выходами старшего и младшего разрядов соответствующих блоков вычисления разрядных значений произведения.

Устройство предназначено для умножения операндов в системах счисления с основанием N>2.

На фиг.1 представлена функциональная схема устройства для умножения; на фиг.2 - блок вычисления разрядных значений произведения для случая двоично-кодированной шестнадцатиричной системы счисления (N=16).

Устройство содержит n-разрядный регистр 1 множимого, n блоков 2 вычисления разрядных значений произведения, буферные регистры 3 и 4 первой и второй групп соответственно, вход 5 множителя устройства. Первый вход i-го блока 2 (i=1,...,n) соединены с выходом 6 i-го разряда регистра 1 множимого, второй вход - с входом 5 множителя, третий вход - с выходом i-го регистра 3, четвертый вход - с выходом (i+1)-го регистра 4. Четвертый вход n-го блока 2 соединен с входом 7 коррекции устройства. Выходы 8 и 9 соответственно старшего и младшего разрядов каждого i-го блока 2 соединены с входами i-х регистров 3 и 4 соответствен-

но. Выход регистра 4 является выходом 10 устройства. Совокупность i-го блока 2 и i-х регистров 3 и 4 может быть выполнена в виде модуля 11.

Блоки 2 в общем случае могут быть реализованы с помощью постоянных запоминающих устройств (ПЗУ). В некоторых случаях более удачным может являться их выполнение в виде комбинационных логических схем, синтез которых может быть произведен любым из известных методов по таблице истинности функционирования блока.

Особый интерес представляет данное устройство в случае перемножения двоично-кодированных операндов в системе счисления $N=2^k$ (где $k>1$ - целое число). В этом случае каждый разряд как множимого, так и множителя представляет собой набор k двоичных цифр, и перемножение двух n-разрядных 2^k -ичных чисел эквивалентно перемножению двух n-k-разрядных двоичных чисел, разряды которых сгруппированы по k.

Ниже в таблице приведены фрагменты таблицы истинности блока 2 в предположении, что $k=4$ (система счисления шестнадцатиричная, двоично-кодированная). X и Y обозначены как $x_4 x_3 x_2 x_1$ и $y_4 y_3 y_2 y_1$, слагаемые L и C через $L_4 L_3 L_2 L_1$ и $C_4 C_3 C_2 C_1$, а значения 2K-разрядного результата P на выходах 8, 9, блока 2 обозначено через $P_8 P_7 P_6 P_5 P_4 P_3 P_2 P_1$ (возрастание индексов при буквенных обозначениях принято в направлении старших разрядов).

$x_4 x_3 x_2 x_1$	$y_4 y_3 y_2 y_1$	$L_4 L_3 L_2 L_1$	$C_4 C_3 C_2 C_1$	$P_8 P_7 P_6 P_5 P_4 P_3 P_2 P_1$
0000	0000	0000	0000	00000000
0000	0000	0000	0001	00000001
0000	0000	0000	0010	00000010
.
IIII	0001	0000	0000	0000IIII
IIII	0001	0000	0001	00010000
IIII	0001	0000	0010	00010001
.
IIII	IIII	IIII	II01	IIIIII01
IIII	IIII	IIII	II10	IIIIII10
IIII	IIII	IIII	II11	IIIIII11

Выполнение блока 2 в виде логического шифратора (ПЗУ) принципиально позволяет обеспечить максимальное его быстродействие, однако требует больших затрат оборудования и приводит к нерегулярности его схемной структуры. Поэтому в определенных случаях может сказаться целесообразным реализация блока 2 в виде сочетания усеченных шифраторов и сумми-

рующих схем, либо в виде однородной ячеейной структуры, например как это описано [3] и показано на фиг.2. Это позволяет при несущественном снижении быстродействия блока 2 обеспечить значительное сокращение его оборудования и регулярность схемной структуры на уровне элементарных ячеек и системы межсоединений между ними.

Блок 2 (фиг.2) содержит k^2 ($k=4$) ячеек 12, с входами 13, 14, 15, 16 и выходами 17, 18, 19, 20. Вход 13 каждой ячейки соединен с выходом 19, а вход 15 - с выходом 20. По входам 13 и 15 ячеек 12 фактически поступают в блок 2 k -разрядные коды сомножителей x и y . Каждая ячейка 12 является одноразрядным двоичным полным сумматором с элементом И на одном из его входов и реализует на выходах 17 и 18 функции S_m, C_m соответственно суммы и переноса;

где x_i, y_j - i -ая и j -я цифры сомножителей x и y , поступающие через элемент И на один из входов сумматора ячейки 12 ($1 \leq i, j \leq k$);

a, b - разрядные слагаемые, поступающие от соседних справа и снизу ячеек 12 на два других входа сумматора ячейки.

На свободные входы k крайних ячеек 12, расположенных с правой стороны блока 2, поступают два k -разрядных слагаемых L и C , на выходы 17 ячеек 12 верхнего ряда блока 2 формируется $2 \cdot k$ -разрядный результат P . Время формирования результата P на выходе блока 2 в этом случае примерно равно $((2 \cdot k - 1) \cdot \tau)$, где τ - задержка на одном логическом элементе (здесь предполагается, что функции S_m, C_m ячеек могут быть реализованы с помощью одноуровневых логических элементов И-ИЛИ).

Устройство работает следующим образом.

В исходном состоянии регистры 3 и 4 обнулены, в регистре 1 множимо-го хранится без знака прямой $n \cdot k$ -разрядный двоичный код множимого (здесь предполагается, что сомножители представлены в двоично-кодированной шестнадцатиричной системе счисления, $k=4$).

В каждом из n/k первых тактов работы устройства на его вход 5 поступает параллельно по k двоичных разрядов множителя, начиная с его младших разрядов. При этом в i -ом блоке 2 производится умножение k двоичных разрядов множителя, поступающих на его второй вход с входа 5 устройства, на k двоичных разрядов множимо-го, поступающих на его первый вход с выхода 6 i -го шестнадцатиричного разряда регистра 1 и прибавление к k младшим двоичным разрядам получившегося при этом $2 \cdot k$ -разрядного произведения через четвертый и третий входы блока 2 k младших двоичных разрядов произведения $(i+1)$ -го блока 2, сформированных в предыдущем такте и хранимых в $(i+1)$ -ом буферном регистре 4 и k старших двоичных разрядов произведения i -го блока 2,

сформированных в предыдущем такте и хранимых в i -ом буферном регистре 3. После этого сформированные k младших двоичных разрядов произведения i -го блока 2 с его выхода 9 записываются в i -й регистр 4, а k старших двоичных разрядов произведения - с его выхода 8 в i -й регистр 3.

После выполнения n первых тактов работы устройства на его вход 5 поступает нулевая информация и далее осуществляется еще дополнительно n тактов, в течение которых из устройства выводится с соответствующим преобразованием информация, хранимая в регистрах 3 и 4. Следует отметить, что вывод $2 \cdot n$ -разрядного произведения сомножителей в устройстве осуществляется через его выход 10 в параллельно последовательном двоичном коде, т.е. по k двоичных разрядов в каждом такте (т.е. $b=2^k$ -ичном коде). В рассмотренном случае на вход 7 коррекции устройства во всех его тактах подается k -разрядный двоичный код 0000. В тех же случаях, когда требуется получить округленное n -разрядное произведение, необходимо в первом такте работы устройства на его вход 7 коррекции подать двоичный код 1000. Это позволяет осуществить округление результата без дополнительных временных затрат.

Таким образом, окончательное произведение в устройстве будет сформировано после выполнения $2 \cdot n$ тактов. Однако длительность выполнения одного такта умножения в предлагаемом устройстве сокращена за счет ликвидации задержек на коммутаторах, имеющихся в составе накапливающего сумматора в известном устройстве. Кроме того, данное устройство имеет более простую структуру и не использует специальных управляющих сигналов, как известное.

Устройство может быть изготовлено из множества однотипных взаимозаменяемых модулей, каждый из которых удобен для изготовления в составе БИС, причем переход от устройства с большим форматом k устройствам с малым форматом обрабатываемой информации, и наоборот, фактически сводится к пропорциональному уменьшению либо увеличению числа используемых модулей. Если соответствующие разряды регистра 1 ввести в операционные модули 11, то устройство будет состоять из однотипных модулей, что делает его особенно перспективным при разработке современных наращиваемых микропроцессорных систем.

Формула изобретения

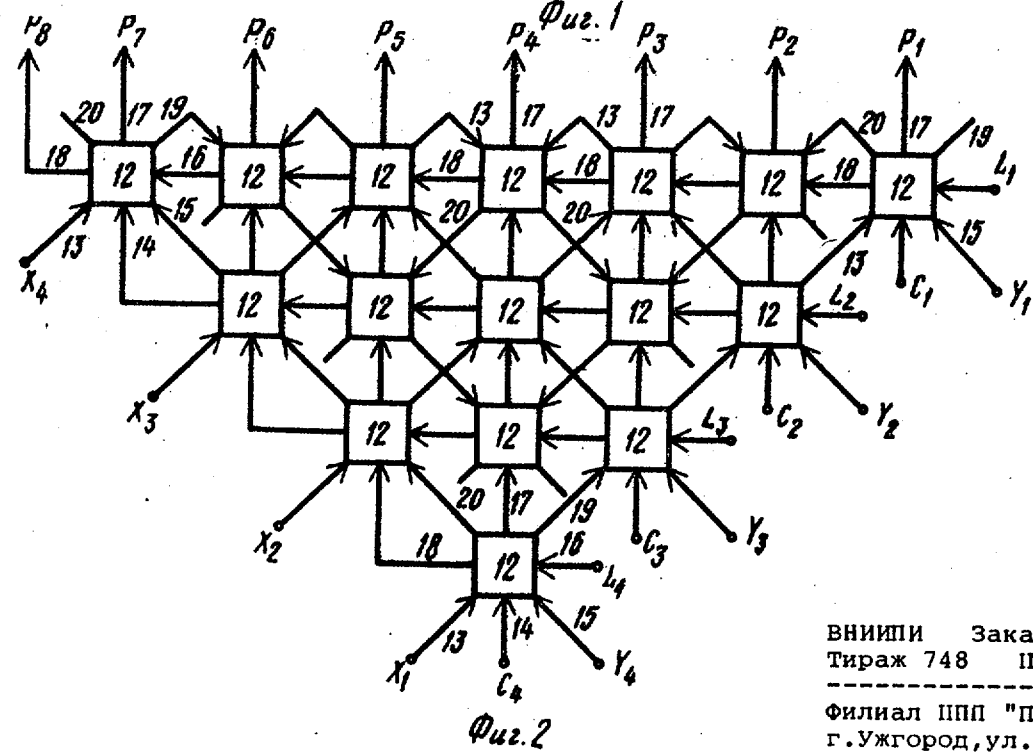
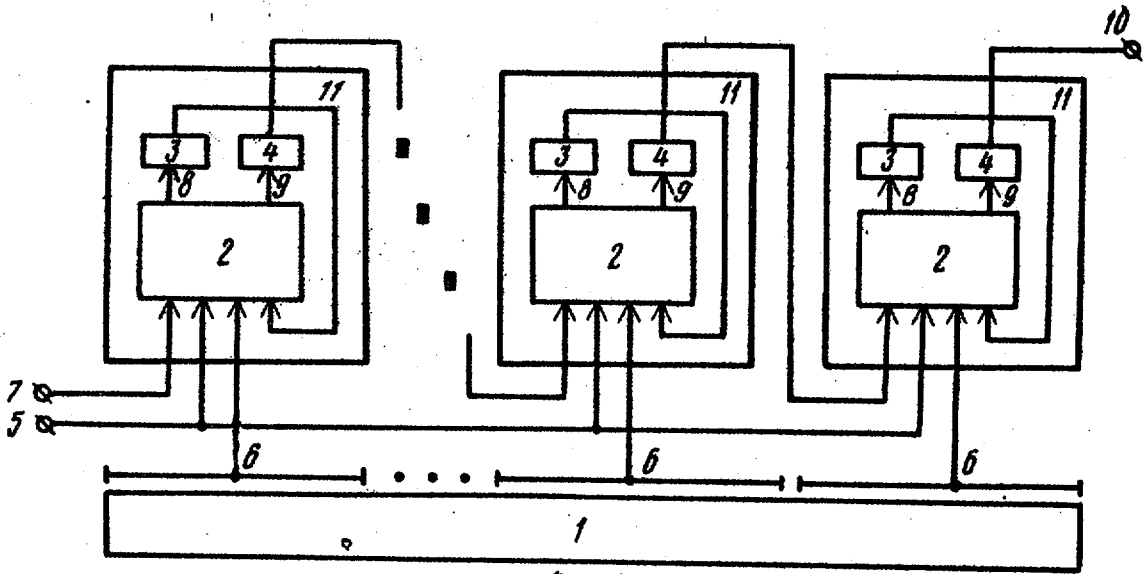
Устройство для умножения, содержащее регистр множимого, n блоков вычисления разрядных значений произ-

ведения (n - число разрядов множимого), n буферных регистров первой группы, причем первые входы блоков вычисления разрядных значений произведения соединены с выходами соответствующих разрядов регистра множимого, вторые входы - с входом множителя устройства, третьи входы - с выходами соответствующих буферных регистров первой группы, отличающемся с тем, что, с целью повышения быстродействия и упрощения устройства, оно содержит n буферных регистров второй группы, выход каждого из которых соединен с четвертым входом соседнего младшего блока вычисления разрядных значений произведения, выход первого буферного регистра второй группы подключен к выходу устройства, четвертый вход пос-

леднего блока вычисления разрядных значений произведения соединен со входом коррекции устройства, входы буферных регистров первой и второй группы соединены соответственно с выходами старшего и младшего разрядов соответствующих блоков вычисления разрядных значений произведения.

Источники информации, принятые во внимание при экспертизе

1. Бут Э. и Бут К. Автоматические цифровые машины.-М., ГИ ФМЛ, 1959, с. 74-75.
2. Авторское свидетельство СССР по заявке № 2579450/18-24, кл. G 06 F 7/39, 15.02.78 (прототип).
3. "Guild H.N." Fully Iterative Fast Array for Binary Multiplication and Addition". "Electron. Letters". 1969, № 12, p. 263.



ВНИИПИ Заказ 10725/13
 Тираж 748 Подписное

 Филиал ИПП "Патент",
 г.Ужгород, ул.Проектная,4