Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 888115

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 07.03.80 (21) 2893400/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 07.12.81. Бюллетень №45

Дата опубликования описания 07.12.81

(51) М. Кл.^{3} G 06 F 7/58

(53) УДК 681.325 (088.8)

(72) Авторы изобретения Э.А.Баканович, М.А.Орлов, Л.А.Смирнова и В.И.Новиков

(71) Заявитель Минский радиотехнический институт

(54) ДАТЧИК СЛУЧАЙНЫХ ЧИСЕЛ

1

Изобретение относится к вычислительной технике и может быть использовано при моделировании случайных процессов.

Особенно эффективны подобные устройства при построении испытательной аппаратуры, входящей в состав вычислительно-моделирующих комплексов. На выходе такой аппаратуры требуется получать до нескольких десятков потоков случайных величин (чисел), подаваемых на испытуемый объект.

Эффективны аппаратурные датчики случайных чисел и в качестве специализированного внешнего устройства к ЭВМ. При этом к датчикам предъявляется ряд часто противоречивых требований, например, необходимость достижения требуемого быстродействия и достаточно простая схемно-конструктивная реализация.

Одним из перспективных направлений в создании датчиков случайных чисел является разработка принципиально новых схемных решений, позволяющих снять противоречия в технических требованиях и повысить эффективность новых решений по сравнению с известными.

2

Известны датчики случайных чисел, основными узлами которых являются блок памяти, генератор первичных равновероятностных двоичных чисел, вероятностные вентили, схемы сравнения, схемы дешифрации, элементы И и ИЛИ, реализующие для получения чисел с требуемым распределением метод обратных функций, методы рекуррентного и минимаксного преобразований. Эти датчики, работающие по параллельному способу формирования всех цифр выходного случайного числа, сложны, хотя и обеспечивают наибольшее быстродействие.

Более просты схемы датчиков случайных чисел, реализующие метод условных вероятностей, по которому цифры выходного случайного числа формируются последовательно, начиная со старшей.

Рассмотрим эти схемы более детально.

Известен датчик случайных чисел, содержащий мультивибраторы и генератор случайных импульсов, подключенные через элементы И к первым входам соответствующих триггеров, образующих регистр хранения случайных чисел, причем вторые входы триггеров подключены к установочному входу

датчика. Недостатками этого датчика являются сложность организации цифрового управления характеристиками формируемых случайных чисел и невысокое быстродействие из-за большого числа аналоговых элементов и операций [1].

Известен датчик случайных чисел, содержащий генератор равномерно распределенных случайных чисел, регистр хранения случайных чисел, генератор тактовых импульсов, счетчик тактов, дешифратор кодовых комбинаций, дешифратор законов распределения, избирательную схему, многоканальный генератор случайных импульсных потоков, вероятностный вентиль, элементы И и элементы ИЛИ. Датчик реализует генерирование случайных чисел по методу условных вероятностей последовательно - цифра за цифрой [2].

Недостатком устройства является его сложность из-за необходимости использования сложных генератора случайных импульсов и тактирующего генератора. Другим недостатком является невысокое быстродействие из-за поочередного многотактного формирования всех цифр старших разрядов случайного числа.

Наиболее близким техническим решением к изобретению является датчик случайных чисел, содержащий блок памяти, генератор тактовых импульсов, генератор равновероятных двоичных чисел, блок формирования двоичных случайных цифр (включающий вероятностный вентиль), регистр хранения случайных чисел,дешифратор кодовых комбинаций,дешифратор номера разряда, избирательную схему.Недостатком устройства является его невысокое быстродействие из-за последовательного формирования цифр старших разрядов случайного числа [3].

Целью изобретения является повышение быстродействия датчика случайных чисел.

Поставленная цель достигается тем, что датчик случайных чисел, содержащий первый ключ, к первому входу которого подключен выход первого блока памяти, первый регистр хранения случайного числа, включающий N основных триггеров и M дополнительных триггеров, выходы которых являются выходом датчика случайных чисел, генератор равновероятных двоичных чисел, выход которого соединен с вторым входом первого ключа и установочными входами M дополнительных триггеров первого регистра хранения случайного числа, а также генератор тактовых импульсов, выход которого подключен к выходу генератора равновероятных двоичных чисел, к третьему входу первого ключа и входу синхронизации первого регистра хранения случайного числа, снабжен дополнительными (N-1) регистрами хранения случайного числа, разрядность которых возрастает соответственно на один от 1 до (N-1), (N-1) блоками памяти и (N-1) ключами, первые входы которых подключены к выходам соответствующих блоков памяти, вторые входы - к выходу генератора равновероятных двоичных чисел, третьи входы - к выходу генератора тактовых импульсов и ко входам синхронизации регистров хранения случайных чисел соответственно. Выход каждого из вероятностных вентилей подключен к установочному входу триггера младшего разряда соответствующего регистра хранения случайного числа. Выходы разрядных триггеров каждого предыдущего регистра хранения случайного числа, расположенного в порядке возрастания числа разрядов, подключены к установочным входам старших разрядных триггеров последующего регистра хранения случайного числа и к адресным входам последующего блока памяти.

На чертеже изображена структурная схема датчика.

Датчик содержит N блоков памяти (1_1-1_N), N ключей (2_1-2_N), регистры хранения случайного числа (3_1-3_N), генератор равновероятных двоичных чисел 4 и генератор тактовых импульсов 5.

Первые входы ключей 2_1-2_N подключены к выходам соответствующих блоков памяти 1_1-1_N, вторые входы - к выходу генератора 4 и установочным входам дополнительных триггеров ((N+1) ...,(N+M)) регистра 3_N, третьи входы - к выходу генератора 5 и ко входам синхронизации регистров 3_1-3_N, выходы разрядных триггеров каждого предыдущего 3_i из которых подключены к установочным входам старших разрядных триггеров последующего 3_{i+1} регистра хранения случайного числа и к адресным входам последующего 1_{i+1} блока памяти.

Блок памяти 1_i служит для хранения и выдачи кодов вероятностей появления единичного значения соответствующей разрядной цифры выходного случайного числа с требуемым законом распределения. Ключи 2_i реализуют поразрядное логическое перемножение кодов с выходов генератора 4 и блоков памяти 1 и выделения хотя бы одного единичного результата. Регистры 3 реализуют хранение частично сформированных случайных чисел, полностью сформированное (N+M)-разрядное число, распределенное по требуемому закону, образуется на N-м регистре 3_N. Генератор 4 формирует первичные случайные числа, используемые для формирования разрядных цифр выходного случайного числа с требуемым законом распределения. Генератор 5 вырабаты-

вает поток импульсов, синхронизирующих работу всего устройства.

Устройство функционирует следующим образом.

Для получения на выходе датчика первого полностью сформированного случайного числа, распределенного по требуемому закону, при запуске датчика случайных чисел необходимо N тактов, после чего числа с требуемым распределением получают на выходах датчика в каждом такте.

Например, при N=4 на выходе датчика с заданной вероятностью появляется одно четырехразрядное число из 16 возможных.

Каждому двоичному числу соответствует вероятность P_i его появления, которая определяется, исходя из требуемого закона распределения.

Двоичное число	Безусловная вероятность его появления
1000	P_1
0001	P_2
0010	P_3
0011	P_4
0100	P_5
0101	P_6
0110	P_7
0111	P_8
1000	P_9
1001	P_{10}
1010	P_{11}
1011	P_{12}
1100	P_{13}
1101	P_{14}
1110	P_{15}
1111	P_{16}

В соответствии с этим вероятность появления единицы в старшем разряде выходного случайного числа равна

$$P(a_1=1)=P_9+P_{10}+P_{11}+P_{12}+P_{13}+P_{14}+P_{15}+P_{16}$$

Вероятность появления нуля в старшем разряде равна

$$P(a_1=0)=P_1+P_2+P_3+P_4+P_5+P_6+P_7+P_8.$$

Вероятность появления единицы во втором разряде выходного числа зависит от того, какое значение принял старший разряд.

Например, при $a_1=1$

$$P(a_2=1)(a_1=1)=\frac{P_{13}+P_{14}+P_{15}+P_{16}}{P(a_1=1)},$$

при $a_1=0$

$$P(a_2=1)A_1=0)=\frac{P_5+P_6+P_7+P_8}{P(a_1=0)},$$

Аналогично вероятности появления нуля во втором разряде

$$P(a_2=0|a_1=1)=\frac{P_9+P_{10}+P_{11}+P_{12}}{P(a_1=1)}$$

$$P(a_2=0|a_1=0)=\frac{P_1+P_2+P_3+P_4}{P(a_1=0)}.$$

Для нормального функционирования датчика достаточно хранить в блоках памяти следующие условия вероятности:

в первом блоке памяти - $P(a_1=1)$,

во втором блоке памяти - $P(a_2=1), P(a_2=1/a_1=0)$

в третьем блоке памяти - $P(a_3=1/A_1=1, a_2=1)$
$P(a_3=1/a_1=1, a_2=0)$
$P(a_3=1/a_1=0, a_2=1)$
$P(a_3=1/a_1=0, a_2=0)$

в четвертом блоке памяти - $P(a_4=1/a_1=1, a_2=1, a_3=1)$
$P(a_4=1/a_1=1, a_2=1, a_3=0)$
$P(a_4=1/a_1=1, a_2=0, a_3=1)$
$P(a_4=1/a_1=1, a_2=0, a_3=0)$
$P(a_4=1/a_1=0, a_2=1, a_3=1)$
$P(a_4=1/a_1=0, a_2=1, a_3=0)$
$P(a_4=1/a_1=0, a_2=0, a_3=1)$
$P(a_4=1/a_1=0, a_2=0, a_3=0)$.

Итого в блоках памяти хранится 15 значений вероятности вместо 16 (т.е. (N-1) значений вместо N). Значения уже сформированных старших разрядов выходного случайного числа служат адресом выборки из i-го блока памяти вероятности появления единицы в очередном i-м разряде выходного случайного числа. Таким образом, значительно упрощена система адресации блоков памяти.

Рассмотрим функционирование устройства в динамике.

Двоичное число с выхода генератора 4 поступает на вторые входы ключей 2_1 - 2_N, на первый вход первого из которых (2_1) поступает код вероятности появления единицы в старшем разряде выходного случайного числа

$$P(a_1=1)=\sum_{i=N/2+1}^{N} P$$

где P_i безусловная вероятность появления i-го числа на выходе датчика, содержащего ''1'' в старшем разряде.

В результате этого на выходе вероятностного вентиля появляется сигнал ''1'' либо ''0'', который поступает на установочный вход старшего триггера первого регистра 3_1.

Ко второму такту информация, хранящаяся в старшем триггере первого регистра 3_1, подается на установочный вход старшего триггера второго регистра 3_2 и на адресный вход второго блока памяти 1_2, что вызывает появление на его выходе кода вероятности появления единицы во втором разряде выходного случайного числа (с учетом условия, что $a_1=1$, либо $a_1=0$). Такие вероятности определяются следующими выражениями:

$$P(a_2=1/a_1=0)=\sum_{i=N/4+1}^{N/2} P_i/P(a_1=0),$$

$$P(a_1=0)=1-P(a_1=1),$$

$$P(a_2=1/a_1=1)=\sum_{i=3N/4+1}^{N} P_i/P(a_1=1).$$

Таким образом, младшие разряды выходного случайного числа формируются в условной вероятности, определяемой значениями ранее полученных старших разрядов и требуемым законом распределения.

Двоичное одноразрядное число, полученное в результате поразрядного логического перемножения во втором вероятностном ключе 2_2, когда условная вероятность появления единицы во втором разряде выходного случайного числа и случайного числа с выхода генератора 4, поступает на установочный вход второго триггера второго регистра 3_2.

Одновременно с этим в первый регистр 3_1 записывается значение старшего разряда очередного случайного числа, сформированного параллельно с получением второго разряда данного случайного числа.

Следовательно, до окончания первых N тактов работы датчика на выходе его отсутствует случайное число, а в регистрах 3_1 - 3_N хранятся $k(j+1)$-му такту частично сформированные случайных числа разрядностью соответственно от 1 до j.

Процесс распространяется по регистрам 3_1 - 3_N аналогично до тех пор, пока не будет сформирован младший разряд первого (с момента запуска) выходного случайного числа. Затем после окончания первых N тактов случайные числа поступают на выход устройства на каждом такте, так как старшие (N-1) разрядов формируются параллельно на предыдущих тактах и поступают в N-й регистр хранения случайного числа 3 из предыдущего (N-1)-го регистра, N-й разряд формируется путем поразрядного логического перемножения кода условной вероятности появления единицы в младшем разряде выходного случайного числа из блока памяти 1_N и случайного числа, поступающего с выхода генератора 4.

Реализованный в предлагаемом устройстве способ формирования случайных чисел может быть назван конвейерным, так как каждое отдельное число проходит от регистра к регистру, формируясь по частям, как при конвейерной сборке, до получения полностью ''собранного'' числа через N тактов, где N - разрядность числа, определяющая его распределение.

Повышение быстродействия и выдача полноразрядных случайных чисел в каждом такте обеспечиваются параллельным и одновременным приформированием младших разрядов к частично сформированным числам в каждом регистре 3_i (на каждом ''рабочем месте'' конвейера) с последующей передачей ''полуфабриката'' в регистр 3_{i+1}, из которого в свою очередь в этот момент аналогичный ''полуфабрикат'' был передан в регистр 3_{i+2} и т.д.

В последние M (младших) разрядов выходного регистра 3_N могут быть дозаписаны равномерно распределенные числа, формируемые генератором 4, для уменьшения дискретности квантования по аргументу при воспроизведении случайных величин с непрерывными функциями распределения.

Технико-экономическая эффективность предлагаемого датчика случайных чисел определяется высоким быстродействием, сочетающимся с достаточной простотой технической реализации.

Быстродействие устройства в установившемся режиме, т.е. через N тактов после запуска, равно быстродействию схем, работающих по методу обратных функций [1] или мини-максному [2-3].

Структура высокорегулярна, что делает перспективным выпуск датчика в виде интегральной схемы специального назначения.

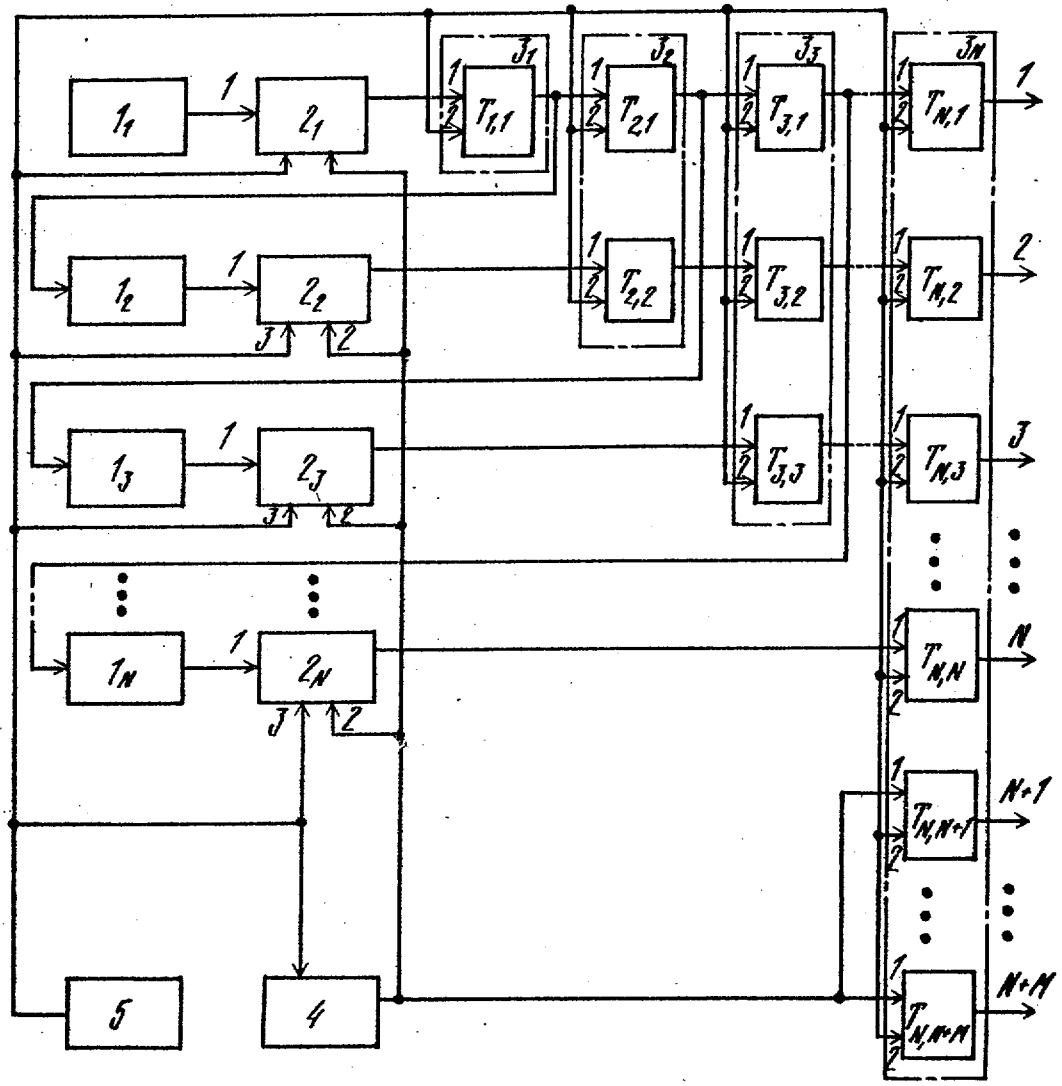
Формула изобретения

Датчик случайных чисел, содержащий первый ключ, к первому входу которого подключен выход первого блока памяти, первый регистр хранения случайного числа, включающий N основных триггеров и M дополнительных триггеров, выходы которых являются выходом датчика случайных чисел, генератор равновероятных двоичных чисел, выход которого соединен с вторым входом первого ключа и установочными входами M дополнительных триггеров первого регистра хранения случайного числа, а также генератор тактовых импульсов, выход которого подключен к входу генератора равновероятных двоичных чисел, к третьему входу первого ключа и входу синхронизации первого регистра хранения случайного числа, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия датчика, он содер-

жит дополнительные (N-1) регистры хранения случайного числа, разрядность которых возрастает соответственно на один от 1 до (N-1), (N-1) блоков памяти и (N-1) ключей, первые входы которых подключены к выходам соответствующих блоков памяти, вторые входы - к выходу генератора равновероятных двоичных чисел, третьи входы - к выходу генератора тактовых импульсов и ко входам синхронизации регистров хранения случайных чисел соответственно, а выход каждого из вероятностных вентилей подключен к установочному входу триггера младшего разряда соответствующего регистра хранения случайного числа, выходы разрядных триггеров каждого предыдущего регистра хранения случайного числа, расположенного в порядке возрастания числа разрядов, подключены к установочным входам старших разрядных триггеров последующего регистра хранения случайного числа и к адресным входам последующего блока памяти.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 351209, кл. G 06 F 7/58, 1970.
2. Авторское свидетельство СССР № 430368, кл. G 06 F 7/58, 1972.
3. Авторское свидетельство СССР № 185569, кл. G 06 F 7/58,1964 (прототип).



Составитель А.Карасов
Редактор Л.Утехина Техред А.Ач Корректор С.Шекмар

Заказ 10725/13 Тираж 748 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП ''Патент'', г. Ужгород, ул. Проектная, 4