



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву № 769540

(22) Заявлено 15.02.78 (21) 2579450/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.01.82. Бюллетень № 1

Дата опубликования описания 07.01.82

(11) 896617

(51) М. Кл.³

G 06 F 7/52

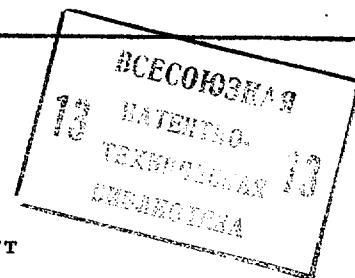
(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Б.Г. Лысицов и А.А. Шостак

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств в любой позиционной системе.

По основному авт. св. № 769540 известно устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор, n постоянных запоминающих блоков и буферных регистров (n - разрядность операндов), причем первый, второй и третий адресные входы каждого постоянного запоминающего блока подключены к выходам соответствующего разряда регистра множимого, выходу первого разряда регистра множителя и выходу соответствующего буферного регистра, вход которого соединен с выходом старших разрядов соответствующего постоянного запоминающего блока, выход младших разрядов которого подключен ко входу соответствующего разряда накапливающего сумматора, первый, второй и третий управляющие входы устройства подключены ко входам сдвига регистра множителя, и накапливающего сумматора и с управляющими входами переписывающих буферных резисторов [1].

2

Недостатком этого устройства является недостаточное быстродействие, ввиду использования накапливающего сумматора с распространением переноса.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что каждый разряд накапливающего сумматора содержит одноразрядный накапливающий сумматор, два коммутатора, узел хранения переноса, узел формирования транзитного переноса и узел формирования выходного переноса, причем входы первого коммутатора подключены ко входу данного разряда накапливающего сумматора и выходу одноразрядного накапливающего сумматора последующего разряда, а выход - ко входу накапливающего сумматора данного разряда, выход которого подключен к выходу данного разряда накапливающего сумматора, выход переноса одноразрядного накапливающего сумматора соединен со входом узла хранения переноса, выход которого соединен с первым входом узла формирования выходного переноса, выход которого является выходом переноса из данного разряда, накопи-

вающего сумматора, входы второго коммутатора соединены с выходом блока хранения переноса и входом переноса из предыдущего разряда накапливающего сумматора, а выход - со входом переноса одноразрядного накапливающего сумматора, входы узла формирования транзитного переноса соединены с выходом одноразрядного накапливающего сумматора и входом переноса из предыдущего разряда накапливающего сумматора, а выход подключен ко второму входу узла формирования выходного переноса, управляющий вход первого коммутатора соединен со входом управления сдвигом накапливающего сумматора, управляющий вход разрешения записи одноразрядного накапливающего сумматора соединен с четвертым управляющим входом устройства, управляющие входы блока хранения переноса и второго коммутатора соединены с пятым и шестым управляющими входами устройства.

На фиг. 1 приведено устройство, структурная схема; на фиг. 2 - функциональная схема второго коммутатора; на фиг. 3 - функциональная схема узла формирования транзитного переноса; на фиг. 4 дана упрощенная временная диаграмма работы устройства.

Устройство содержит (фиг. 1) регистры 1 и 2 множимого и множителя, накапливающий сумматор 3, содержащий n разрядов 4 (n - число разрядов операндов), постоянные запоминающие блоки 5, буферные регистры 6, каждый разряд 4 накапливающего сумматора 3 содержит одноразрядный сумматор 7, узел 8 хранения переноса, первый 9 и второй 10 коммутаторы, узлы 11 и 12 формирования соответственно транзитного и выходного переносов, причем адресные входы каждого постоянного запоминающего блока 5 соединены с выходом (шина) 13 первого разряда регистра 2 множителя, с выходом (шины) 14 значения соответствующего разряда регистра 1 множимого, с выходом соответствующего буферного регистра 6, вход которого соединен с выходом 15 старших разрядов результата постоянно запоминающего блока 5, выход 16 значения младших разрядов результата которого соединен с первым входом коммутатора 9, второй вход которого соединен с выходом 17 значения суммы сумматора 7 ($i+1$)-го разряда сумматора 3, а выход соединен со входом сумматора 7, дополнительный вход которого соединен с выходом второго коммутатора 10, первый вход которого соединен с выходом узла 12 формирования выходного переноса ($i-1$)-го разряда накапливающего сумматора 3, а второй вход соединен с выходом блока 8 хранения переноса, вход кото-

рого соединен с выходом 18 значения переноса сумматора 7, выход 17 значения суммы сумматора 7 соединен с первым входом узла 11 формирования транзитного переноса, второй вход которого соединен с выходом узла 12 формирования выходного переноса ($i-1$)-го разряда накапливающего сумматора 3, а выход соединен с первым входом узла 12 формирования выходного переноса, второй вход которого соединен с выходом узла 8 хранения переноса, причем управляющие входы 19-23 соответственно буферного регистра 6, сумматора 7, узла 8 хранения переноса, первого 9 и второго 10 коммутаторов соединены с управляющими входами устройства, а выход 17 значения суммы сумматора 7 является выходом 24 результата операционного модуля (разряда) 4.

Второй коммутатор 10 каждого разряда накапливающего сумматора 3 содержит (фиг. 2) три элемента И 25-27, элемент ИЛИ 28 и элемент НЕ 29, причем вход 30 является выходом блока 8 хранения переноса, вход 31 является выходом узла 12 формирования переноса ($i-1$)-го разряда накапливающего сумматора, а вход 23 является входом управления (здесь и далее для определенности предполагается, что используется двоично-кодированная система счисления). На выходе 32 коммутатора 10 выделяется перенос в разряд сумматора 7 с весом 2^0 , на выходе 33 - перенос в разряд сумматора с весом 2^1 .

Узел 11 формирования транзитного переноса содержит (фиг. 3) три элемента И 34-36 и элемент ИЛИ 37, выход 38 является выходом узла 11 формирования транзитного переноса из i -го разряда накапливающего сумматора. Для определенности здесь принято, что используется двоично-кодированная шестнадцатичная система S_0^{i-1} и S_1^{i-1} - переносы, образованные в узле 12 ($i-1$)-го разряда накапливающего сумматора 3 и поступающие в разряды сумматора 7 i -го разряда двоичными весами соответственно 2^0 и 2^1 , S_k^i - сумма (нумерация индексов соответствует возрастанию весовых коэффициентов).

В данном устройстве регистры 1 и 2 множимого и множителя могут быть реализованы на D-триггерах. Это же справедливо и в отношении буферного регистра 6 и узла 8 хранения переноса. Здесь предполагается, что в качестве сумматора 7 используется сумматор накапливающего типа с цепью образования параллельных переносов, который может быть построен на базе JK-триггеров известными способами.

В качестве узла 12 формирования выходного переноса может быть использован комбинационный одноразряд-

ный полусумматор, в котором, например, выход полусуммы формирует для i -го разряда перенос C_i^1 , а выход переноса - C_i^1 . Коммутатором 9 может служить переключательная схема, используемая по своему прямому назначению и реализованная на стандартных логических элементах 2И-2ИЛИ.

Работа устройства может быть описана с помощью временной диаграммы (фиг.4). Во время загрузки устройства производится одновременное либо последовательное занесение сомножителей в регистры 1 и 2 (здесь предполагается, что сомножители представлены прямыми кодами без знаков в виде правильных дробей), а также гашение информации в буферном регистре 6, в сумматоре 7 и узле 8 хранения переноса всех разрядов (на чертеже этот участок временной диаграммы не конкретизируется). Далее циклически выполняется n идентичных шагов умножения с временным циклом $T_{ш}$, включающим две составляющие T_1 и T_2 . Ниже рассматривается работа некоторого i -го разряда, так как функционирование всех других разрядов одинаково и синхронно во времени.

В промежутке времени T_1 формируется результат на выходах 15 и 16 постоянно запоминающего блока 5, являющийся по существу суммой произведения сомножителей, поступающих по шинам 13 и 14, и слагаемого, поступающего с выхода буферного регистра 6 и прибавляемого к младшим разрядам произведения. Одновременно с этим во времени в промежутке времени T_1 производится суммирование информации в сумматоре 7, а в промежутке T_1'' осуществляется передача содержимого сумматора 7 ($i+1$ -го разряда в сумматор 7 i -го разряда через первый коммутатор 9 под действием первого синхроимпульса СИ20 в шаге с разрешения низкого уровня управляющего сигнала УС22, т.е. фактически в промежутке времени T_1'' осуществляется сдвиг информации в разрядах устройства для умножения в направлении их младших разрядов. По заднему фронту первого синхроимпульса СИ20 в шаге происходит изменение низкого уровня управляющего сигнала УС22 на высокий.

В промежутке времени T_2 под действием синхроимпульса СИ19 и второго синхроимпульса в шаге СИ20 происходит соответственно запись старших разрядов результата с выхода 15 постоянного запоминающего блока 5 в буферный регистр 6 и передача младших разрядов результата с выхода 16 постоянного запоминающего блока 5 через первый коммутатор 9 с разрешения высокого уровня управляющего сигнала УС22 в сумматор 7, в

котором в дальнейшем (в следующем шаге в промежутке времени T_1') происходит суммирование трех составляющих: содержимого сумматора, значения младших разрядов результата постоянного запоминающего блока 5 и значения переноса, хранимого в узле 8 хранения переноса, и подаваемого на дополнительный вход сумматора 7 через второй коммутатор 10 с разрешения высокого уровня управляющего сигнала УС23. Одновременно с этим во времени в регистре 2 множителя под действием синхроимпульса СИ2 осуществляется однократный сдвиг информации в сторону его младших разрядов. По заднему фронту второго синхроимпульса СИ20 в шаге происходит изменение высокого уровня управляющего сигнала УС22 на низкий. Аналогичным образом может быть рассмотрено выполнение любого другого из n первых шагов умножения.

После выполнения n шагов умножения требуются два дополнительных шага коррекции с временными задержками T_1^k и T_2^k , каждая из которых в первом приближении может быть принята равной T_m . В первом шаге коррекции фактически происходит передача содержимого буферного регистра 6 через постоянно запоминающий блок 5 и первый коммутатор 9 в сумматор 7, где происходит в дальнейшем суммирование, так как по шине 13 значения младших разрядов множителя поступает нулевая информация. Во втором шаге коррекции производится приведение переносов, возникающих в первом шаге коррекции на выходах 18 сумматоров 7. При этом под действием низкого уровня управляющего сигнала УС23 осуществляется передача через вторые коммутаторы 10 значений переносов, образованных с помощью узлов 11 и 12, на дополнительные входы сумматоров 7 с последующим их учетом. В результате этого на выходах 24 формируются n старших разрядов произведения. В тех же случаях, когда необходимо получение $2 \cdot n$ -разрядного произведения следует воспользоваться известным техническим решением, а именно, осуществлять передачу в каждом шаге содержимого сумматора 7 первого разряда и высвобождающиеся старшие разряды регистра 2 множителя.

Повышение быстродействия по сравнению с известным устройством происходит от того, что в каждом такте работы предлагаемого устройства не производится приведение переносов в накапливаемом сумматоре.

формула изобретения

Устройство для умножения по авт. св. № 769540, отличающееся

тем, что, с целью повышения быстродействия устройства, каждый разряд накапливающего сумматора содержит одноразрядный накапливающий сумматор, два коммутатора, узел хранения переноса, узел формирования транзитного переноса и узел формирования выходного переноса, причем входы первого коммутатора подключены ко входу данного разряда накапливающего сумматора и выходу одноразрядного накапливающего сумматора последующего разряда, а выход - ко входу накапливающего сумматора данного разряда, выход которого подключен к выходу данного разряда накапливающего сумматора, выход переноса одноразрядного накапливающего сумматора соединен со входом узла хранения переноса, выход которого соединен с первым входом узла формирования выходного переноса, выход которого является выходом переноса из данного разряда, накапливающего сумматора, входы второго коммутатора соединены с выходом блока хранения переноса и входом переноса из предыдущего разряда накоп-

ливающего сумматора, а выход - со входом переноса одноразрядного накапливающего сумматора, входы узла формирования транзитного переноса соединены с выходом одноразрядного накапливающего сумматора и входом переноса из предыдущего разряда накапливающего сумматора, а выход подключен ко второму входу узла формирования выходного переноса, управляющий вход первого коммутатора соединен со входом управления сдвигом накапливающего сумматора, управляющий вход разрешения записи одноразрядного накапливающего сумматора соединен с четвертым управляющим входом устройства, управляющие входы блока хранения переноса и второго коммутатора соединены с пятым и шестым управляющими входами устройства.

5

10

15

20

Источники информации,
принятые во внимание при экспертизе

1. Авторское свидетельство СССР
№ 769540, кл. G 06 F 7/39, 25.01.78
(прототип).

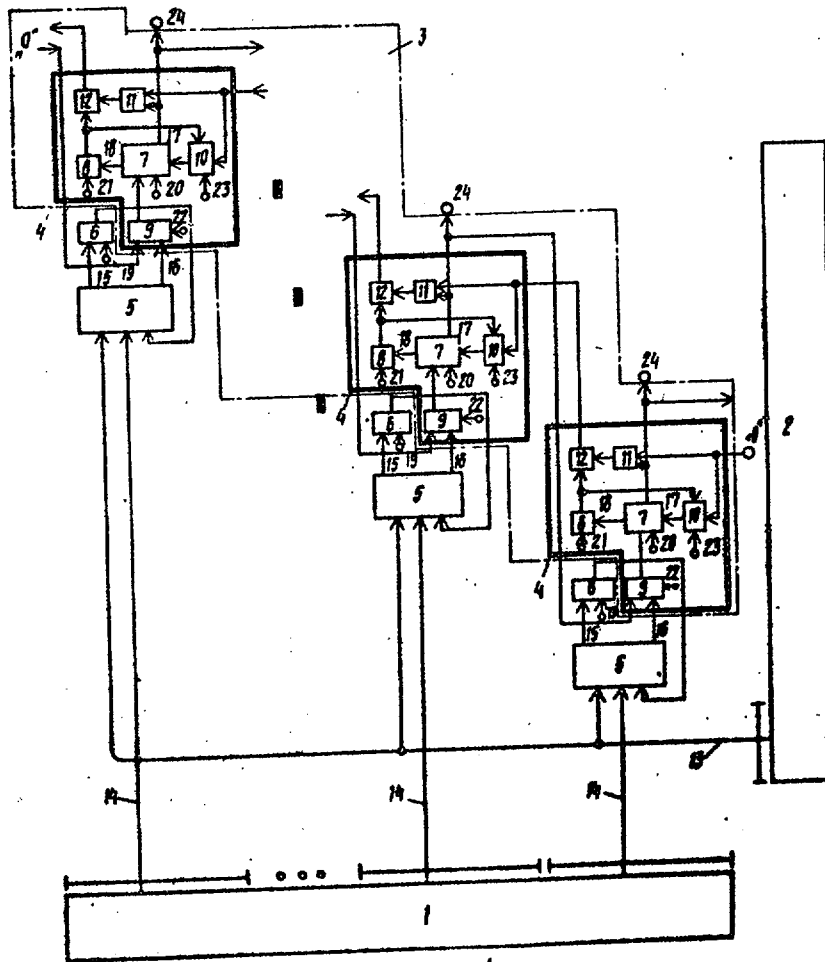
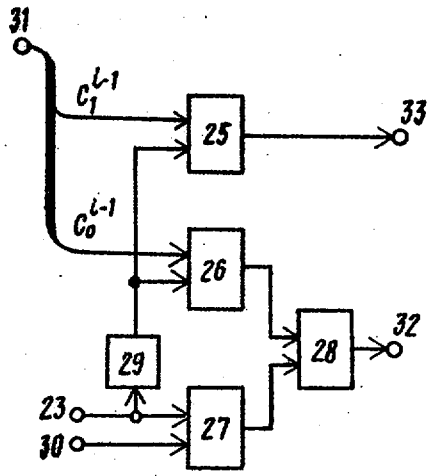
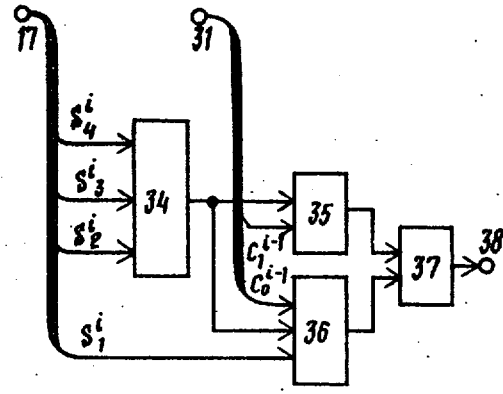


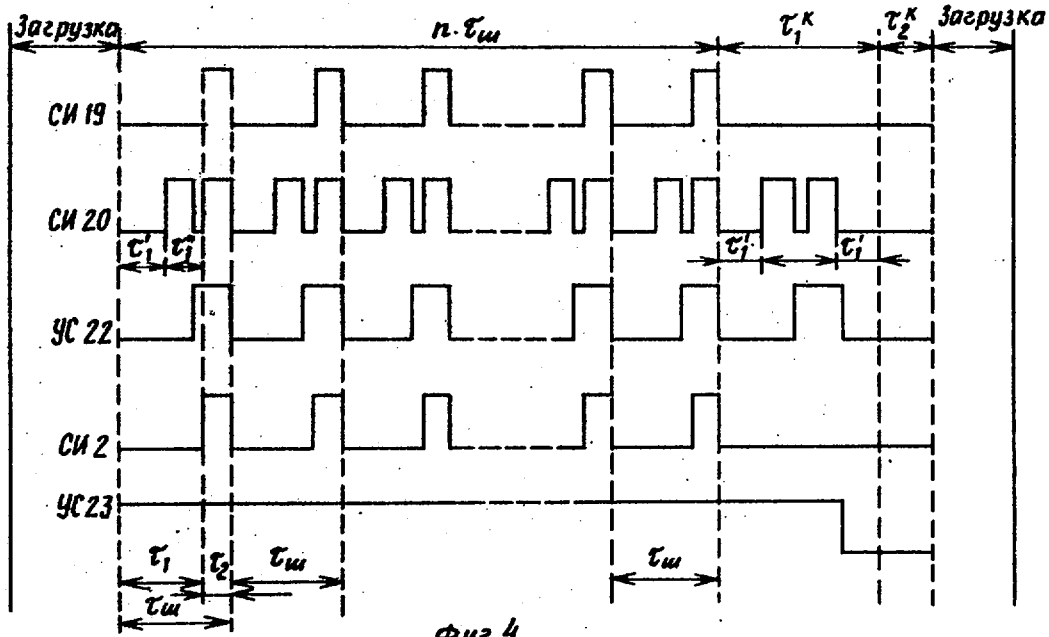
Fig. 1



Фиг. 2



Фиг. 3



Фиг. 4

Составитель В. Березкин
 Редактор Е. Папп Техред А.Ач Корректор О. Билак

Заказ 11699/37 Тираж 731 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4