

Министерство образования Республики Беларусь
Учреждение образования
«Белорусский государственный университет
информатики и радиоэлектроники»

ЦИФРОВЫЕ УСТРОЙСТВА ЛАБОРАТОРНЫЙ ПРАКТИКУМ

*Рекомендовано УМО вузов Республики Беларусь по образованию
в области информатики и радиоэлектроники в качестве
учебно-методического пособия для студентов учреждений,
обеспечивающих получение высшего образования по специальностям
«Радиотехника», «Радиоэлектронные системы»,
«Радиоэлектронная защита информации»*

Минск БГУИР 2010

УДК 621.374(076.5)
ББК 32.847я73
Ц75

А в т о р ы :

Р. Г. Ходасевич, В. Н. Левкович, А. В. Мартинович, Е. Н. Каленкович

Р е ц е н з е н т ы :

Кафедра радиоэлектроники Учреждения образования «Полоцкий государственный университет» (протокол № 3 от 22 марта 2010 года)

Доцент кафедры информатики Учреждения образования «Белорусский государственный университет», кандидат технических наук И. П. Стецко

Цифровые устройства. Лабораторный практикум : учеб.-метод. пособие / Р. Г. Ходасевич, В. Н. Левкович, А. В. Мартинович, Е. Н. Каленкович. – Минск : БГУИР, 2010. – 112 с.: ил.
ISBN 978-985-488-601-5

Лабораторный практикум состоит из восьми лабораторных работ и предназначен для получения навыков компьютерного моделирования работы цифровых устройств в среде Multisim, а также приобретения практических навыков физического макетирования и исследования основных логических элементов и интегральных схем на лабораторном стенде IDL-800 с использованием контрольно-измерительных приборов. Содержит теоретические сведения по проектированию и применению наиболее распространенных цифровых узлов и устройств.

Для специальностей «Радиотехника», «Радиоэлектронные системы», «Радиоэлектронная защита информации». Может быть использован для проведения лабораторных работ по схемотехнике цифровых и аналоговых устройств для специальностей «Промышленная электроника», «Радиоинформатика», «Медицинская электроника», «Техническое обеспечение безопасности», «Моделирование и компьютерное проектирование радиоэлектронных средств».

УДК 621.374(076.5)
ББК 32.847я73

ISBN 978-985-488-601-5

© УО «Белорусский государственный университет информатики и радиоэлектроники», 2010

Содержание

<i>Лабораторная работа № 1. Исследование логических элементов в среде схемотехнического моделирования Multisim</i>	5
1.1. Цель работы	5
1.2. Краткие теоретические сведения	5
1.3. Среда схемотехнического моделирования Multisim.....	8
1.3.1. Контрольно-измерительные приборы Multisim.....	10
1.3.2. Компоненты Multisim.....	17
1.3.3. Создание схем в Multisim.....	18
1.4. Порядок выполнения лабораторной работы	19
1.5. Содержание отчёта	21
1.6. Контрольные вопросы	21
<i>Лабораторная работа № 2. Преобразователи кодов</i>	22
2.1. Цель работы	22
2.2. Общие сведения о преобразователях кодов.....	22
2.3. Порядок выполнения лабораторной работы	28
2.4. Содержание отчёта	29
2.5. Контрольные вопросы	29
<i>Лабораторная работа № 3. Суммирующие и вычитающие устройства</i>	30
3.1. Цель работы	30
3.2. Общие сведения о суммирующих и вычитающих устройствах	30
3.3. Порядок выполнения лабораторной работы	37
3.4. Содержание отчёта	38
3.5. Контрольные вопросы	30
<i>Лабораторная работа № 4. Мультиплексоры и демультиплексоры</i>	39
4.1. Цель работы	39
4.2. Теоретические сведения.....	39
4.3. Порядок выполнения лабораторной работы	46
4.4. Содержание отчёта	46
4.5. Контрольные вопросы	46
<i>Лабораторная работа № 5. Шифраторы и дешифраторы</i>	47
5.1. Цель работы	47
5.2. Теоретические сведения.....	47
5.3. Порядок выполнения лабораторной работы	53
5.4. Содержание отчёта	53
5.5. Контрольные вопросы	54
<i>Лабораторная работа № 6. Триггерные устройства</i>	55

6.1. Цель работы	55
6.2. Теоретические сведения	55
6.2.1. RS-триггеры	56
6.2.2. D-триггеры	62
6.2.3. JK-триггеры	66
6.2.4. T-триггеры	71
6.3. Порядок выполнения лабораторной работы	72
6.4. Содержание отчёта	73
6.5. Контрольные вопросы	73
<i>Лабораторная работа № 7. Регистры</i>	74
7.1. Цель работы	74
7.2. Общие сведения о регистрах	74
7.2.1. Параллельные регистры	75
7.2.2. Последовательные регистры	76
7.2.3. Реверсивные регистры	81
7.3. Порядок выполнения лабораторной работы	83
7.4. Содержание отчета	84
7.5. Контрольные вопросы	84
<i>Лабораторная работа № 8. Счетчики</i>	85
8.1. Цель работы	85
8.2. Общие теоретические сведения о счетчиках	85
8.2.1. Асинхронные последовательные счетчики	86
8.2.2. Синхронные параллельные счетчики	93
8.2.3. Способы формирования сигналов переноса в счетчиках	93
8.2.4. Счетчики с произвольным модулем счета	99
8.3. Порядок выполнения лабораторной работы	102
8.4. Содержание отчета	103
8.5. Контрольные вопросы	103
ЛИТЕРАТУРА	104
Приложение 1. Универсальный лабораторный стенд IDL-800	105
Приложение 2. Основные параметры логических элементов	107
Приложение 3. Стандартные цифровые интегральные схемы и их зарубежные аналоги	108

Лабораторная работа № 1. Исследование логических элементов в среде схмотехнического моделирования Multisim

1.1. Цель работы

1. Углубление и закрепление теоретических знаний по схмотехническому проектированию и применению логических элементов наиболее распространенных цифровых интегральных схем (ИС).

2. Получение навыков компьютерного моделирования работы логических элементов в среде Multisim.

3. Приобретение практических навыков работы с реальными цифровыми устройствами и контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

1.2. Краткие теоретические сведения

Теоретической базой и основой проектирования схем цифровых устройств является алгебра логики (булева алгебра), оперирующая логическими переменными. Математический аппарат алгебры логики применяется для описания поведения логического устройства, а также для анализа и синтеза сколь угодно сложных логических схем.

По способу функционирования цифровые логические устройства делятся на два класса: комбинационные и последовательностные.

В *комбинационных* логических устройствах выходные сигналы зависят только от текущего значения входной *комбинации* логических сигналов без их запоминания. В комбинационных логических схемах отсутствуют обратные связи (это сумматоры, дешифраторы, мультиплексоры и другие устройства).

В *последовательностных* логических устройствах выходные сигналы зависят не только от набора входных сигналов, действующих в данный момент времени, но и от состояния внутреннего запоминающего устройства, сохраняющего сведения о *последовательности* значений входных сигналов в прошлом (это триггеры, счетчики, регистры).

Рассмотрим некоторое логическое устройство, на входе которого присутствует n -разрядный двоичный код x_{n-1}, \dots, x_1, x_0 , а на выходе соответственно m -разрядный двоичный код z_{m-1}, \dots, z_1, z_0 (рис. 1.1).

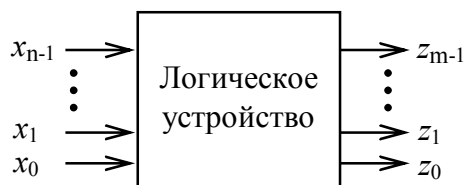


Рис. 1.1. Обобщенная схема логического устройства

Зависимость выходной переменной z , выраженная через совокупность входных переменных x_{n-1}, \dots, x_1, x_0 с помощью операций алгебры логики, носит

название *функции алгебры логики* (ФАЛ). Задать ФАЛ это значит определить значения z для всех возможных комбинаций значений переменных x_{n-1}, \dots, x_1, x_0 . Очевидно, что для n -разрядного двоичного кода x_{n-1}, \dots, x_1, x_0 существует 2^n различных значений z .

Функции алгебры логики могут быть заданы аналитическим или табличным способом. При аналитическом способе ФАЛ задается в виде логических выражений, которые могут быть преобразованы с помощью законов и правил алгебры логики.

При табличном способе ФАЛ задается таблицей истинности, где число всех возможных наборов (комбинаций) значений аргументов конечно. Если число аргументов ФАЛ равно n , то число их возможных наборов значений $N = 2^n$, а число различных функций $F = 2^N$, тогда при $n = 2$ функция $F = 16$.

Составим таблицу истинности (табл. 1.1) для всех возможных элементарных ФАЛ $F_0 \dots F_{15}$ двух аргументов, принимающих только два логических значения: 0 или 1.

Таблица 1.1

Аргументы		Функции															
x_1	x_2	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8	F_9	F_{10}	F_{11}	F_{12}	F_{13}	F_{14}	F_{15}
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

В левой части табл. 1.1 перечислены все возможные наборы значений аргументов x_1 и x_2 , в правой части приведены значения ФАЛ на соответствующих входных наборах. Значения всей совокупности этих наборов переменных представлены в таблице последовательностью чисел в двоичной системе счисления.

Каждая ФАЛ $F_0 \dots F_{15}$ обозначает одну из 16 возможных логических операций над двумя переменными x_1 и x_2 , имеет свою таблицу истинности, собственное название и условное обозначение. Основные сведения об элементарных функциях $F_0 \dots F_{15}$ приведены на рис. 1.2.

Из 16 возможных элементарных функций $F_0 \dots F_{15}$, приведенных на рис. 1.2, наибольшее применение нашли следующие функции:

$$F_3(x_1) = x_1; F_5(x_2) = x_2 \text{ – повторители 1-го и 2-го аргументов;}$$

$$F_{12}(x_1) = \overline{F_3(x_1)} = \overline{x_1}; F_{10}(x_2) = \overline{F_5(x_2)} = \overline{x_2} \text{ – инверсии 1-го и 2-го аргументов;}$$

$$F_1(x_1, x_2) = x_1 \wedge x_2 \text{ – функция И (конъюнкция), логическое умножение;}$$

$$F_7(x_1, x_2) = x_1 \vee x_2 \text{ – функция ИЛИ (дизъюнкция), логическое сложение;}$$

$F_{14}(x_1, x_2) = \overline{F_1(x_1, x_2)} = \overline{x_1 \wedge x_2} = x_1 | x_2$ – И-НЕ, носит название *штрих Шеффера*, образует функционально полную систему (базис Шеффера), в стандартных сериях ИС имеет код ЛАЗ (аналог 74LS00);





























ФАЛ	Операционный символ	Обозначения логических элементов	
		ГОСТ	стандарт ANSI
$F_0 = 0$	0	Константа 0	Const 0
$F_1(x_1, x_2) = x_1 \cdot x_2$	$x_1 \wedge x_2$	 И (логическое умножение)	 AND (conjunction)
$F_2(x_1, x_2) = x_1 \cdot \overline{x_2}$	$x_1 \leftarrow x_2$	 Запрет x_2	 Inhibition x_2
$F_3(x_1, x_2) = x_1$ $= x_1 \cdot \overline{x_2} + x_1 \cdot x_2$	x_1	 Повторитель x_1	 BF (buffer x_1)
$F_4(x_1, x_2) = \overline{x_1} \cdot x_2$	$x_2 \leftarrow x_1$	 Запрет x_1	 Inhibition x_1
$F_5(x_1, x_2) = \overline{x_1} \cdot x_2 + x_1 \cdot \overline{x_2}$	x_2	 Повторитель x_2	 BF (buffer x_2)
$F_6(x_1, x_2) = \overline{x_1 \cdot x_2} + \overline{x_1 \cdot \overline{x_2}}$	$x_1 \oplus x_2$	 Исключающее ИЛИ	 EOR, XOR (exclusive OR)
$F_7(x_1, x_2) = x_1 + x_2$	$x_1 \vee x_2$	 ИЛИ (логическая сумма)	 OR (disjunction)
$F_8(x_1, x_2) = \overline{x_1 + x_2}$	$x_1 \downarrow x_2$	 ИЛИ-НЕ (функция Пирса)	 NOR (Peers F.)
$F_9(x_1, x_2) = \overline{x_1 \cdot x_2} + \overline{x_1 \cdot \overline{x_2}}$	$x_1 \otimes x_2$	 Исключающее ИЛИ-НЕ	 ENOR, XNOR (exclusive NOR)
$F_{10}(x_1, x_2) = \overline{x_1 \cdot \overline{x_2} + x_1 \cdot x_2}$	$\overline{x_2}$	 НЕ (инвертор x_2)	 NOT (invertor x_2)
$F_{11}(x_1, x_2) = x_1 + \overline{x_2}$	$x_2 \rightarrow x_1$	 Импликация	 Implication
$F_{12}(x_1, x_2) = \overline{x_1 \cdot x_2} + x_1 \cdot x_2$	$\overline{x_1}$	 НЕ (инвертор x_1)	 NOT (invertor x_1)
$F_{13}(x_1, x_2) = \overline{x_1} + x_2$	$x_1 \rightarrow x_2$	 Импликация	 Implication
$F_{14}(x_1, x_2) = \overline{x_1 \cdot x_2}$	$x_1 x_2$	 И-НЕ (функция Шеффера)	 NAND (Shaffer F.)
$F_{15} = 1$	1	Константа 1	Const 1

Рис. 1.2. Элементарные функции алгебры логики

$F_8(x_1, x_2) = \overline{F_7(x_1, x_2)} = \overline{x_1 \vee x_2} = x_1 \downarrow x_2$ – функция ИЛИ-НЕ, носит название *стрелка Пирса*, образует функционально полную систему (базис Пирса), в стандартных сериях ИС имеет код ЛЕ1 (аналог 74LS02);

$F_6(x_1, x_2) = x_1 \oplus x_2 = \overline{x_1} \cdot x_2 \vee x_1 \cdot \overline{x_2}$ – функция “Неравнозначность”, реализуется логическим элементом Иключающее ИЛИ (сумматор по модулю два), в стандартных сериях ИС имеет код ЛП5 (аналог 74LS86);

$F_9(x_1, x_2) = \overline{F_6(x_1, x_2)} = \overline{x_1 \oplus x_2} = x_1 \cdot x_2 \vee \overline{x_1} \cdot \overline{x_2}$ – функция “Равнозначность”, реализуется логическим элементом Иключающее ИЛИ-НЕ, в стандартных сериях ИС имеет код ЛП13 (аналог 74НС266).

Рассмотренные элементарные функции двух аргументов $F_0 \dots F_{15}$ реализуются с помощью логических элементов И, ИЛИ, НЕ, которые выполняют соответствующие логические операции.

1.3. Среда схемотехнического моделирования Multisim

Наряду с физическими (реальными) экспериментами в настоящее время широкое распространение получило компьютерное проектирование и анализ цифровых устройств в среде схемотехнического моделирования Multisim. Особенностью программной среды Multisim является наличие в ее библиотеке более 16 000 электронных компонентов, а также наличие контрольно-измерительных приборов, которые по характеристикам приближены к их промышленным аналогам.

С помощью программы Multisim можно создавать, моделировать и исследовать как простые, так и сложные аналоговые и цифровые радиоэлектронные устройства.

Программа Multisim имитирует реальное рабочее место в исследовательской лаборатории, которое оборудовано измерительными приборами: генераторами, мультиметрами, осциллографами, анализатором спектра, измерителем АЧХ и ФЧХ, измерителем нелинейных искажений, преобразователем и анализатором логических сигналов и др.

Multisim является программой с многооконным графическим интерфейсом, позволяющим строить и редактировать схемы, модели и изображения компонентов, а также представлять результаты расчетов в удобном графическом виде.

Пользовательский интерфейс программы показан на рис. 1.3 и состоит из следующих элементов: строка меню 1, панель инструментов 2, панель разработки 3, окно редактирования 4, приборная панель 5.

Рассмотрим некоторые модели контрольно-измерительных приборов, вынесенные на приборную панель.

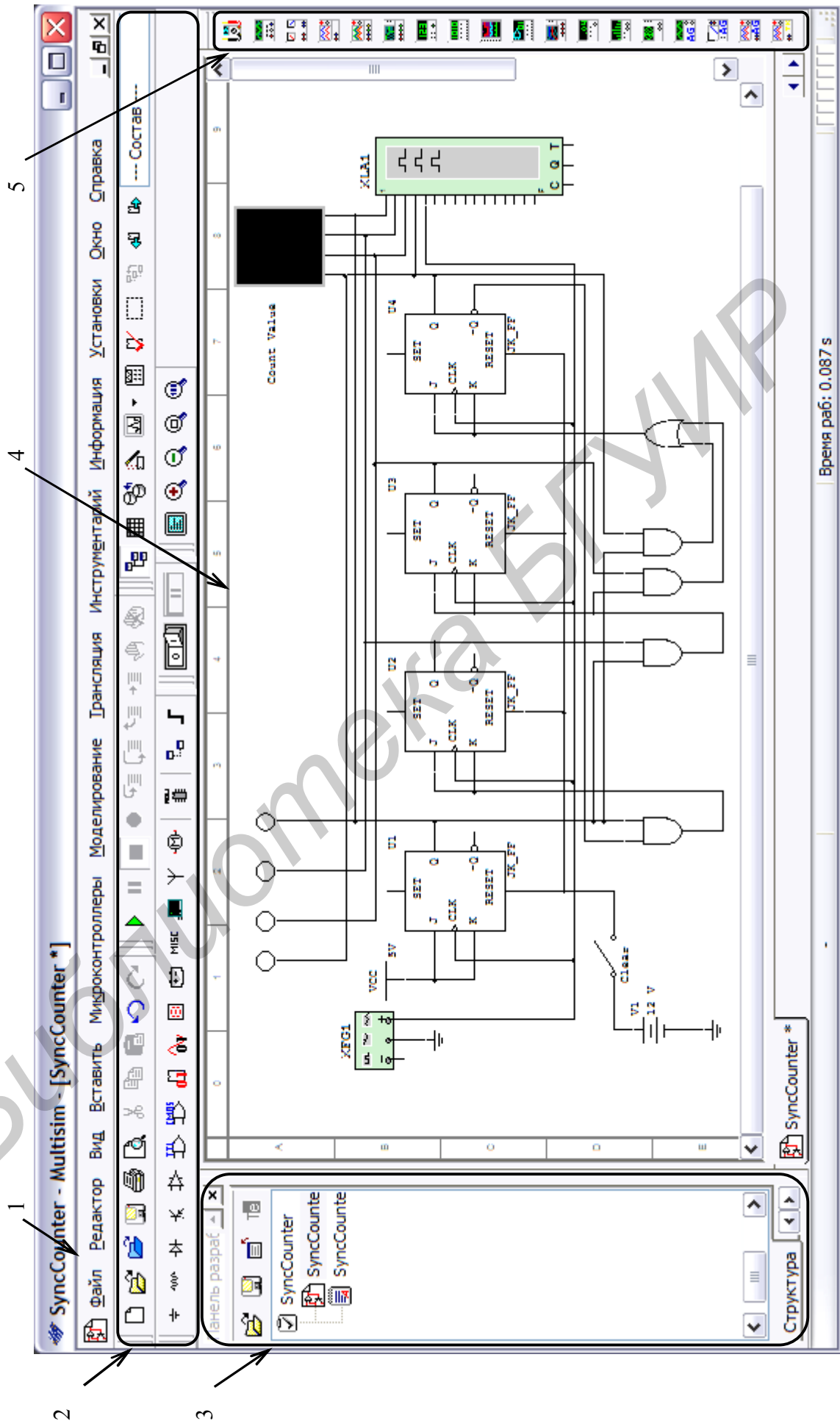


Рис. 1.3. Интерфейс программы Multisim

1.3.1. Контрольно-измерительные приборы Multisim

Осциллограф (Oscilloscope) позволяет проводить анализ сигналов во временной области. Внешний вид и лицевая панель осциллографа показаны на рис. 1.4.

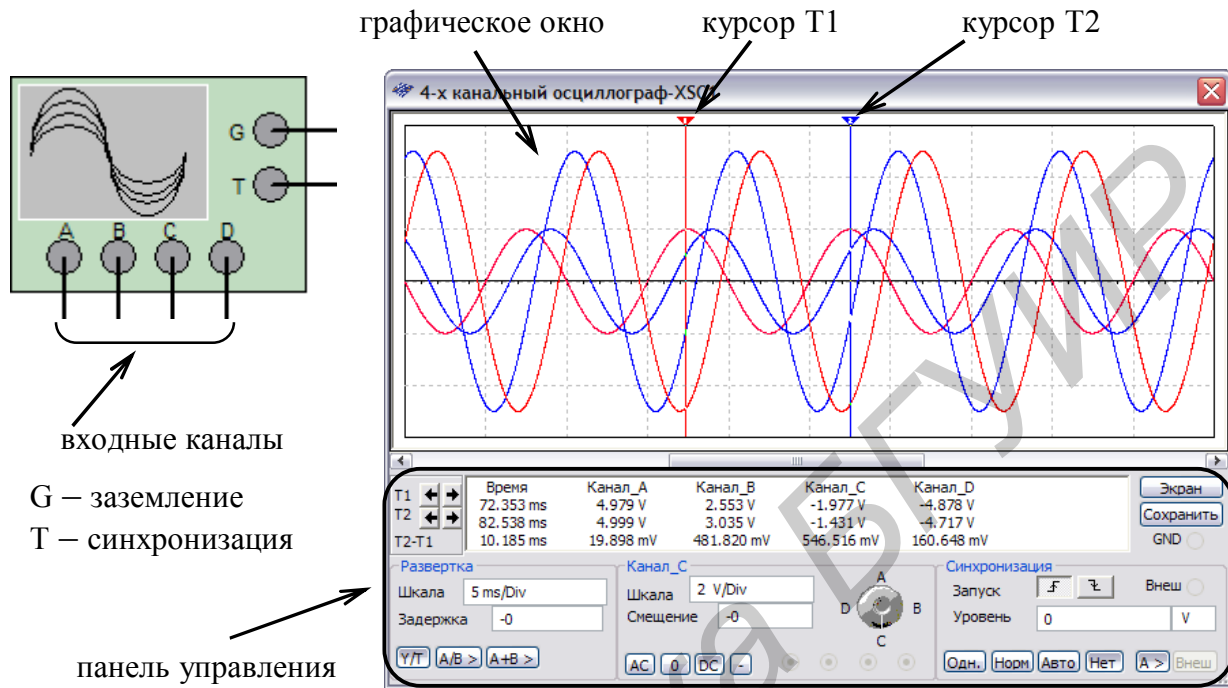


Рис. 1.4. Четырехканальный осциллограф

Модель имеет четыре канала A, B, C и D с отдельной регулировкой чувствительности в диапазоне от 10^{-15} В/дел до 10^{15} В/дел, а также регулировкой смещения по горизонтали и по вертикали.

Для настройки отображения измеряемого сигнала используется панель управления осциллографа (рис. 1.5). Выбор режима работы по входу осуществляется нажатием кнопок «AC», «0», «DC», «-» (инверсный режим – только для канала B). Режим AC равносителен введению емкостного фильтра в цепь сигнала, при этом отображается только переменная составляющая сигнала. В режиме 0 входной канал замыкается на землю. В режиме DC отображаются обе составляющие сигнала. В инверсном режиме сигнал инвертируется относительно положения нуля.

Для выбора режима развертки используются кнопки Y/T, A/B >, A+B >. В режиме Y/T реализуется временная развертка для каждого канала, т.е. горизонтальная ось представляет собой ось времени, а сигналы каналов A, B, C, D отображаются по вертикальной оси. Длительность развертки задается в поле Scale (Шкала) параметра Timebase и варьируется в диапазоне от 10^{-15} с/дел до 10^{+15} с/дел. В режиме A+B > отображается суммарный сигнал по двум выбранным каналам. Для построения передаточной характеристики исследуемой схемы используется режим A/B >.

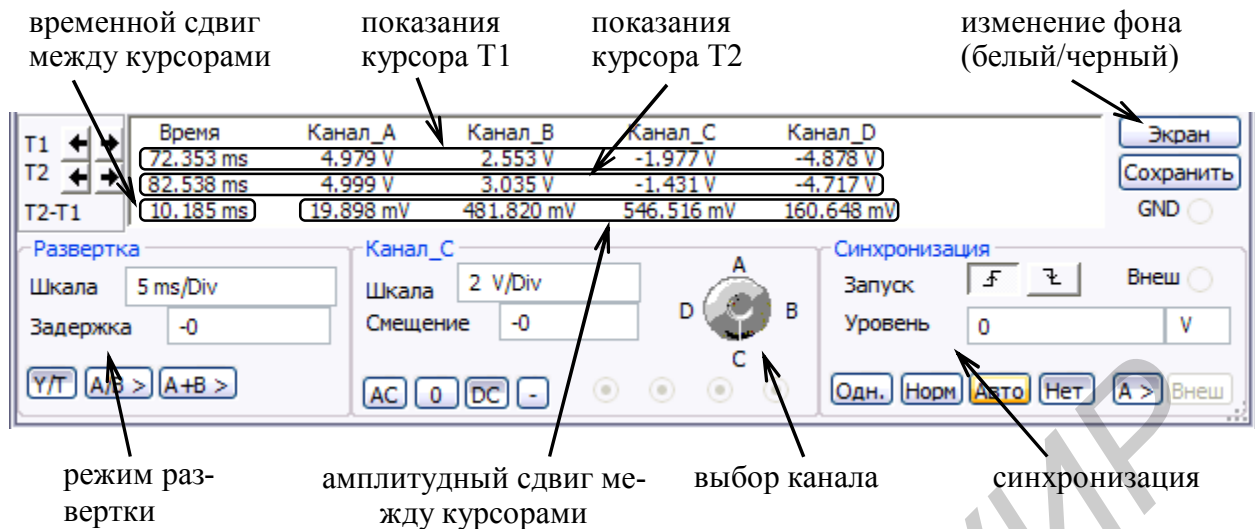


Рис. 1.5. Панель управления осциллографа

Функциональный генератор (Function Generator) представляет собой источник сигнала синусоидальной, треугольной или прямоугольной формы. Внешний вид и лицевая панель генератора показаны на рис. 1.6.

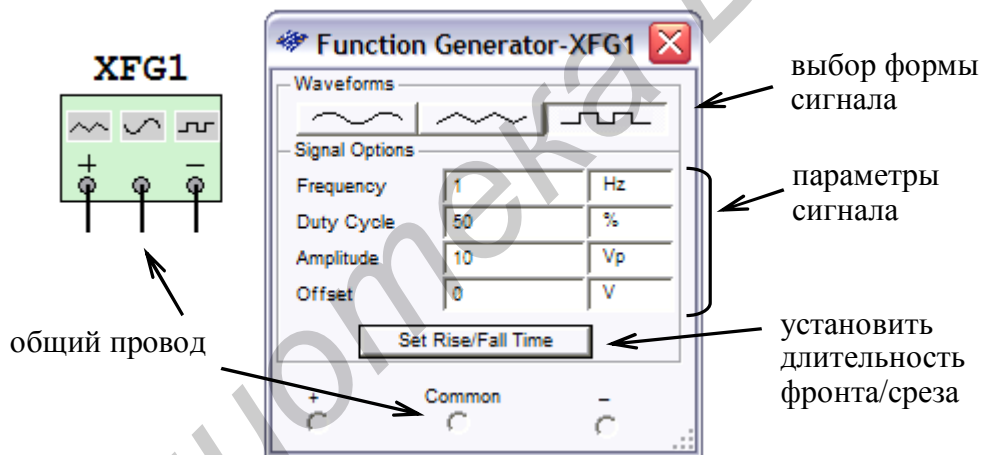


Рис. 1.6. Функциональный генератор

Настройка параметров генерируемого сигнала осуществляется с помощью органов управления, объединенных в группу Signal Options:

- Frequency (Частота) – установка частоты выходного сигнала в диапазоне от 10^{-15} Гц до 10^{+15} Гц;
- Duty Cycle – установка коэффициента заполнения в диапазоне от 1% до 99%, для импульсных сигналов это отношение длительности импульса к периоду повторения (величина обратная скважности);
- Amplitude – установка амплитуды выходного сигнала в диапазоне от 10^{-15} В до 10^{+15} В;
- Offset – установка величины постоянной составляющей выходного сигнала в диапазоне от -10^{+15} В до $+10^{+15}$ В.

Логический преобразователь (Logic Converter) предназначен для выполнения функциональных преобразований в схеме. Внешний вид логического преобразователя показан на рис. 1.7.

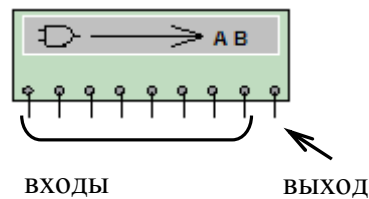


Рис. 1.7. Внешний вид логического преобразователя

Логический преобразователь имеет восемь входов (A, B,...,H) и один выход (Out), экран для отображения таблицы истинности исследуемой схемы, строку для отображения ее логического выражения, панель выбора преобразования (Conversions). Лицевая панель прибора показана на рис. 1.8.

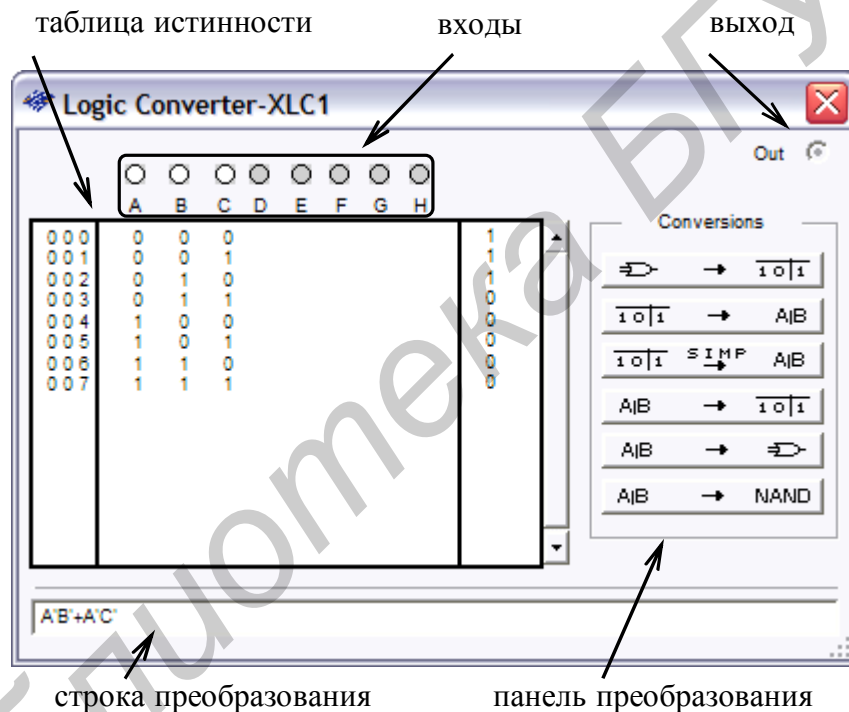


Рис.1.8. Лицевая панель логического преобразователя

С помощью преобразователя можно осуществлять следующие операции.

Получение таблицы истинности схемы. Для получения таблицы истинности необходимо подключить входы логического преобразователя к входам исследуемой схемы, выход логического преобразователя соединить с выходом схемы, запустить преобразование нажатием кнопки $\Rightarrow \rightarrow \overline{101}$ (рис. 1.9).

Получение логического выражения по таблице истинности. Для этого необходимо задать количество аргументов и для каждого набора задать значение функции алгебры логики. Задание количества аргументов осуществляется с помощью экранных кнопок над буквами на лицевой панели прибора. Получить логическое выражение нажатием кнопки $\overline{101} \rightarrow A|B$ или логическое выражение

в дизъюнктивной нормальной форме нажатием кнопки $\overline{1\ 0\ 1} \approx \overline{1\ 0\ 1} \rightarrow A\overline{B}$.

Получение таблицы истинности по логическому выражению. Для этого необходимо в строку преобразования ввести логическое выражение. Нажать кнопку $A\overline{B} \rightarrow \overline{1\ 0\ 1}$. При вводе выражения инверсия обозначается апострофом «'», логическое сложение знаком «+», логическое умножение не обозначается.

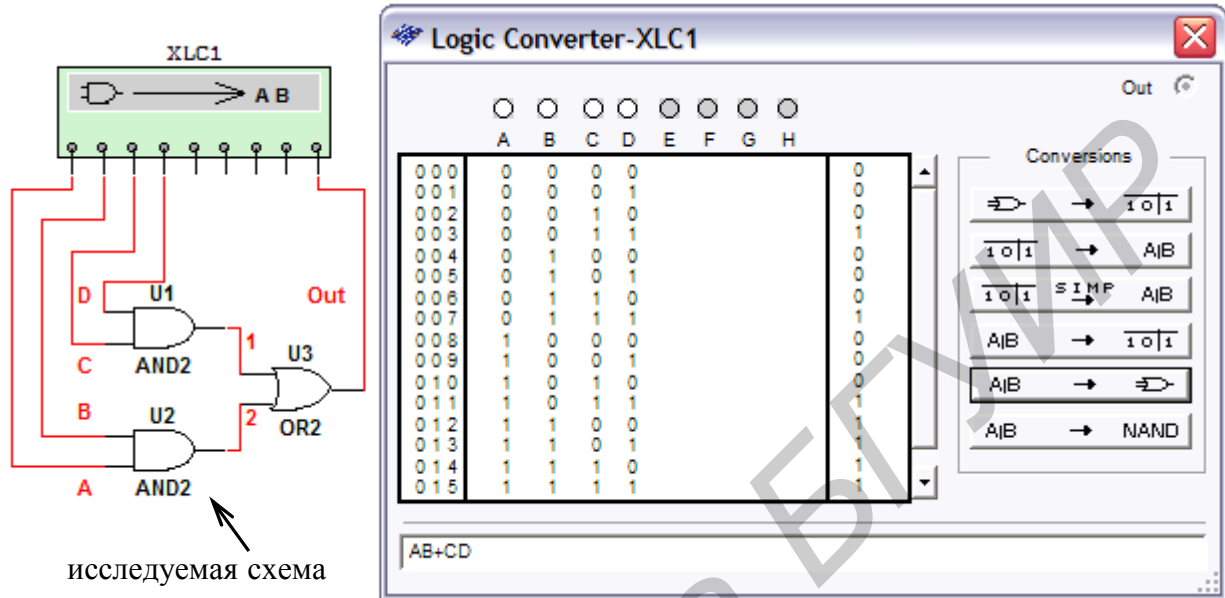



Рис. 1.9. Получение таблицы истинности схемы

Синтез логического устройства по логическому выражению. Для получения схемы, реализующей функцию, заданную логическим выражением, необходимо ввести выражение в строке преобразования и нажать кнопку $A\overline{B} \rightarrow \Rightarrow$. Для построения схемы в базисе Шеффера (И-НЕ) нажать кнопку $A\overline{B} \rightarrow \text{NAND}$.

Генератор слов (Word Generator) предназначен для генерации до 8192 32-разрядных двоичных слов. Внешний вид и лицевая панель генератора показаны на рис. 1.10. Ввод генерируемых слов производится в буфере ввода. Формат отображения кодовых слов выбирается с помощью группы кнопок Display (Hex – шестнадцатеричный, Dec – десятичный, Binary – двоичный, ASCII – символьный код). Частота генерации кодовых слов задается в окне Frequency (Частота) и лежит в диапазоне от 1 Гц до 1000 МГц. В процессе работы на каждом выводе генератора появляется логический уровень согласно разряду двоичного кодового слова, при этом генератор работает в трех режимах:

- Step (Пошаговый) – каждый раз при подаче очередного слова на выход моделирование останавливается;
- Burst (Пакетный) – генерируется последовательность кодовых слов, начиная с начальной \downarrow позиции и заканчивая конечной \uparrow позицией, моделирование останавливается при достижении конечной позиции;
- Cycle (Циклический) – на выводах генератора последовательно появляются логические уровни согласно комбинации слов, генерирование осуществляется до тех пор, пока не будет остановлено моделирование или

достигнута точка прерывания (Breakpoint .

Во время моделирования курсор  в окне «буфер вывода» указывает на текущее генерируемое слово. Остановив моделирование, можно изменить положение курсора, начальную позицию, конечную позицию, а также точку прерывания.

При нажатии кнопки «Set» открывается диалоговое окно свойств буфера (рис. 1.11, а):

- No Change – оставить без изменений;
- Load – загрузить кодовые слова из файла;
- Save – сохранить кодовые слова в файл;
- Clear buffer – обнулить содержимое буфера;

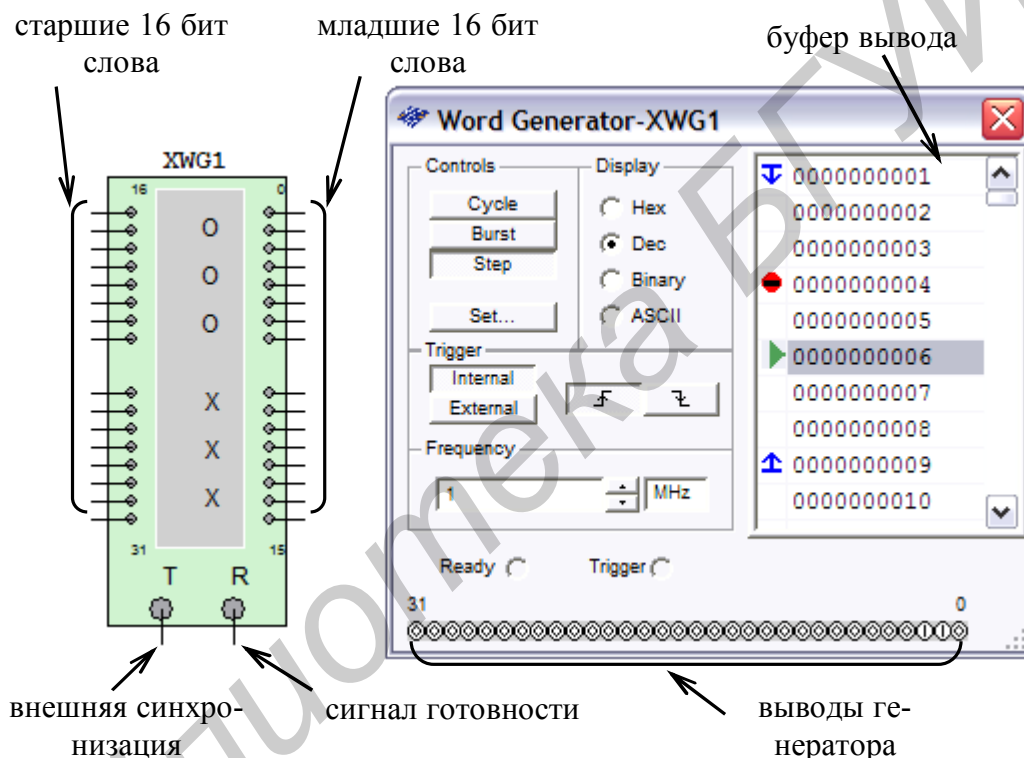


Рис. 1.10. Генератор слов

- Up Counter – заполнить буфер кодовыми словами, начиная с кода, указанного в поле Initial Pattern (по умолчанию 0x0000), с последующим увеличением на 1 в каждой следующей строке;
- Down Counter – заполнить буфер кодовыми словами, начиная с кода, указанного в поле Initial Pattern (по умолчанию 0x0400), с последующим уменьшением на 1 в каждой следующей строке;
- Shift Right – заполнить буфер кодовыми словами, начиная с кода, указанного в поле Initial Pattern (по умолчанию 0x80000000), с последующим двоичным сдвигом вправо на 1 разряд в каждой следующей строке (рис. 1.11, б);
- Shift Left – заполнить буфер кодовыми словами, начиная с кода, указан-

ного в поле Initial Pattern (по умолчанию 0x0001), с последующим двоичным сдвигом влево на 1 разряд в каждой следующей строке (рис. 1.11, в).

Запуск генератора может синхронизироваться как внутренним (Internal), так и внешним (External) сигналом синхронизации. На вывод Ready подается сигнал готовности.

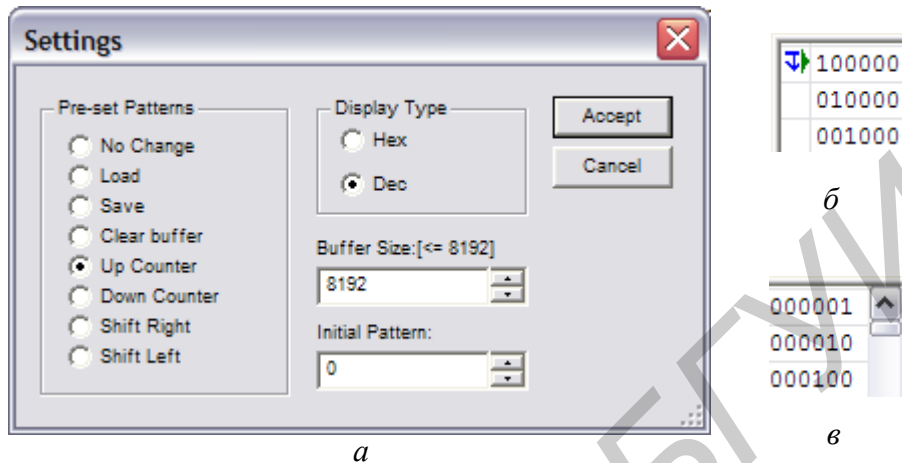


Рис. 1.11. Окно свойств буфера (а) и его заполнение (б, в)

Логический анализатор (Logic Analyzer). Логический анализатор (ЛА) – устройство, предназначенное для диагностики цифровых схем. ЛА позволяет отслеживать и записывать состояния логических элементов цифровых электронных устройств, анализировать и визуализировать их. Внешний вид и лицевая панель логического анализатора показаны на рис. 1.12.

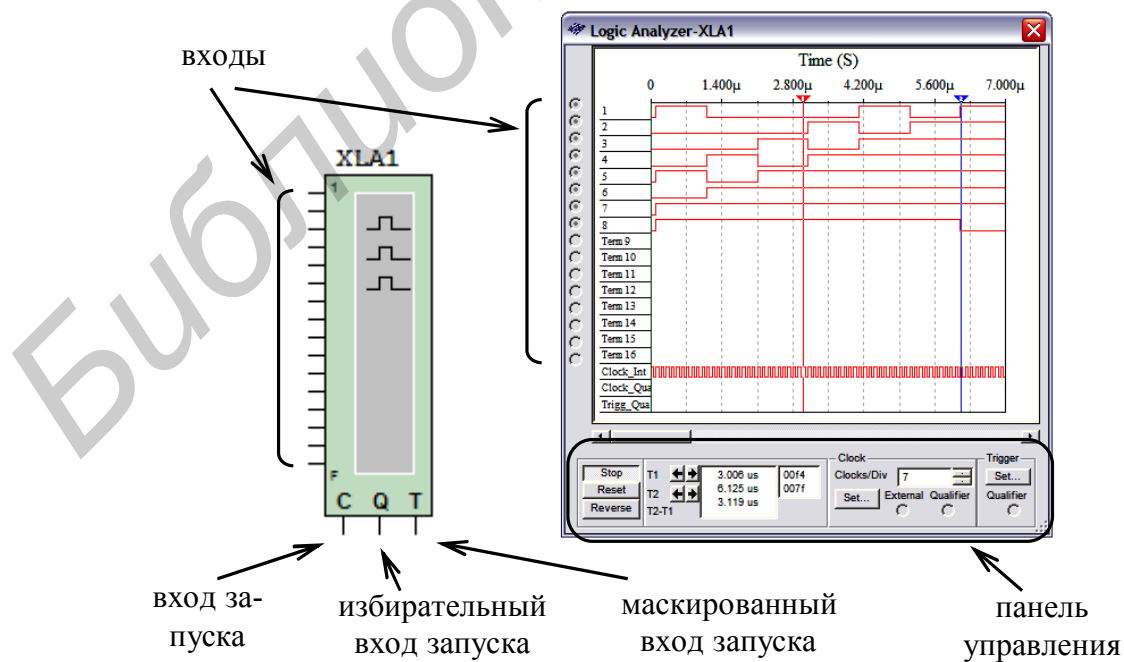


Рис. 1.12. Логический анализатор

ЛА имеет 16 каналов для съёма сигналов, а также несколько входов запуска. Кроме этого, прибор снабжен двумя курсорами, позволяющими проводить измерения во временной области.

Если вход 1 считать младшим разрядом, а вход 16 – старшим, то состояние всех входов может быть представлено 16-разрядным двоичным кодом. Код, соответствующий позиции курсора, отображается в поле «входной код» (рис. 1.13.).

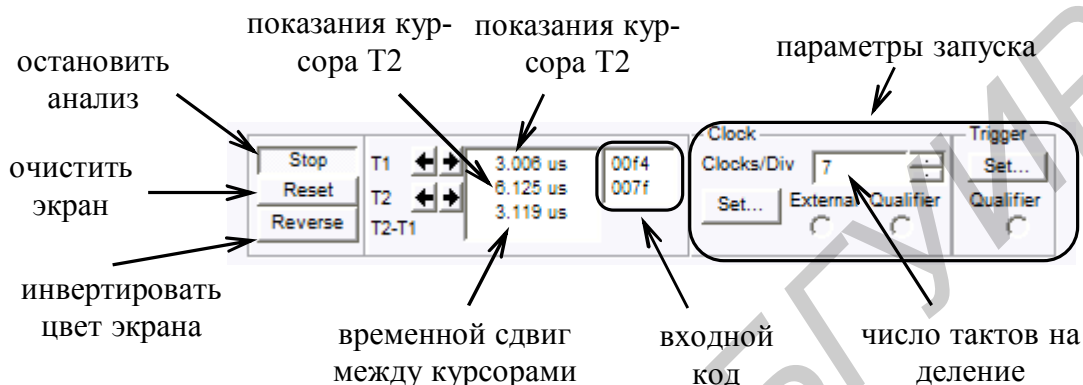


Рис. 1.13. Панель управления логического анализатора

При нажатии кнопки «Set» в группе Clock (тактовый генератор) открывается диалоговое окно настройки параметров тактирования входных сигналов (рис. 1.14).

Тактирование сигналов осуществляется с использованием внешнего (External) или внутреннего (Internal) источника.

В поле Clock Qualifier устанавливается активный уровень сигнала синхронизации. В поле Clock Rate устанавливается частота выборки анализатора.

В группе Sampling Setting задаются параметры выборки сигналов:

- Pre-trigger Samples – сбор данных производится до поступления импульса запуска;
- Post-trigger Samples – сбор данных начинается после поступления импульса запуска и продолжается до тех пор, пока не будет набрано заданное количество отсчетов;
- Threshold Volt (V) – пороговая величина.

Дополнительные условия запуска анализатора осуществляются с помощью диалогового окна Trigger Settings.

В данном окне настраивается маска, по которой осуществляется фильтрация логических уровней и синхронизация входных каналов.

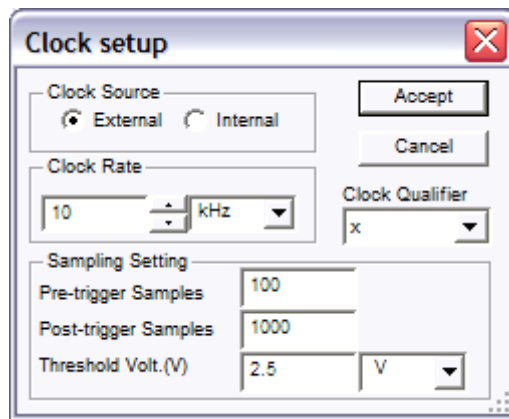


Рис. 1.14. Настройка параметров синхронизации

1.3.2. Компоненты Multisim

Компоненты – это основа любой схемы, т.е. элементная база, из которой состоит схема. В Multisim работа осуществляется с двумя категориями компонентов: виртуальными (virtual) (рис. 1.15, а) и реальными (real) (рис. 1.15, б).

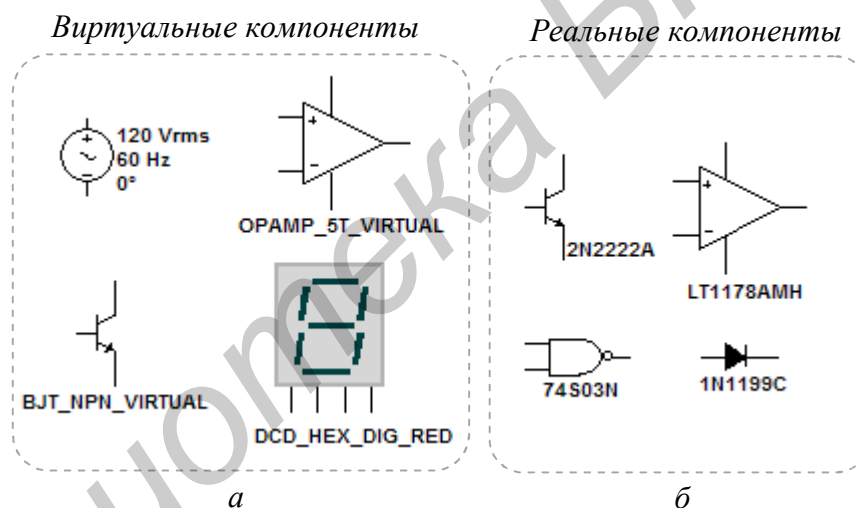






Рис. 1.15. Компоненты Multisim: виртуальные (а), реальные (б)


Реальные компоненты являются полными аналогами компонентов, выпускаемых или выпущенных радиоэлектронной промышленностью. Виртуальные компоненты являются математическими моделями семейств (Family) компонентов (резисторы, конденсаторы и т.д.) с любыми произвольными параметрами, присущими данной категории (например, сопротивление, равное 3,89736 Ом).


Добавление компонентов в схему осуществляется из меню **Place** либо панели инструментов **Components**.


Рассмотрим основные группы компонентов базы данных Multisim.


Группа Sources  (Источники). В данной группе содержатся модели источников питания  (однофазный источник питания постоянного (DC_POWER)


и переменного напряжения (AC_POWER), трехфазные источники питания, источники питания постоянного тока (VCC^1 , VDD^2 , VEE^3 , VSS^4), а также заземление (GROUND)). Источников напряжения  (источник прямоугольного сигнала (CLOCK_VOLTAGE), кусочно-линейного сигнала (PWL Voltage) и др.), источников тока  и т.д.

Группа Basic  (Базовые компоненты). В базовую группу входят модели резисторов, конденсаторов, индуктивностей, трансформаторов, виртуальных механических ключей и т.д.


Группа Diodes  (Диоды). В этой группе содержатся модели таких компонентов как диод, стабилитрон (zener), светодиод, диодный мост (FWB), диод Шоттки, тиристор и др.


Группа Transistors  (Транзисторы). В данной группе находятся модели биполярных транзисторов (BJT), полевых транзисторов (JFET), МОП-транзисторов и др.

Группа Analog  (Аналоговые компоненты) содержит модели операционных усилителей (OPAMP), компараторов (COMPARATOR) и др.

Группа TTL  (цифровые микросхемы по технологии ТТЛ). В данной группе содержатся модели микросхем серий 74Sxx, 74LSxx, 74ALSxx и др.

Группа CMOS  (цифровые микросхемы по технологии КМОП) содержит модели микросхем серии 74HCxx, NC7Sx (Tiny Logic) и др.

Группа Misc Digital  (Цифровые устройства) включает виртуальные модели цифровых устройств (TIL) (логические элементы, триггеры, регистры, счетчики, мультиплексоры, декодеры, элементы арифметико-логических устройств и др.), микросхемы цифровой обработки сигналов (DSP), программируемые логические интегральные схемы, микросхемы памяти, микроконтроллеры и др.

Группа Indicators  (Индикаторные устройства) включает следующие модели компонентов: индикаторы напряжения и тока, логические пробники, семи-сегментные индикаторы, звуковые индикаторы и др.

1.3.3. Создание схем в Multisim

Процесс создания схемы начинается с выбора компонентов схемы. Выбранный компонент автоматически прикрепляется к курсору мыши. После этого компонент размещается в любом месте рабочего окна (рис. 1.16). Далее устанавливается ориентация компонентов (если это необходимо) с помощью команд всплывающего меню (нажатие правой кнопки мыши на выбранном компоненте) или комбинации клавиш $Alt+X$, $Alt+Y$ и устанавливаются параметры элементов питания.

¹ VCC – источник питания постоянного тока для цифровых микросхем по технологии ТТЛ (+5 В),

² VDD – источник питания постоянного тока для цифровых микросхем технологии КМОП (+5 В),

³ VEE – источник питания постоянного тока для цифровых микросхем (-5 В),

⁴ VSS – заземление для цифровых микросхем по технологии КМОП (0 В).

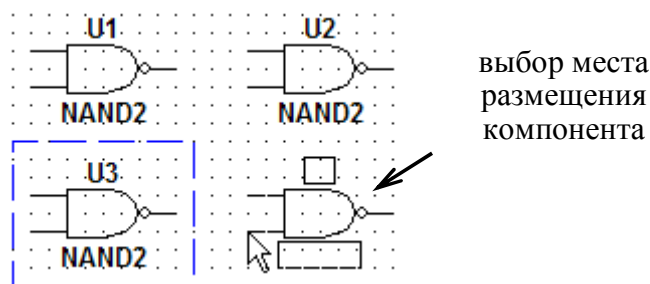


Рис. 1.16. Размещение компонентов схемы

После размещения компонентов схемы производится соединение их выводов проводниками. При этом необходимо учитывать, что к выводу подключается один проводник. Для выполнения подключения курсор мыши подводится к выводу компонента и после изменения вида курсора \blacklozenge устанавливается соединение между выводами элементов или соединительной точкой (рис. 1.17). Для добавления соединительной точки необходимо нажать комбинацию клавиш *Ctrl+J* или выбрать соответствующий пункт во всплывающем меню нажатием правой кнопки мыши.

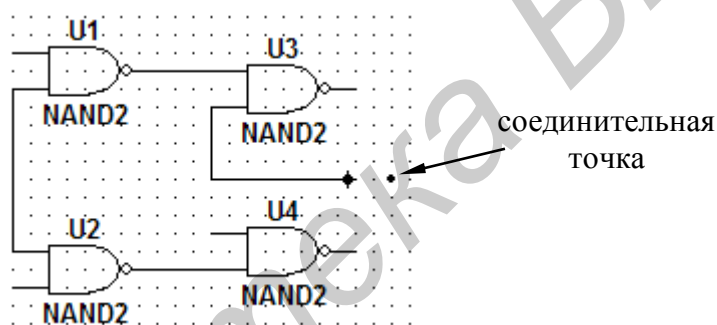


Рис. 1.17. Соединение элементов схемы

При изменении существующего соединения курсор отображается в виде перекрестия с двумя отрезками вдоль соединительной линии \times (рис. 1.18).

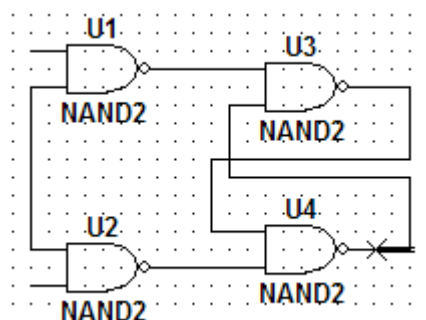


Рис. 1.18. Изменение соединения элементов схемы

1.4. Порядок выполнения лабораторной работы

Для выполнения лабораторной работы необходимо оборудование: персональный компьютер с установленной программой Multisim версии 10.0 и выше,

лабораторный стенд IDL-800, генератор прямоугольных импульсов, 2-канальный осциллограф, стандартные цифровые интегральные микросхемы серий ТТЛШ (К555/КР1533) и КМОП (КР1554/КР1564).

1. Изучить основные логические операции алгебры логики, логические элементы (ЛЭ) и функции алгебры логики (ФАЛ) двух аргументов. Выполнить в различных базисах синтез микросхемы КР1533ЛП5 (аналог 74ALS86N) – четыре двухвходовых логических элемента Исключающие ИЛИ, а также синтез схемы КР1564ЛП13 (ЛЭ Исключающее ИЛИ-НЕ, аналог 74НС266N).

2. Используя логический преобразователь XLC1, выполнить (см. рис. 1.9) исследование 3-входовых логических элементов согласно варианту табл. 1.2:

Таблица 1.2

Вариант	ЗИ	ЗИЛИ	ЗИЛИ-НЕ	ЗИ-НЕ	ЗИскл. ИЛИ-НЕ	ЗИскл. ИЛИ
1	+		+		+	
2		+	+		+	
3	+		+			+
4		+		+		+
5	+			+	+	
6		+		+		+

– выбрать необходимые виртуальные элементы (раздел Цифровые компоненты семейства TTL программы Multisim);

– изобразить условные обозначения исследуемых ЛЭ в ГОСТ и в стандарте ANSI (см. рис. 1.2);

– с помощью логического преобразователя XLC1 выполнить преобразование ЛЭ Исключающее ИЛИ (EOR3 либо ENOR3) из полного базиса НЕ, И, ИЛИ (базис Буля) в базис И-НЕ (базис Шеффера);

– зарисовать схемы, получить таблицы истинности и записать выражения, характеризующие работу исследуемых логических элементов своего варианта.

3. Определить время задержки распространения сигнала в ИС 74ALS86N, собрав схему эксперимента в рабочей области окна редактирования Multisim (рис. 1.19). Подключить вход 1 микросхемы к генератору прямоугольных импульсов XFG1 с частотой 1 кГц и амплитудой сигнала 5В. Вход 2 ИС подключить к заземлению (GND), входные клеммы А и В 2-х канального осциллографа XSC1 подключить к выходу генератора и к выходу 3 микросхемы.

4. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

5. Выполнить экспериментальные исследования на стенде IDL-800 с использованием реальных измерительных приборов и стандартных ИС:

– установить на наборной панели стенда IDL-800 ИС КР1533ЛП5 (аналог 74ALS86N), подключив вывод 14 микросхемы к источнику питания +5В и вывод 7 к общей шине заземления (GROUND);

– определить время задержки распространения сигнала ИС КР1533ЛП5, подключив вход 1 к внутреннему генератору прямоугольных импульсов стенда с частотой 1 кГц и амплитудой 5В, вход 2 подключить к общей шине за-

земления, внешний 2-канальный осциллограф подключить к выходу генератора и к выходу 3 исследуемой микросхемы.

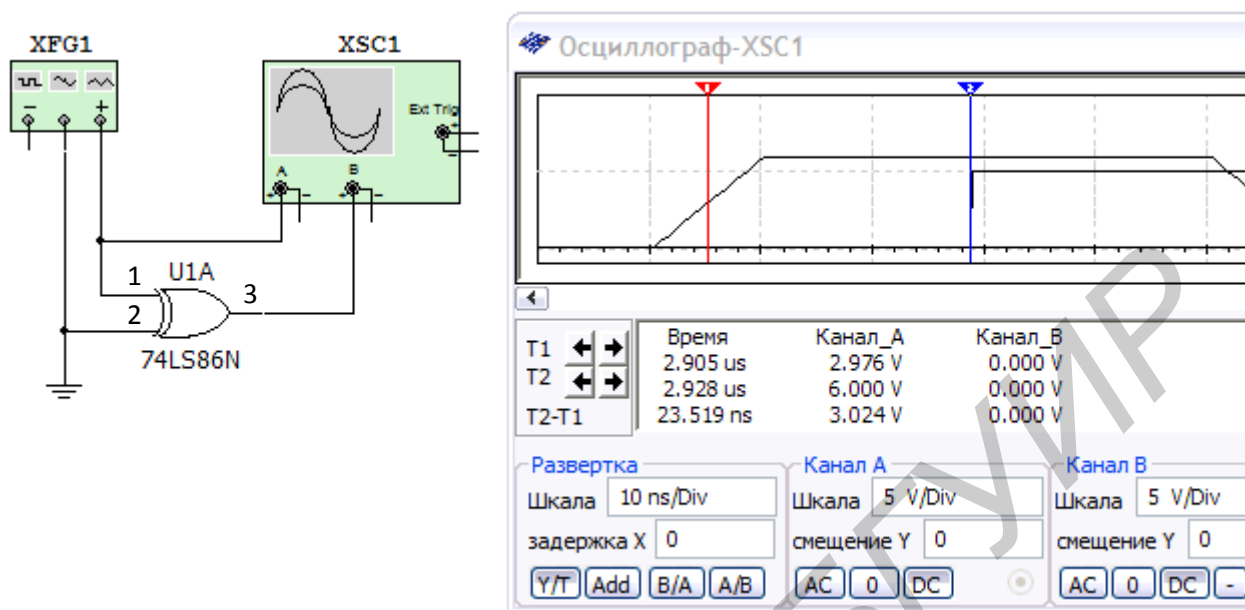


Рис. 1.19. Пример определения времени задержки сигнала

1.5. Содержание отчёта

1. Цель работы.
2. Аналитические выражения и синтезированная схема заданного логического устройства.
3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов в среде Multisim.
4. Результаты экспериментальных исследований на макете IDL 800, таблицы функционирования исследуемых устройств.
5. Выводы по результатам экспериментальных исследований.

1.6. Контрольные вопросы

1. Какой логический потенциал (0 или 1) необходимо подать на один из входов элемента Иключающее ИЛИ, чтобы по второму входу он выполнял роль инвертора?
2. Какой логический потенциал (0 или 1) необходимо подать на один из входов элемента Иключающее ИЛИ, чтобы по второму входу он выполнял роль повторителя?
3. Какое различие имеют функции алгебры логики “Равнозначность” и “Неравнозначность”?
4. Дайте определение ФАЛ.
5. Какой логический потенциал надо подать на один из входов элемента И-НЕ (ИЛИ-НЕ), однозначно определяющий состояние его выхода?

Лабораторная работа № 2. Преобразователи кодов

2.1. Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространенных преобразователей кодов.

2. Получение навыков компьютерного моделирования преобразователей кодов в среде Multisim.

3. Приобретение практических навыков работы с реальными цифровыми устройствами и контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

2.2. Общие сведения о преобразователях кодов

Преобразователи кодов (Converter) являются комбинационными логическими устройствами и предназначены для изменения вида кодирования (преобразования) информации в цифровых устройствах. В общем случае преобразователи осуществляют преобразование информации из одного кода в другой и используются для шифрации и дешифрации цифровой информации.

Для кодирования информации в различных устройствах используются двоичные коды, наиболее часто применяемые из них, приведены в табл. 2.1.

Таблица 2.1

Десятичное число	Код 8421	Обратный код	Дополнит. код	Код Грея	Код с изб. 3	Код 7421	Код 2421
0	0000	1111	0000	0000	0011	0000	0000
1	0001	1110	1111	0001	0100	0001	0001
2	0010	1101	1110	0011	0101	0010	0010
3	0011	1100	1101	0010	0110	0011	0011
4	0100	1011	1100	0110	0111	0100	0100
5	0101	1010	1011	0111	1000	0101	1011
6	0110	1001	1010	0101	1001	0110	1100
7	0111	1000	1001	0100	1010	1000	1101
8	1000	0111	1000	1100	1011	1001	1110
9	1001	0110	0111	1101	1100	1010	1111
10	1010	0101	0110	1111	1101		
11	1011	0100	0101	1110	1110		
12	1100	0011	0100	1010	1111		
13	1101	0010	0011	1011	10000		
14	1110	0001	0010	1001	10001		
15	1111	0000	0001	1000	10010		

Код 8421 является прямым кодом двоичной системы счисления, название которого составлено из весовых коэффициентов 4-разрядного двоичного числа.

Обратный код получают путем инвертирования всех разрядов исходного прямого кода.

Дополнительный код получается из обратного кода путем прибавления единицы к младшему разряду.

В *коде Грея* при переходе к каждому последующему числу изменяется значение только одного двоичного разряда. Применяются коды Грея при минимизации функций алгебры логики с помощью карт Карно, в многокаскадных параллельных счетчиках и в быстродействующих АЦП. Коды Грея могут содержать любое число разрядов.

Код с избытком 3 (Excess-3) получается из прямого двоичного кода прибавлением к нему двоичного числа 0011, применяется для упрощения аппаратной реализации арифметических операций.

Код 7421 применяется для обнаружения ошибочных комбинаций в линиях связи и блоках памяти. Любая его кодовая комбинация содержит не более двух единиц.

Код 2421 (код Айкена) упрощает выполнение арифметических операций над десятичными числами. В коде каждой паре десятичных цифр, взаимно дополняющих до девяти (например, цифры 3 и 6), соответствуют комбинации (0011 и 1100), каждая из которых образуется как инверсия другой.

В сериях цифровых интегральных схем (ИС) имеются различные цифровые преобразователи кодов, с помощью которых можно осуществлять преобразование двоичной информации из одного двоичного кода в другой.

На принципиальных схемах преобразователи кодов обозначаются символами X/Y , а в сериях интегральных микросхем – буквами ПР.

Микросхема ПР6 (зарубежный аналог 74x184) преобразует двоично-десятичный код с весовыми коэффициентами 2,4,8,10,20 в двоичный код с весовыми коэффициентами 2,4,8,16,32. Младший разряд не участвует в преобразовании, он непосредственно передается с входа на выход. ИС ПР6 преобразует входные коды в диапазоне от 0 до 39 (двоично-десятичный код 11 1001).

Микросхема ПР7 (аналог 74x185) аналогично преобразует двоичный код в двоично-десятичный, имеет 5 входов и 8 выходов.

Частным случаем преобразователей кодов являются шифраторы и дешифраторы. Схема преобразователя, осуществляющая преобразование n -разрядного двоичного кода в унитарный m -разрядный код (код 1 из m), называется *дешифратором*. Схема преобразователя, осуществляющая обратное преобразование унитарного кода в двоичный код, называется *шифратором*.

Унитарный (единый) код применяется, когда активный уровень сигнала необходимо сформировать только на одном из выходов преобразователя, номер которого соответствует десятичному эквиваленту двоичного кода.

Дешифратор ИД7 (аналог 74x138) преобразует 3-разрядный двоичный код в унитарный код в виде напряжения низкого уровня, появляющегося на одном из восьми его выходов. Дешифратор ИД18 (аналог 74x247) преобразует двоично-десятичный код в код для управления 7-сегментным индикатором.

Шифратор ИВ1 (аналог 74x148) преобразует унитарный код в 3-разрядный двоичный код. Шифратор ИВ3 (аналог 74x147) преобразует двоично-десятичный код в 4-разрядный двоичный код.

Преобразователь кодов, как и любое комбинационное устройство, описывается таблицей истинности, которая может использоваться в дальнейшем для синтеза его логической структуры.

Рассмотрим синтез преобразователя двоично-десятичного кода в специальный семиразрядный код для управления сегментами цифровых индикаторов. Подсветка сегментов цифрового индикатора, образующих изображения цифр 0...9 (рис. 2.1, а), производится подачей на них единичных сигналов (лог. 1).

На рис. 2.1, б показано условное графическое изображение синтезируемого преобразователя и его подключение к индикатору. На входы преобразователя подается 4-разрядный двоично-десятичный код $ABCD$, а с его выходов снимается 7-разрядный код $a...g$, поступающий на соответствующие сегменты цифрового индикатора.

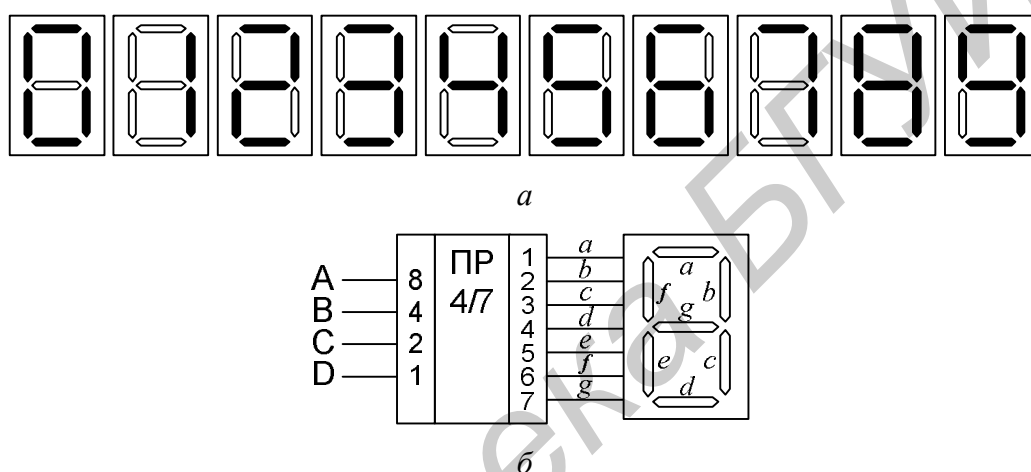


Рис. 2.1. Преобразователь 4-разрядного двоичного кода

Из рис. 2.1, б следует, что для отображения на индикаторе, например цифры 6, которая задана двоично-десятичным кодом 0110, необходимо подсветить все сегменты, за исключением сегмента b .

Таблица 2.2

Цифра индикатора	Входы				Выходы						
	A	B	C	D	F_a	F_b	F_c	F_d	F_e	F_f	F_g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Выходные переменные a, \dots, g являются функциями аргументов A, \dots, D . Для каждого значения функций F_a, \dots, F_g составим таблицу истинности (табл. 2.2), в соответствии с которой будет функционировать проектируемое устройство. Для каждой функции F_a, \dots, F_g отдельно составляем карту Карно.

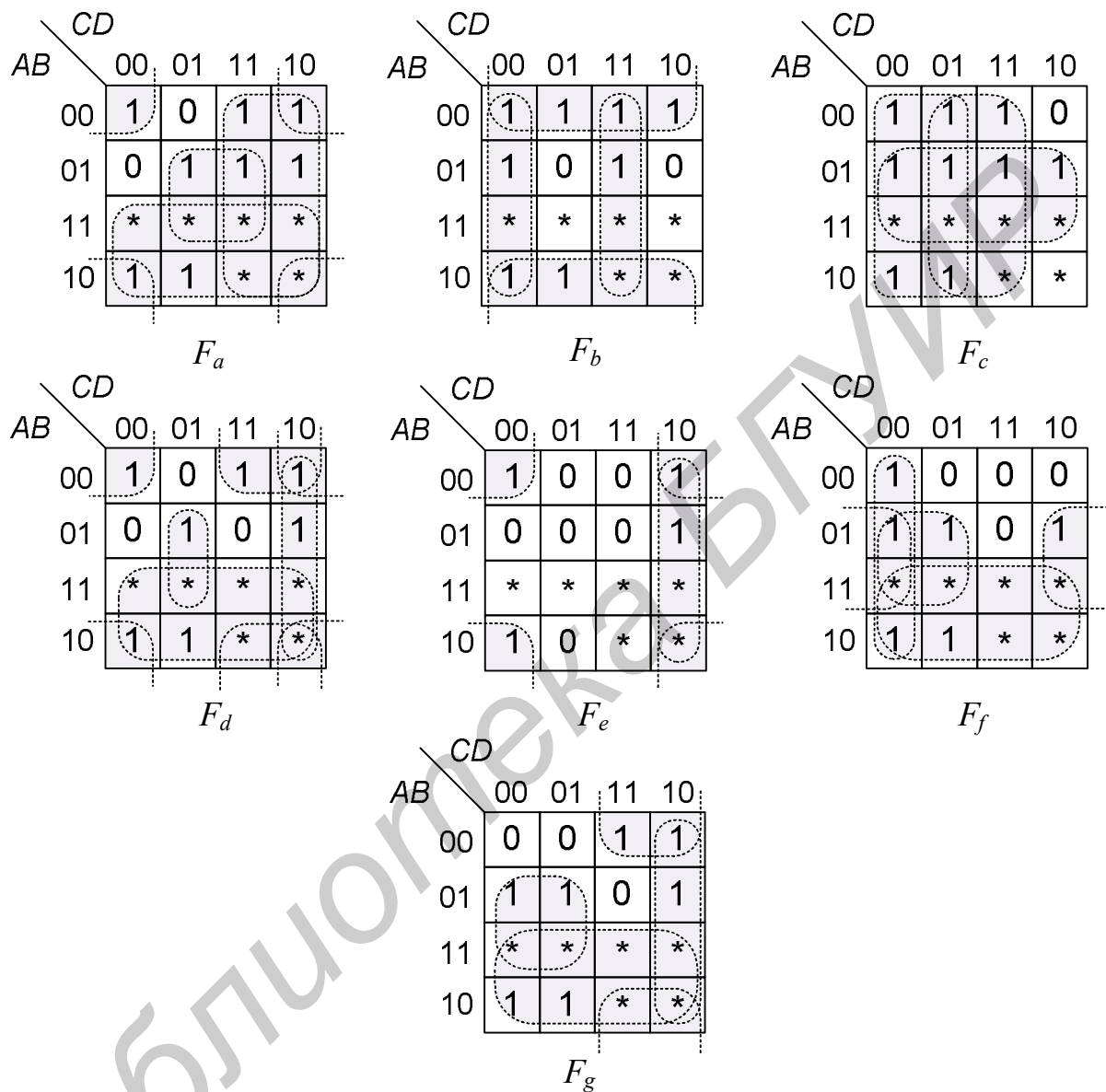


Рис. 2.2. Карты Карно 7-сегментного индикатора

Согласно картам Карно (рис. 2.2) запишем значения функций F_a, \dots, F_g в минимальной дизъюнктивной нормальной форме (МДНФ):

$$F_a = B \cdot D \vee \overline{B} \cdot \overline{D} \vee A \vee C = \overline{\overline{B} \cdot \overline{D} \cdot \overline{A} \cdot \overline{C}} = \overline{B} \overline{D} | \overline{B} \cdot \overline{D} | \overline{A} | \overline{C};$$

$$F_b = \overline{C} \cdot \overline{D} \vee CD \vee \overline{B} = \overline{\overline{C} \cdot \overline{D}} | \overline{C} \cdot \overline{D} | \overline{B};$$

$$F_c = B \vee \overline{C} \vee D = \overline{B} | C | \overline{D};$$

$$F_d = B \cdot \overline{C} \cdot D \vee A \vee \overline{B} \cdot \overline{D} \vee \overline{B} \cdot C \vee C \cdot \overline{D} = \overline{\overline{B} \cdot \overline{C} \cdot D} | \overline{A} | \overline{\overline{B} \cdot \overline{D}} | \overline{\overline{B} \cdot C} | \overline{C \cdot \overline{D}};$$

$$\begin{aligned}
 F_e &= \overline{B} \cdot \overline{D} \vee C \cdot \overline{D} = \overline{B \cdot D} | \overline{C \cdot D}; \\
 F_f &= B \cdot \overline{C} \vee \overline{C} \cdot \overline{D} \vee B \cdot \overline{D} \vee A = \overline{B \cdot C} | \overline{C \cdot D} | B \cdot \overline{D} | A; \\
 F_g &= B \cdot \overline{C} \vee C \cdot \overline{D} \vee \overline{B} \cdot C \vee A = \overline{B \cdot C} | \overline{C \cdot D} | \overline{B} \cdot C | A.
 \end{aligned}
 \tag{2.1}$$

Полученные аналитические выражения (2.1) преобразованы в базис Шеффера для того, чтобы реализовать их на логических элементах И-НЕ, при этом использована запись в виде штриха Шеффера: $\overline{a \cdot b} = a | b$.

На рис. 2.3 показана схемная реализация отдельных ячеек преобразователя на многовходовых логических элементах И-НЕ.

Синтезированный преобразователь будет обеспечивать изображение цифр от 0 до 9 на индикаторе, при этом сегмент будет светиться, если на него будет подано напряжение логической единицы. При подаче на сегмент логического нуля он будет погашен.

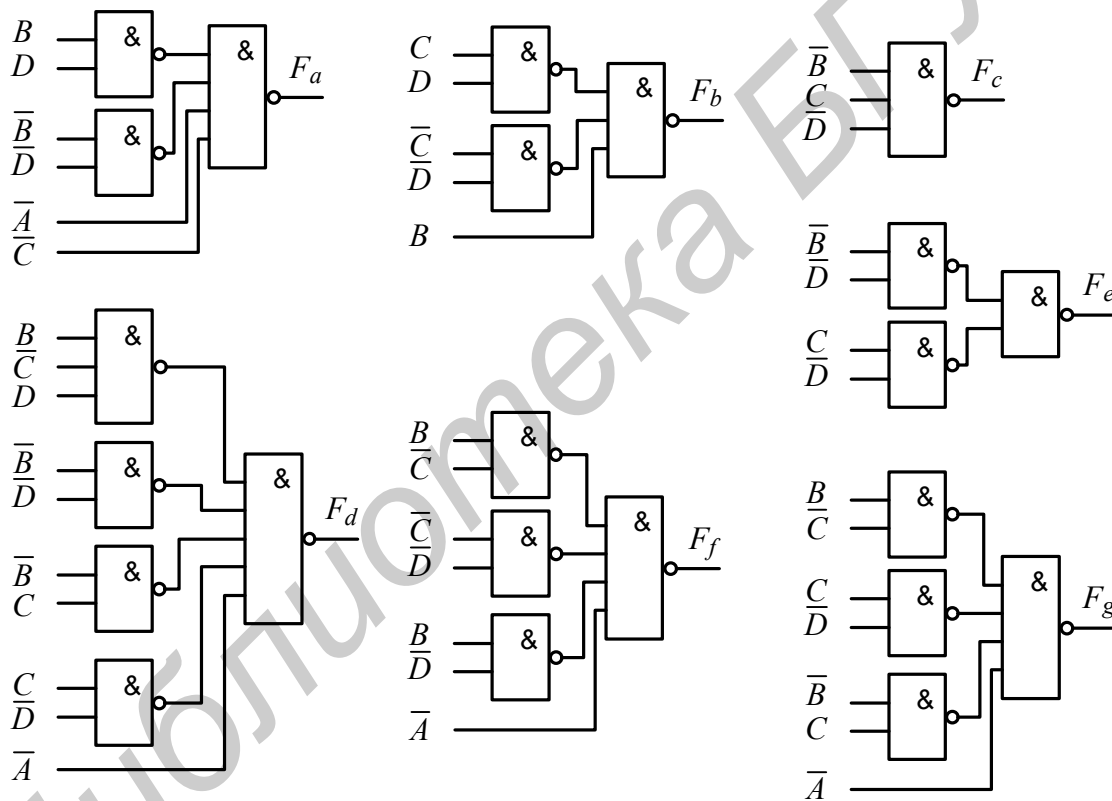


Рис. 2.3. Схемы ячеек индикатора цифрового табло

На практике могут применяться и другие типы индикаторов, когда свечение сегмента происходит при подаче на него напряжения логического нуля.

Преобразователь двоичного кода в код Грея. Рассмотрим синтез преобразователя 3-разрядного двоичного кода в код Грея. Назначение и характеристика указанных кодов приведены в табл. 2.1.

Для проектируемого преобразователя составим таблицу истинности (табл. 2.3), в соответствии с которой будет осуществлено преобразование 3-разрядного двоичного кода в код Грея.

Входные переменные x_2, x_1, x_0 и выходные переменные g_2, g_1, g_0 (табл. 2.3) связаны между собой функциональной зависимостью

$$g_i = f(x_2, x_1, x_0),$$

тогда для каждого значения g_i можно записать:

$$g_2 = f(x_2, x_1, x_0), \quad g_1 = f(x_2, x_1, x_0), \quad g_0 = f(x_2, x_1, x_0). \quad (2.2)$$

Таблица 2.3

Десятичное число	Двоичный код			Код Грея		
	x_2	x_1	x_0	g_2	g_1	g_0
N						
0	0	0	0	0	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	1
3	0	1	1	0	1	0
4	1	0	0	1	1	0
5	1	0	1	1	1	1
6	1	1	0	1	0	1
7	1	1	1	1	0	0

Для получения логических выражений представим функции g_2, g_1, g_0 таблицами истинности в форме карт Карно (рис. 2.4).

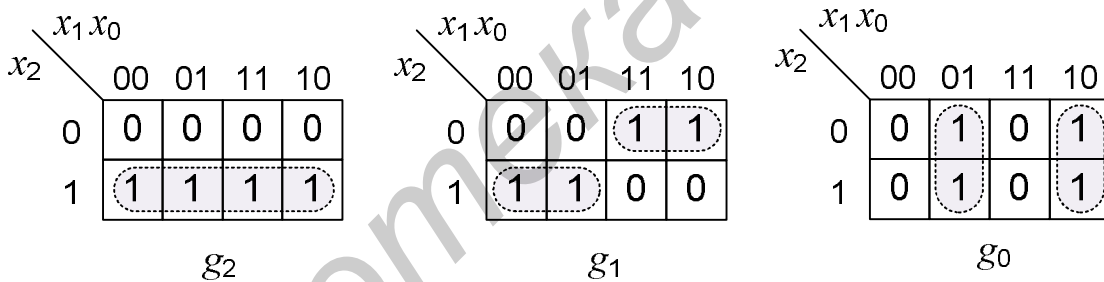


Рис. 2.4. Карты Карно преобразователя кода Грея

Согласно картам Карно запишем логические выражения для значений g_2, g_1, g_0 в минимальной дизъюнктивной нормальной форме (МДНФ):

$$\begin{aligned} g_2 &= x_2, \\ g_1 &= x_2 \cdot \overline{x_1} \vee \overline{x_2} \cdot x_1 = x_2 \oplus x_1, \\ g_0 &= \overline{x_1} \cdot x_0 \vee x_1 \cdot \overline{x_0} = x_1 \oplus x_0. \end{aligned} \quad (2.3)$$

Полученные выражения (2.3) позволяют построить схему преобразователя на логических интегральных элементах Исключающее ИЛИ, которые в количестве 4 шт. входят в состав микросхемы КР1533ЛП5 (зарубежный аналог 74ALS86N).

Составленная логическая схема преобразователя 3-разрядного двоичного кода в код Грея приведена на рис. 2.5, а.

Синтез обратного преобразователя 4-разрядного кода Грея в двоичный код (рис. 2.5, б) выполняется аналогично.

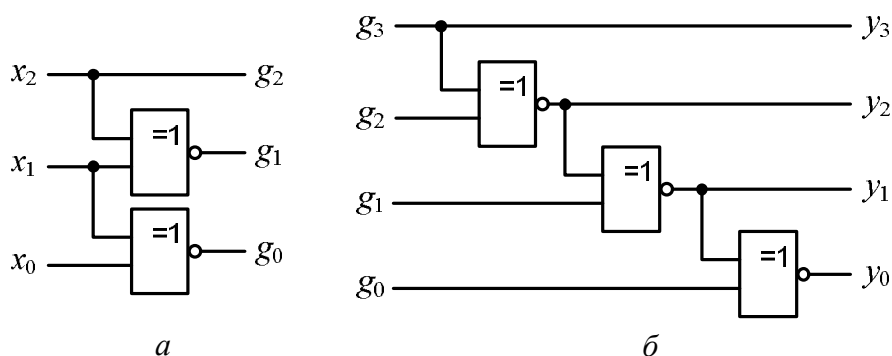


Рис. 2.5. Схемы преобразования 3-разрядного двоичного кода в код Грея (а) и преобразования 4-разрядного кода Грея в двоичный код (б)

В заключение приведем некоторые стандартные ИС, выполняющие функции преобразователей кодов (рис. 2.6).

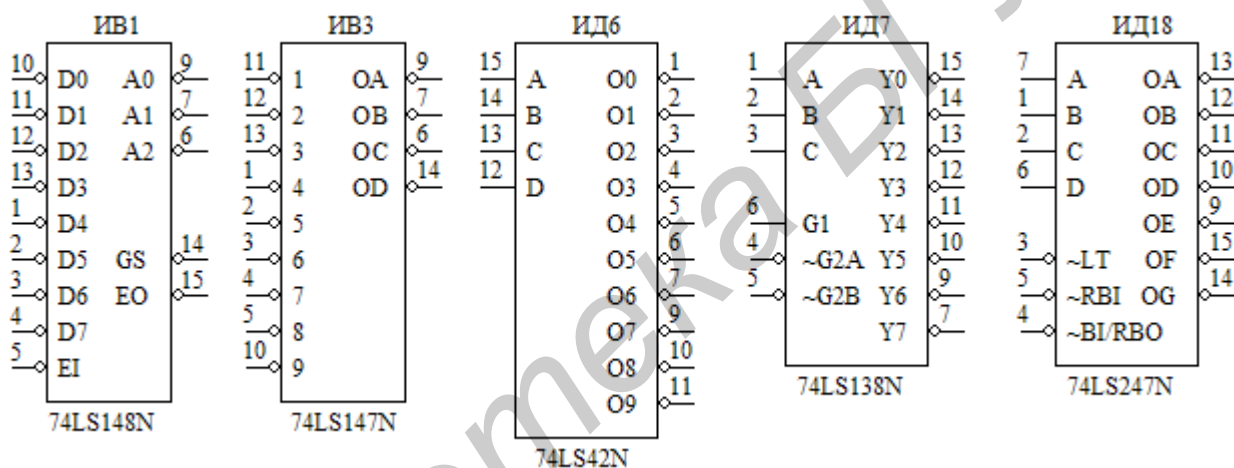


Рис. 2.6. Микросхемы, выполняющие функции преобразователей кодов

Принятые обозначения и назначения выводов микросхем, представленных на рис. 2.6:

D0...D7; 1...9; A, B, C, D – информационные входы.

A0, A1, A2; OA...OG; O0...O9; Y0...Y7 – выходы.

EI, G1, G2, LT, RBI – входы управления.

2.3. Порядок выполнения лабораторной работы

1. Выполнить синтез и реализовать на логических элементах схему преобразователя двоичного кода в следующие виды кодов: а) код Айкена 2421, б) код 7421, в) код с избытком 3, г) 4-разрядный код Грея. Осуществить *обратное* преобразование указанных кодов в двоичный код. Код выбирается по указанию преподавателя. Число входов и выходов схемы преобразователя выбирает студент.

2. Осуществить моделирование синтезированного преобразователя кодов в среде Multisim:

– собрать синтезированную схему преобразователя кодов в рабочей области окна редактирования Multisim;

– по указанию преподавателя выполнить исследование одной из схем преобразователя рис. 2.6 в среде Multisim;

– подключить к входу исследуемой схемы генератор кодов (Word Generator), настроив его на рабочую частоту 1 кГц; вид генерируемых кодов – двоичный (Binary), синхронизация внутренняя (Internal);

– получить таблицу истинности спроектированного устройства, изменяя состояния входов с помощью пошагового (Step) режима работы генератора кодов; контроль осуществлять световыми индикаторами PROBE (раздел индикаторов) или светодиодами LTD (раздел диодов).

3. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

4. Выполнить экспериментальные исследования на лабораторном стенде IDL-800:

– установить на наборной панели стенда IDL-800 одну из микросхем преобразователя (см. рис. 2.6). Подключить вывод 16 микросхемы к источнику питания +5В (VCC), вывод 8 подключить к общей шине заземления (GROUND);

– получить таблицу истинности и другие параметры (по указанию преподавателя) исследуемого устройства, изменяя состояния входов с помощью переключателей SW и используя 7-сегментный индикатор стенда.

2.4. Содержание отчёта

1. Цель работы.

2. Таблицы истинности, аналитические выражения и синтезированная схема заданного преобразователя кода.

3. Показать в контрольных точках работоспособность разработанного преобразователя кодов с помощью средств Multisim или на стенде IDL-800.

4. Сделать выводы по виртуальным и реальным исследованиям преобразователей кодов.

2.5. Контрольные вопросы

1. Назовите виды двоичных кодов, применяемых в цифровой технике.

2. Какое назначение имеют преобразователи кодов?

3. Какое условно-графическое изображение на схемах имеют преобразователи кодов?

4. Чем отличается двоично-десятичный код от двоичного кода?

5. Назовите назначение и область применения двоичного кода 8421.

6. Назовите назначение и область применения двоичного кода Грея.

7. Назовите назначение и область применения кода с избытком 3.

8. Какое функциональное назначение имеет микросхема КР1533ИД7 и ее зарубежный аналог 74ALS138N?

Лабораторная работа № 3. Суммирующие и вычитающие устройства

3.1. Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространенных суммирующих и вычитающих устройств.

2. Получение навыков компьютерного моделирования суммирующих и вычитающих устройств в среде Multisim.

3. Приобретение практических навыков работы с реальными цифровыми устройствами и контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

3.2. Общие сведения о суммирующих и вычитающих устройствах

Двоичные сумматоры. Сумматор (Summator, Adder) – комбинационное логическое устройство, выполняющее арифметическое сложение чисел, представленных в виде двоичных кодов. Сумматоры широко применяются в цифровой технике и используются как самостоятельно, так и в составе арифметико-логических устройств.

На принципиальных схемах сумматор обозначается буквами SM. В маркировках отечественных серий он имеет код ИМ, например, К555ИМ3 (зарубежный аналог 74LS83N) – четырехразрядный полный двоичный сумматор с ускоренным переносом.

Сумматоры подразделяются на неполные (полусумматоры – Half Adder) и полные сумматоры (Full Adder).

Полусумматор (обозначается HS) является простейшим суммирующим устройством, таблица истинности, логическая схема и условное обозначение которого приведены на рис. 3.1. Полусумматор HS осуществляет арифметическое сложение двух одноразрядных чисел A и B по правилам суммирования двоичных чисел: $0 + 0 = 0$, $0 + 1 = 1$, $1 + 0 = 1$, $1 + 1 = 10$.

В результате сложения для каждого разряда получаются две цифры: сумма S для этого разряда и значение переноса P , которое переносится в следующий старший разряд. При *арифметическом* сложении двух чисел $(1+1)$ результат оказывается двухразрядным двоичным числом $(10_2 = 2_{10})$. В этом случае сумма $S = 0$, а единица переносится в старший разряд ($P = 1$).

Следует отметить, что при *логическом* сложении этих двух чисел результатом суммирования будет 1, так как согласно правилам алгебры логики $x \vee x = x$. Это обстоятельство не позволяет применить для арифметического суммирования логический элемент ИЛИ, а требует разработки специальных устройств. Для определения значений суммы S и переноса P составим таблицу истинности функционирования полусумматора.

Из таблицы истинности (рис. 3.1, а) следует, что арифметическая сумма S чисел A и B и сигнал переноса P определяются выражениями:

$$S = \bar{A}B + A\bar{B} = A \oplus B, \quad (3.1)$$

$$P = A \cdot B.$$

В выражении (3.1) сумма S представляет собой функцию алгебры логики неравнозначности, выполняет логическую операцию суммирования по модулю два и реализуется интегральной микросхемой Исключающее ИЛИ (зарубежный аналог 74x86).

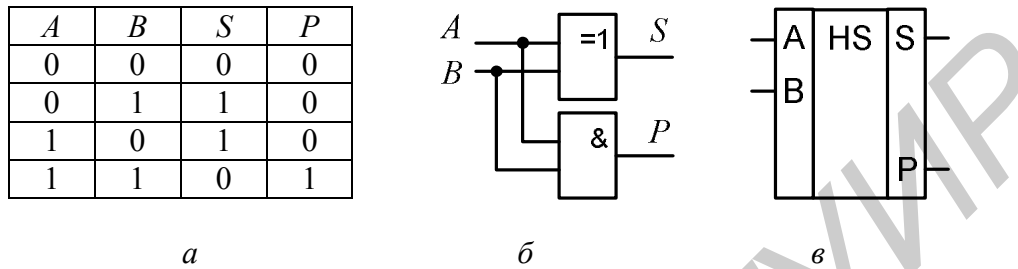


Рис. 3.1. Таблица истинности (а), логическая схема (б) и условное обозначение (в) одноразрядного полусумматора

Сигнал переноса в старший разряд $P = A \cdot B$ появляется на выходе только тогда, когда на входы A и B поданы единицы, данная операция умножения (конъюнкции) реализуется логическим элементом 2И (аналог 74x08).

Таким образом, полусумматор, логическая схема и условное обозначение которого представлены на рис. 3.1, б, в, имеет два входа и два выхода. Такие схемы предназначены для арифметического сложения двух одноразрядных чисел и используется только для суммирования младших разрядов.

Одноразрядный полный сумматор SM (рис. 3.2, б) отличается от полусумматора HS тем, что он имеет три входа (два слагаемых и перенос P_i из предыдущего i -го разряда), а также два выхода (суммы S и переноса P в следующий старший разряд).

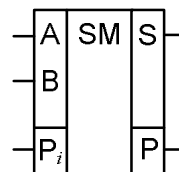
Рассмотрим метод проектирования (синтез) полного одноразрядного сумматора, осуществляющего суммирование трех переменных A , B и P_i . При этом если на входе SM суммируются числа типа $(1+1)$, то на выходе SM необходимо осуществить перенос P полученной единицы в следующий разряд, а также осуществить прием сигнала переноса P_i , поступившего из i -го предыдущего разряда.

Для определения значений суммы S и переноса P составим таблицу истинности полного одноразрядного сумматора (рис. 3.2, а).

На рис. 3.2, б показано условное обозначение полного одноразрядного сумматора, где S – арифметическая сумма чисел A и B , P – сигнал переноса в следующий старший разряд, P_i – сигнал заёма.

Входы			Выходы	
A	B	P_i	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

a



б

Рис. 3.2. Таблица истинности (*a*) и условное обозначение (*б*) одноразрядного полного сумматора

По данным таблицы истинности (рис. 3.2, *a*) запишем логические выражения для значений суммы S и переноса P и минимизируем их аналитическим методом, используя законы и правила алгебры логики:

$$\begin{aligned}
 S &= \bar{A} \cdot \bar{B} \cdot P_i + \bar{A} \cdot B \cdot \bar{P}_i + A \cdot \bar{B} \cdot \bar{P}_i + A \cdot B \cdot P_i = (\bar{A} \cdot B \cdot \bar{P}_i + A \cdot \bar{B} \cdot \bar{P}_i) + (\bar{A} \cdot \bar{B} \cdot P_i + A \cdot B \cdot P_i) \\
 &= \bar{P}_i (\bar{A} \cdot B + A \cdot \bar{B}) + P_i (\bar{A} \cdot \bar{B} + A \cdot B) = \bar{P}_i (A \oplus B) + P_i (\overline{A \oplus B}) = (A \oplus B) \oplus P_i,
 \end{aligned}
 \tag{3.2}$$

$$\begin{aligned}
 P &= \bar{A} \cdot B \cdot P_i + A \cdot \bar{B} \cdot P_i + A \cdot B \cdot \bar{P}_i + A \cdot B \cdot P_i = (\bar{A} \cdot B \cdot P_i + A \cdot \bar{B} \cdot P_i) + \\
 &+ (A \cdot B \cdot \bar{P}_i + A \cdot B \cdot P_i) = P_i (\bar{A} \cdot B + A \cdot \bar{B}) + A \cdot B \cdot (\bar{P}_i + P_i) = P_i (A \oplus B) + A \cdot B.
 \end{aligned}
 \tag{3.3}$$

По выражениям (3.2) и (3.3) составим логическую схему двоичного полного одноразрядного сумматора SM (рис. 3.3).

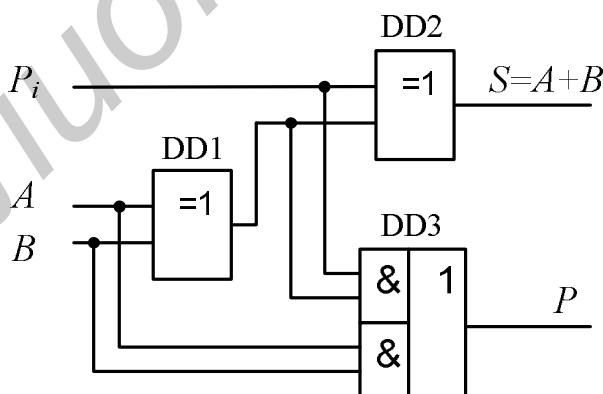


Рис. 3.3. Схема одноразрядного полного сумматора

Схема сумматора, представленная на рис. 3.3, реализована на логических элементах Иключающее ИЛИ (DD1, DD2), а также схемы DD3, в состав которой входят элементы 2И (74x08) и 2ИЛИ (74x32).

Многоразрядные сумматоры состояются из полных одноразрядных сумматоров и выполняют арифметическую операцию суммирования многораз-

рядных двоичных чисел $A = a_n a_{n-1} \dots a_0$, $B = b_n b_{n-1} \dots b_0$. Многоразрядные сумматоры по принципу обработки разрядов чисел делятся на *последовательные* и *параллельные*. В последовательных сумматорах операция сложения выполняется последовательно. В параллельных сумматорах все разряды входных кодов суммируются одновременно, а формирование переносов может осуществляться как последовательно, так и параллельно.

Рассмотрим принцип работы параллельного 4-разрядного сумматора с последовательным переносом сигналов, схема которого приведена на рис. 3.4. В её состав входят 4 полных сумматора X1...X4, 7-сегментные индикаторы и клавиши набора кодов Word A и Word B. 4-разрядные коды формируются подключением соответствующих клавиш к источнику питания +5В и в шестнадцатеричной системе счисления отображаются индикаторами.

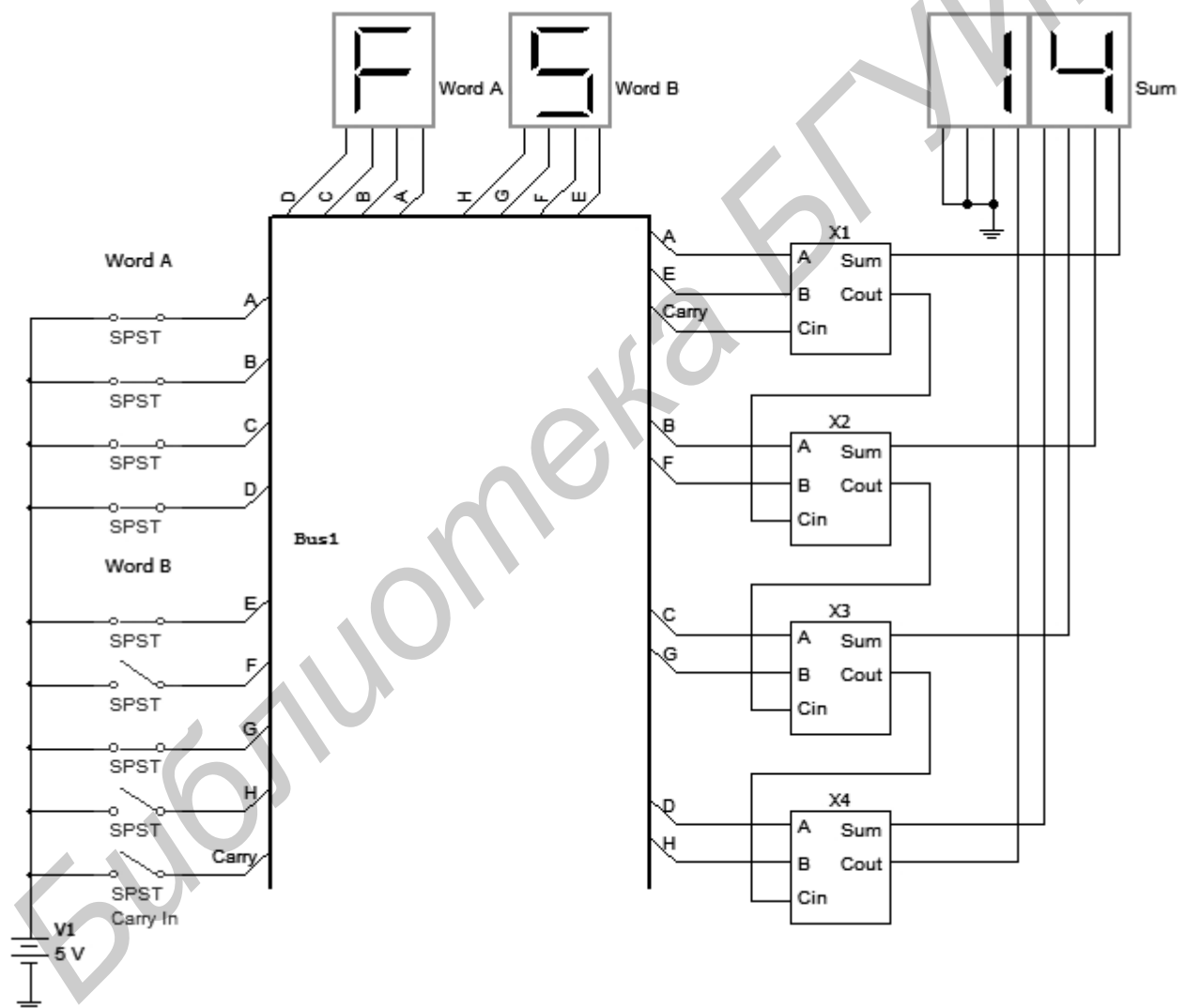


Рис. 3.4. Параллельный 4-разрядный сумматор с последовательным переносом

Разряды кодов слагаемых подаются через шину (Bus1) на соответствующие входы сумматоров X1...X4. Параллельные выходы суммы (Sum) поступают на индикатор младших разрядов. Сигнал переноса последовательно формируется на выходах сумматоров и с выхода переноса (Cout) сумматора X4 по-

ступает на индикатор старшего разряда. Реальная сумма входных 4-разрядных кодов Word A и Word B в 16-ричной форме будет складываться из показаний индикатора переноса сигналов старшего разряда и показаний индикатора суммы всех разрядов.

Текущее значение результатов суммирования показано на рис. 3.4, что соответствует значениям: $F_{16}(1111_2) + 5_{16}(0101_2) = 20_{16}(10100_2)$.

Для повышения быстродействия в многоразрядных сумматорах применяют параллельное формирование переносов в специальных блоках ускоренного переноса. Принцип ускоренного переноса реализуется в микросхеме ИМ6 (74x283).

В многоразрядных сумматорах увеличение разрядности достигается путем каскадирования SM. При этом выход переноса P младшего разряда соединяют с входом переноса P_i старшего разряда. При работе многокаскадного сумматора в режиме суммирования на вход переноса младшего разряда подается лог. 0. В этом случае младший разряд микросхемы DD1 может быть полусумматором.

Принцип каскадирования трех 2-разрядных сумматоров типа ИМ2 (74x82) показан на рис. 3.5.

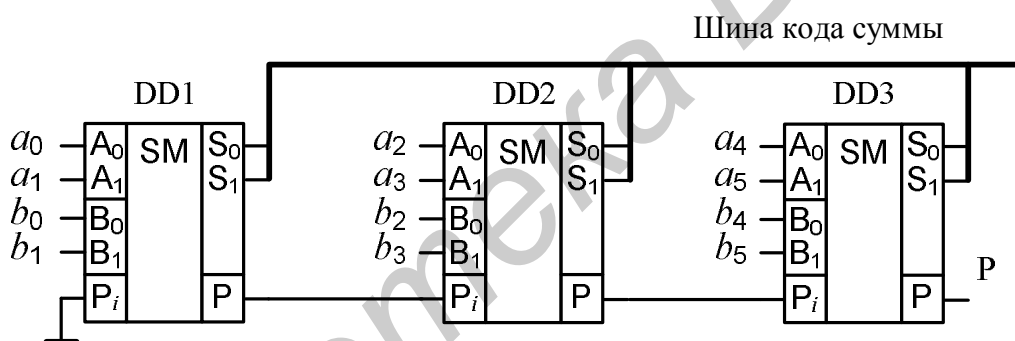
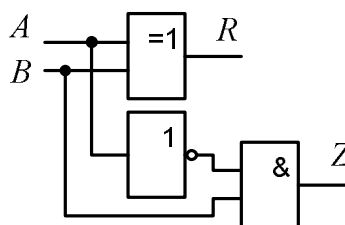


Рис. 3.5. Каскадирование 2-разрядных сумматоров ИМ2

Вычитающие устройства. Простейшим вычитающим устройством является *полувычитатель*, который осуществляет арифметическое вычитание двух одноразрядных чисел A и B в двоичном коде. Составим таблицу истинности полувычитателя (рис. 3.6, *a*) с учетом того, что в случае вычитания чисел (0-1) на выходе результат $R = 1$, а на выходе Z будет сформирована единица заёма.

A	B	R	Z
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

a



б

Рис. 3.6. Таблица истинности (*a*) и логическая схема (*б*) одноразрядного полувычитателя

Из таблицы истинности (см. рис. 3.6, а) следует, что разность R двух чисел A и B , а также сигнал переноса заёма в старший разряд Z будут определяться логическими выражениями:

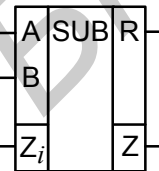
$$\begin{aligned} R &= \bar{A}B + A\bar{B} = A \oplus B, \\ Z &= \bar{A} \cdot B. \end{aligned} \quad (3.4)$$

Логическая схема полувычитателя (рис. 3.6, б) составлена согласно выражениям (3.4) и реализована на логических элементах Исключающее ИЛИ (74х86), инвертора НЕ (74х04) и умножителя 2И (74х08).

Полный вычитатель на схемах обозначается буквами SUB (Subtraktor).

Рассмотрим логический синтез *полного одноразрядного вычитателя*, который функционирует в соответствии с таблицей истинности, приведенной на рис. 3.7, а. На рисунке 3.7, б показано условное обозначение одноразрядного полного вычитателя.

Входы		Выходы		
A	B	Z_i	R	Z
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



б

а

Рис. 3.7. Таблица истинности (а) и условное обозначение (б) одноразрядного вычитателя

Одноразрядный полный вычитатель имеет три входа, на которые подаются входные сигналы: уменьшаемое число A , вычитаемое число B и заём Z_i . Сигнал заёма Z_i поступает на вход от старшего i -го разряда вычитателя. На выходе формируются сигналы разности двоичных чисел R и заёма Z .

Значение разности двоичных чисел R определим, используя данные таблицы истинности (рис. 3.7, а). Минимизируем полученное логическое выражение для разности R аналогично расчету суммы S по выражению (3.2.):

$$R = \bar{A} \cdot \bar{B} \cdot Z_i + \bar{A} \cdot B \cdot \bar{Z}_i + A \cdot \bar{B} \cdot \bar{Z}_i + A \cdot B \cdot Z_i = A \oplus B \oplus Z_i. \quad (3.5)$$

Запишем согласно данным таблицы истинности (рис. 3.7, а) логическое выражение для значений Z и минимизируем его аналитическим методом:

$$\begin{aligned} Z &= \bar{A} \cdot \bar{B} \cdot Z_i + \bar{A} \cdot B \cdot \bar{Z}_i + \bar{A} \cdot B \cdot Z_i + A \cdot B \cdot Z_i = \\ &= (\bar{A} \cdot \bar{B} \cdot Z_i + \bar{A} \cdot B \cdot \bar{Z}_i) + (\bar{A} \cdot B \cdot Z_i + A \cdot B \cdot Z_i) = \bar{A} \cdot (B \oplus Z_i) + B \cdot Z_i. \end{aligned} \quad (3.6)$$

По выражениям (3.5) и (3.6) составим логическую схему одноразрядного полного вычитателя и представим ее на рис. 3.8.

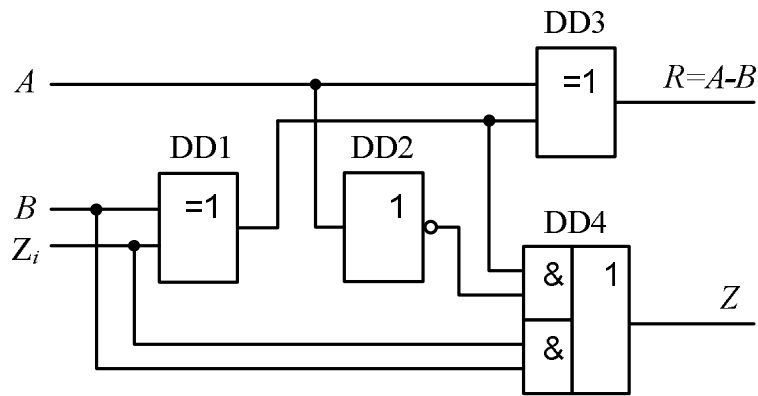


Рис. 3.8. Схема одноразрядного полного вычитателя

Сумматор-вычитатель. В цифровых устройствах находят применение комбинированные сумматоры-вычитатели (SM-SUB). Они используются с целью упрощения схемной реализации при проектировании цифровых устройств, когда вместо отдельных схем сумматора и вычитателя используется комбинированная схема SM-SUB.

Рассмотрим принцип проектирования простой одноразрядной схемы сумматора-вычитателя, используя свойства логического элемента Исключающее ИЛИ (сумматора по модулю два). Суммирование по модулю два входного сигнала A и постоянного управляющего сигнала $K = 0$ не инвертирует сигнал A , при значениях $K = 1$ осуществляется инверсия сигнала A .

Составим по ранее полученным выражениям (3.5) и (3.6) логическую схему одноразрядного сумматора-вычитателя (SM-SUB) и представим ее на рис. 3.9.

В схеме SM-SUB в качестве DD1-DD3 используются логические элементы Исключающее ИЛИ (отечественная серия ИС ЛП15).

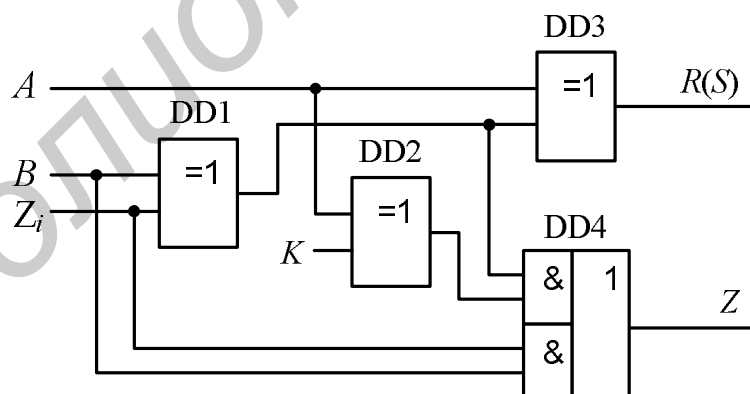


Рис. 3.9. Схема одноразрядного сумматора-вычитателя

Согласно выражению (3.6) в схеме SM-SUB в режиме работы вычитающего устройства в качестве DD2 необходимо применить инвертор. В данном варианте устройства используется логический элемент Исключающее ИЛИ, выполняющий роль схемы управления. При подаче на вход DD2 сигнала A и постоянного сигнала $K = 0$, схема DD2 будет повторять сигнал A . В этом случае

схема SM-SUB аналогично схеме рис. 3.3 будет выполнять операцию *суммирования* $S = A + B$.

При подаче на вход DD2 единицы ($K = 1$) схема DD2 будет осуществлять инверсию сигнала A . В этом случае устройство SM-SUB аналогично схеме рис.3.8 будет выполнять операцию *вычитания* чисел $R = A - B$.

Таким образом, вид выполняемой операции в рассмотренной схеме SM-SUB определяется значением управляющего сигнала K , что позволяет получить на выходе сигнал или суммы S , или разности R двух двоичных чисел.

В заключение приведем некоторые типы ИС двоичных сумматоров и их зарубежные аналоги, серийно выпускаемые промышленностью (рис. 3.10).

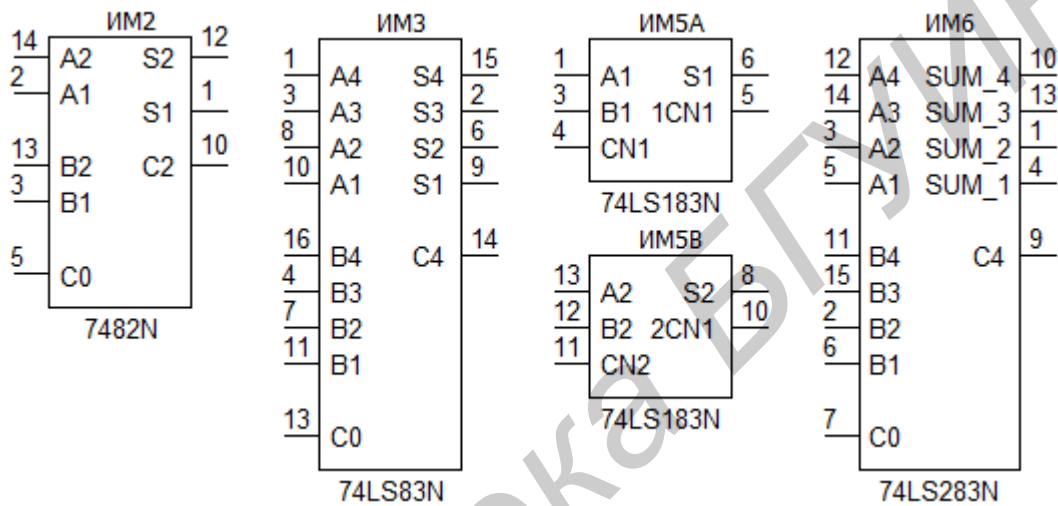


Рис. 3.10. Сумматоры стандартных серий ИС

Принятые обозначения и назначения выводов микросхем, представленных на рис. 3.10: $A1 \dots A4$ и $B1 \dots B4$ – входы данных; $S1 \dots S4$, SUM – выходы суммы; $C0$ – вход для приема сигнала переноса; CN, C2, C4 – выходы сигналов переноса для передачи в старший разряд.

3.3. Порядок выполнения лабораторной работы

1. Выполнить по указанию преподавателя синтез и реализовать на логических элементах схему двоичного сумматора (вычитателя) согласно вариантам:

Вариант	1	2	3	4	5	6
Синтезируемая схема	Полусумматор	Однораз. сумматор	2-разряд. сумматор	4-разряд. сумматор	Полувывчитатель	Вычитатель

2. Осуществить моделирование спроектированного сумматора в среде Multisim:

– зарисовать временные диаграммы и заполнить таблицу функционирования разработанного устройства, изменяя состояния входов с помощью клавиш SPST SWITCH (раздел пассивных компонентов), которые должны быть под-

ключены к источнику питания +5В (VCC) и общей шине заземления (GROUND). Контроль осуществлять световыми индикаторами PROBE (раздел индикаторов) или светодиодами LTD (раздел диодов);

– по указанию преподавателя выполнить исследование одной из схем сумматора рис. 3.10 в среде Multisim.

3. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

4. Выполнить экспериментальные исследования на лабораторном стенде IDL-800:

– собрать синтезированную схему сумматора на наборной панели лабораторного стенда IDL-800 и провести ее исследование;

– установить по указанию преподавателя одну из микросхем рис. 3.10 на наборной панели стенда IDL-800. Подключить соответствующие выводы микросхемы к источнику питания +5В (VCC) и к общей шине заземления (GROUND) согласно установленному корпусу микросхемы;

– определить по указанию преподавателя параметры исследуемых устройств, изменяя состояния входов с помощью переключателей SW и используя внешние измерительные приборы.

3.4. Содержание отчёта

1. Цель работы.

2. Аналитические выражения и спроектированная схема заданного логического устройства.

3. Временные диаграммы в контрольных точках, полученные с помощью анализатора логических уровней в среде Multisim.

4. Результаты экспериментальных исследований на лабораторном стенде IDL-800, таблицы функционирования исследуемых устройств.

5. Выводы по результатам экспериментальных исследований.

3.5. Контрольные вопросы

1. Чем отличается полусумматор от полного сумматора?

2. Чем отличается полувычитатель от полного вычитающего устройства?

3. Дайте определение одноразрядного сумматора и приведите его схему.

4. Дайте определение одноразрядного вычитающего устройства и приведите его схему.

5. Приведите схему одноразрядного полусумматора.

6. Приведите схему одноразрядного полувычитателя.

7. Укажите достоинства и недостатки двоичных сумматоров с последовательным переносом.

8. Перечислите основные способы повышения быстродействия сумматоров.

9. Напишите таблицу истинности полного сумматора.

10. Напишите таблицу истинности полного вычитателя.

Лабораторная работа № 4. Мультиплексоры и демультиплексоры

4.1. Цель работы

1. Изучить теорию, методы логического синтеза и принципы функционирования мультиплексоров (MUX) и демультиплексоров (DX).
2. Получить практические навыки компьютерного моделирования MUX и DX в среде Multisim.
3. Выполнить экспериментальные исследования MUX и DX на лабораторном стенде IDL-800.

4.2. Теоретические сведения

Мультиплексор (Multiplexer) – это комбинационное устройство, которое по заданному адресному двоичному коду осуществляет выбор одного из информационных каналов и подключает его к своему выходу.

На схемах мультиплексор обозначают буквами MUX, в стандартных сериях ИС – буквами КП.

В качестве примера на рис. 4.1 показаны условное обозначение 4-канального мультиплексора и таблица его функционирования.

На входы мультиплексора $D_0 \dots D_{n-1}$ поступают по информационным каналам n -разрядные сигналы. Число информационных каналов, коммутируемых на один выход Q , составляет $m = 2, 4, 8, 16$. При $m = 4$ и $Q = 1$ мультиплексор имеет размерность 4-1 (см. рис. 4.1). Такой мультиплексор является 4-канальным и осуществляет выбор одного информационного канала D , подключая его к своему выходу Q .

На входы $A_0 \dots A_{n-1}$ подается n -разрядный адресный код, при этом каждому информационному каналу присваивается свой адрес (номер), а общее число комбинаций адресных сигналов $N_k = 2^n$.

Вход G разрешает (либо запрещает) работу MUX при подаче на него сигналов управления.



Рис. 4.1. 4-канальный мультиплексор (а) и таблица функционирования (б)

По таблице функционирования (см. рис. 4.1, б) запишем логическое выражение для выхода Q :

$$Q = (D_0 \cdot \bar{A}_1 \cdot \bar{A}_0 \vee D_1 \cdot \bar{A}_1 \cdot A_0 \vee D_2 \cdot A_1 \cdot \bar{A}_0 \vee D_3 \cdot A_1 \cdot A_0) \cdot G. \quad (4.1)$$

Если $A_0 = 0$, $A_1 = 1$, $G = 1$, то $Q = (D_2 \cdot A_1 \cdot \bar{A}_0) \cdot G = D_2$,

следовательно, при $G = 1$ по адресу коду 10 на выход Q подключается сигнал, действующий на информационном входе D_2 .

Построенная по выражению (4.1) схема мультиплексора приведена на рис. 4.2 и имеет размерность 4-1.

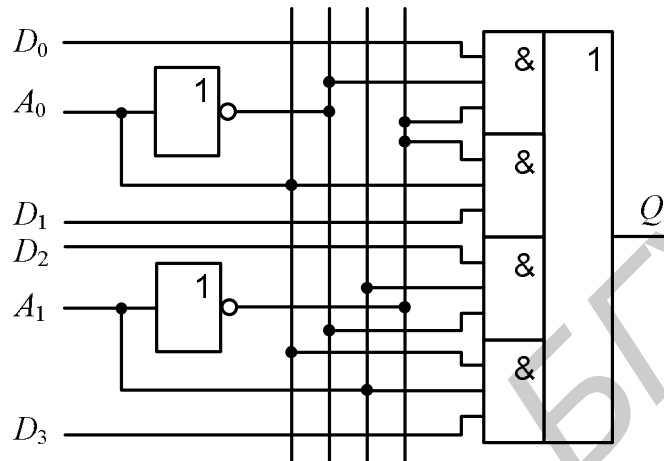


Рис. 4.2. Логическая схема мультиплексора размерности 4-1

Размерность MUX в стандартных сериях ИС не превышает 16 каналов. Для увеличения размерности MUX осуществляют наращивание нескольких мультиплексоров меньшей разрядности. На рис. 4.3 показан принцип построения схемы MUX 32-1.

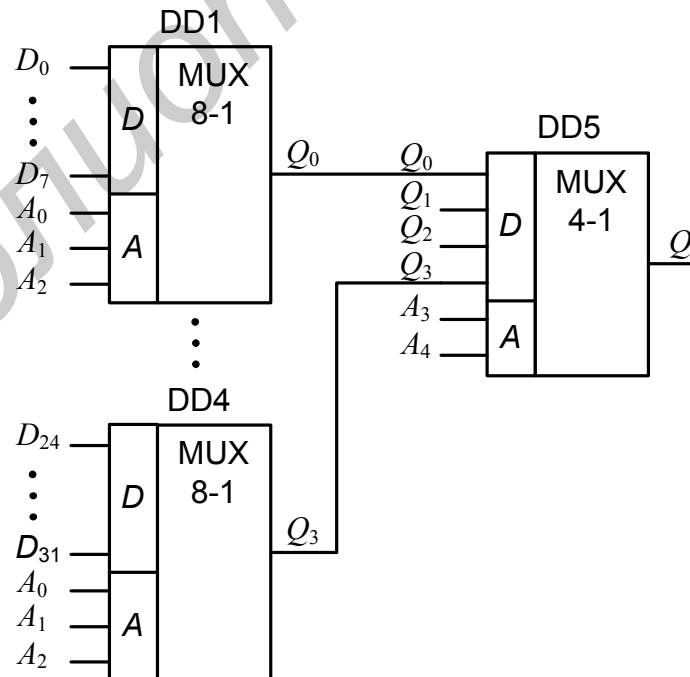


Рис. 4.3. Мультиплексор разрядности 32-1

Схема выполнена на четырех 8-канальных мультиплексорах MUX 8-1 и одном 4-канальном MUX 4-1.

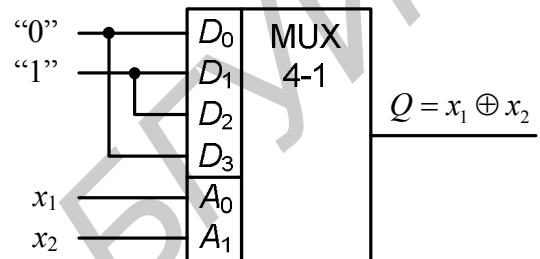
Мультиплексоры DD1...DD4 адресуются одним и тем же адресным кодом, составленным из младших разрядов $A_0...A_2$, мультиплексор DD5 обеспечивает поочередную работу MUX DD1...DD4 старшими разрядами A_3, A_4 общего адресного кода $A_0...A_4$. Входные информационные сигналы $D_0...D_{31}$ коммутируются на общий выход мультиплексора Q .

С помощью мультиплексоров можно решать широкий круг задач, используя их как универсальные логические модули (УЛМ). Используя УЛМ, можно реализовать любую ФАЛ, записанную в СДНФ.

Рассмотрим принцип реализации функции неравнозначности $F_6(x_1, x_2) = x_1 \oplus x_2$ на мультиплексоре.

x_1	x_2	$F_6(x)$	Q
0	0	0	D_0
0	1	1	D_1
1	0	1	D_2
1	1	0	D_3

a



б

Рис. 4.4. Реализация функции $F_6(x)$ на мультиплексоре

На рис. 4.4, *a*, *б* показаны соответственно таблица истинности функции неравнозначности $F_6(x)$ и ее реализация на MUX 4-1, где на адресные входы A_0 и A_1 поданы значения аргументов x_1 и x_2 , а значения функции $F_6(x)$ зафиксированы на информационных входах $D_0...D_3$ согласно таблице истинности. При таком включении адресных и информационных входов УЛМ выполняет функцию неравнозначности. Аналогично можно реализовать любую другую ФАЛ двух аргументов.

При большом числе информационных входов необходимо решать вопросы сокращения числа адресных входов и информационных каналов.

Реализуем на MUX 8-1 и затем на MUX 4-1 функцию трёх аргументов:

$$F(x_1, x_2, x_3) = x_1 \cdot x_2 \cdot \overline{x_3} + \overline{x_1} \cdot x_2 \cdot x_3 + \overline{x_1} \cdot \overline{x_2} \cdot x_3 + \overline{x_1} \cdot x_2 \cdot \overline{x_3}. \quad (4.2)$$

Составим таблицу истинности функционирования устройства по выражению (4.2) для числа аргументов $n = 3$.

Для реализации логического устройства на восьмиканальном мультиплексоре на адресные входы A_0, A_1, A_2 подаём сигналы x_1, x_2, x_3 . На информационные входы D_1, D_2, D_3, D_6 , где функция $F(x) = 1$, подаём лог. 1, а на входы D_0, D_4, D_5, D_7 – лог. 0.

Таблица истинности и схема устройства, выполненная на MUX 8-1, приведены на рис. 4.5, *a*, *б* соответственно.

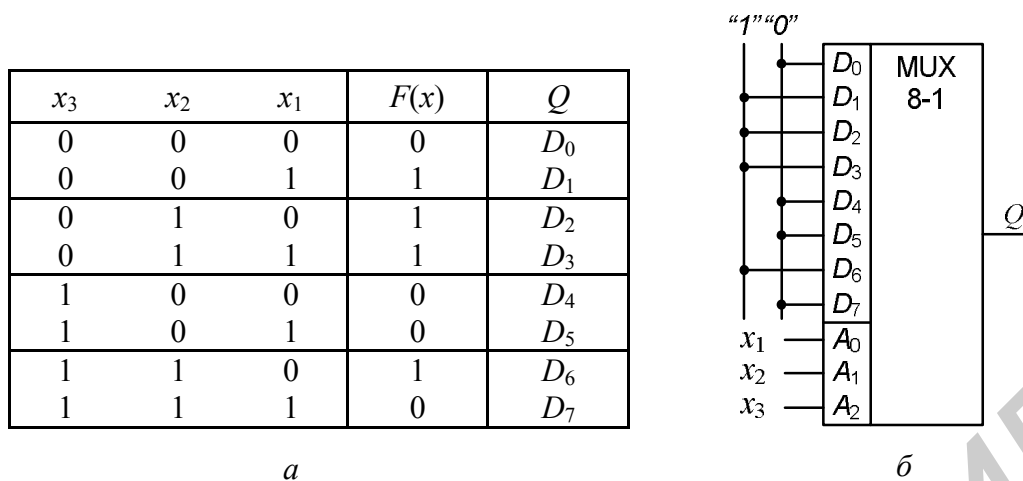


Рис. 4.5. Реализация функции (4.2) на 8-канальном мультиплексоре

Используя свойство парных наборов, можно сократить число адресных входов на единицу, тогда число информационных входов сократится вдвое.

Перенесём в число информационных каналов младший разряд x_1 адресного кода $x_3x_2x_1$, тогда в двух смежных строках таблицы на рис. 4.5, *a* будут встречаться одинаковые комбинации аргументов x_2x_3 . В этом случае таблицу на рис. 4.5, *a* можно преобразовать в таблицу, представленную на рис. 4.6, *a*, из которой следует, что для воспроизведения функции (4.2) достаточно использовать мультиплексор MUX 4-1 и дополнительный инвертор (рис. 4.6, *б*).

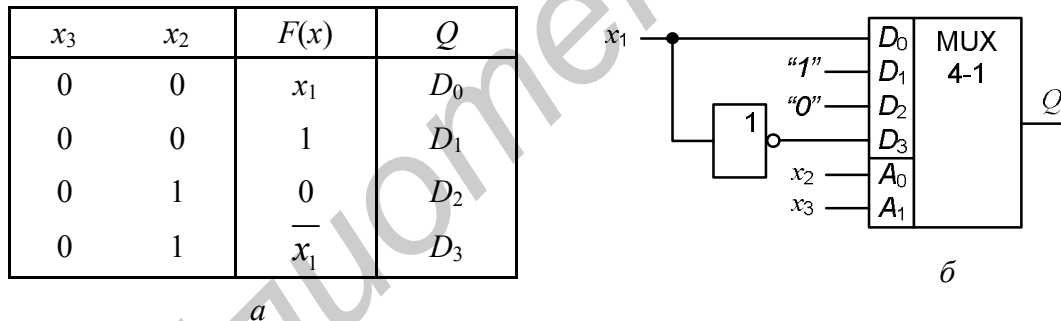


Рис. 4.6. Реализация функции (4.2) на 4-канальном мультиплексоре

При необходимости передать на выходы многоразрядные входные данные в параллельной форме применяются мультиплексоры типа КП16 (74х157), которые являются 4-разрядными 2-канальными MUX.

Приведем некоторые типы мультиплексоров стандартных ИС, а также их схемные обозначения и назначения выводов микросхем (рис. 4.7): А, В, С – адресные входы; А/В – вход выбора канала; D0...D7, 1C0...2C3, 1A...4B – информационные входы; G – входы разрешения (стробирования), Y – выходы, W – инверсные выходы.

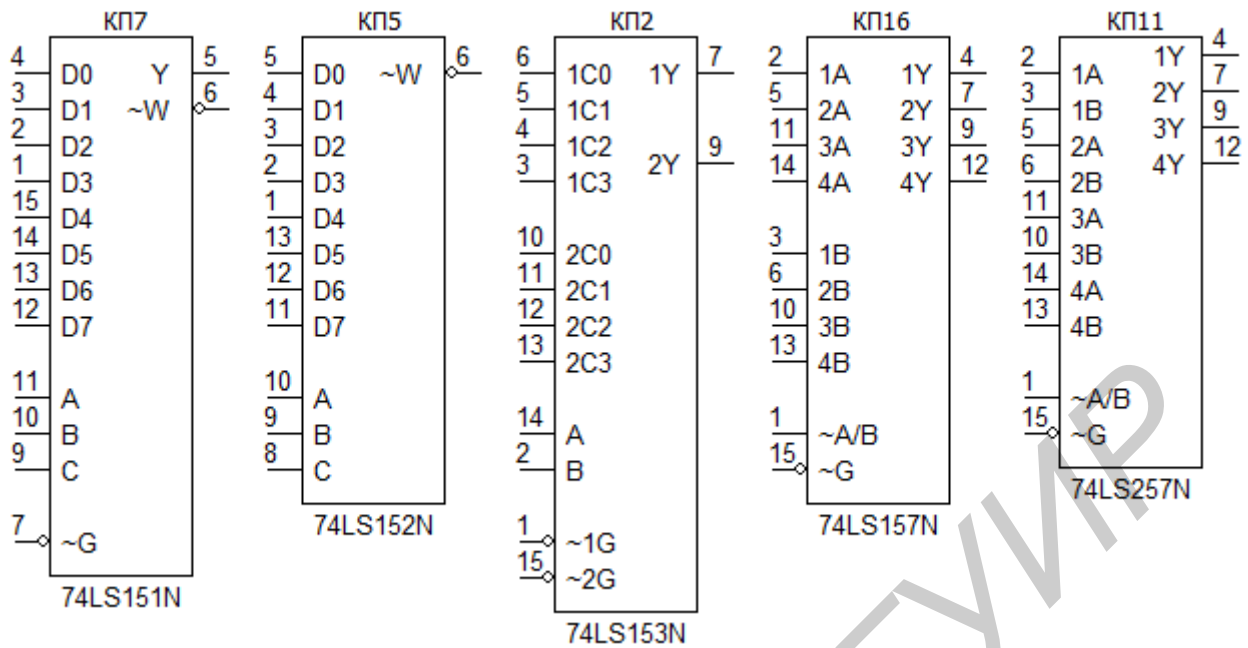


Рис. 4.7. Мультиплексоры стандартных серий ИС

Демультимплексор (Demultiplexer) осуществляет передачу сигналов с одного информационного входа D на один из выходов Q , имеющий заданный n -разрядный адресный код. В общем случае число выходов $Q = 2^n$ и определяется количеством адресных входов n .

На схемах демультимплексор обозначают буквами Dx , в стандартных сериях ИС – буквами ИД.

На рис. 4.8 показаны условное обозначение Dx 1-4 и таблица его функционирования.



Рис. 4.8. Условное обозначение (а) и таблица функционирования (б) Dx 1-4

Запишем согласно данным рис. 4.8, б логическое выражение для каждого выхода демультимплексора и по ним составим логическую схему (рис. 4.9).

Следует отметить, что в качестве демультимплексоров (Dx) на практике используются серийно выпускаемые дешифраторы-демультимплексоры ($DC-Dx$).

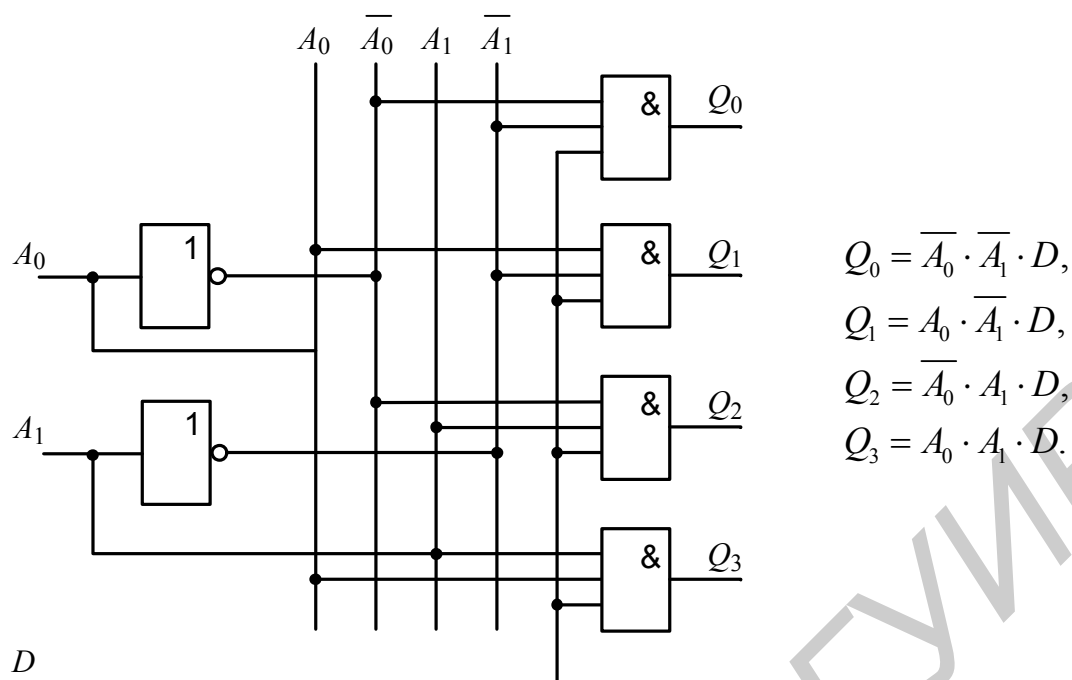


Рис. 4.9. Логическая схема демультиплектора DX 1-4

На рис. 4.10 приведены некоторые типы DC-DX стандартных ИС, их схемные обозначения и назначения выводов микросхем в режиме демультиплексирования: А, В, С, D – адресные входы, 1С или G1 – информационные входы, G2 – вход разрешения работы, Y0...Y7 или O0...O15 – выходы.

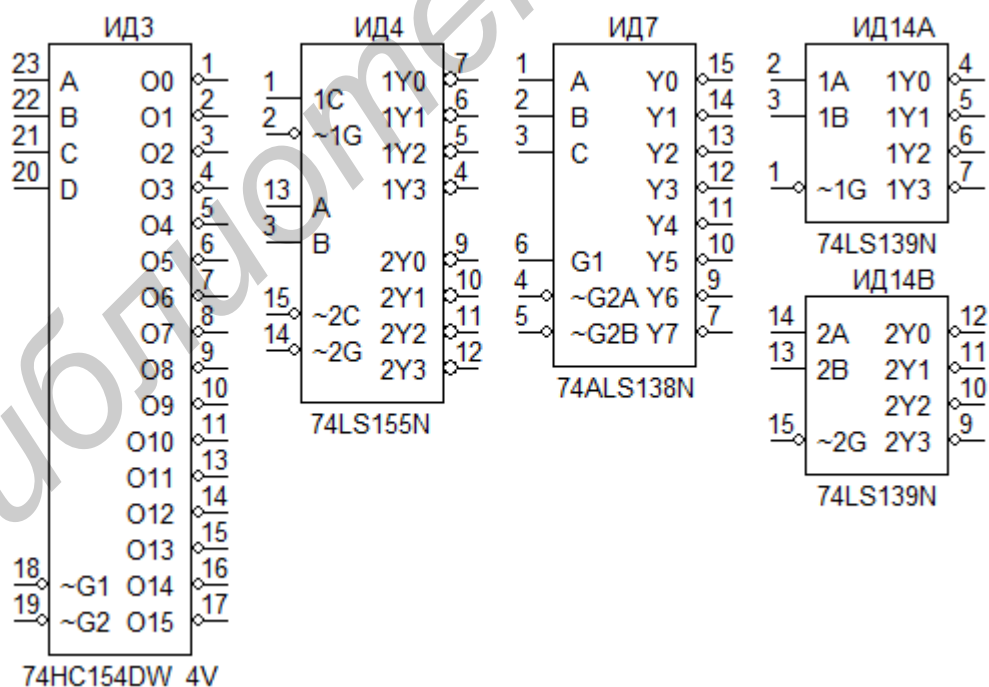


Рис. 4.10. Дешифраторы-демультиплексоры стандартных серий ИС

Например, микросхема ИД3 (аналог 74x154) может выполнять функции дешифрации 4-разрядного двоичного кода, поступившего на входы А, В, С, D с последующей передачей преобразованного сигнала на один из 16 выходов

00...015. Входы G1,G2 в этом случае выполняют функции разрешения работы. Микросхема в таком режиме будет выполнять функции дешифратора DC 4-16.

Если на вход разрешения G1 подавать входные информационные сигналы, тогда входы A, B, C, D можно использовать как адресные, чтобы направить сигналы на один из 16 выходов. Микросхема в таком режиме будет выполнять функции демультиплексора DX 1-16.

Аналогичные функции могут выполнять микросхемы ИД4, ИД7 и др.

Микросхема КР1533ИД7 (аналог 74ALS138N) является дешифратором-демультиплексором 3-8. При работе в качестве дешифратора входы A, B, C являются информационными, входы G1,G2A,G2B – разрешающими. При работе в качестве демультиплексора 1-8 входы A,B,C являются адресными, роль информационного входа выполняет G1, а G2A и G2B являются разрешающими.

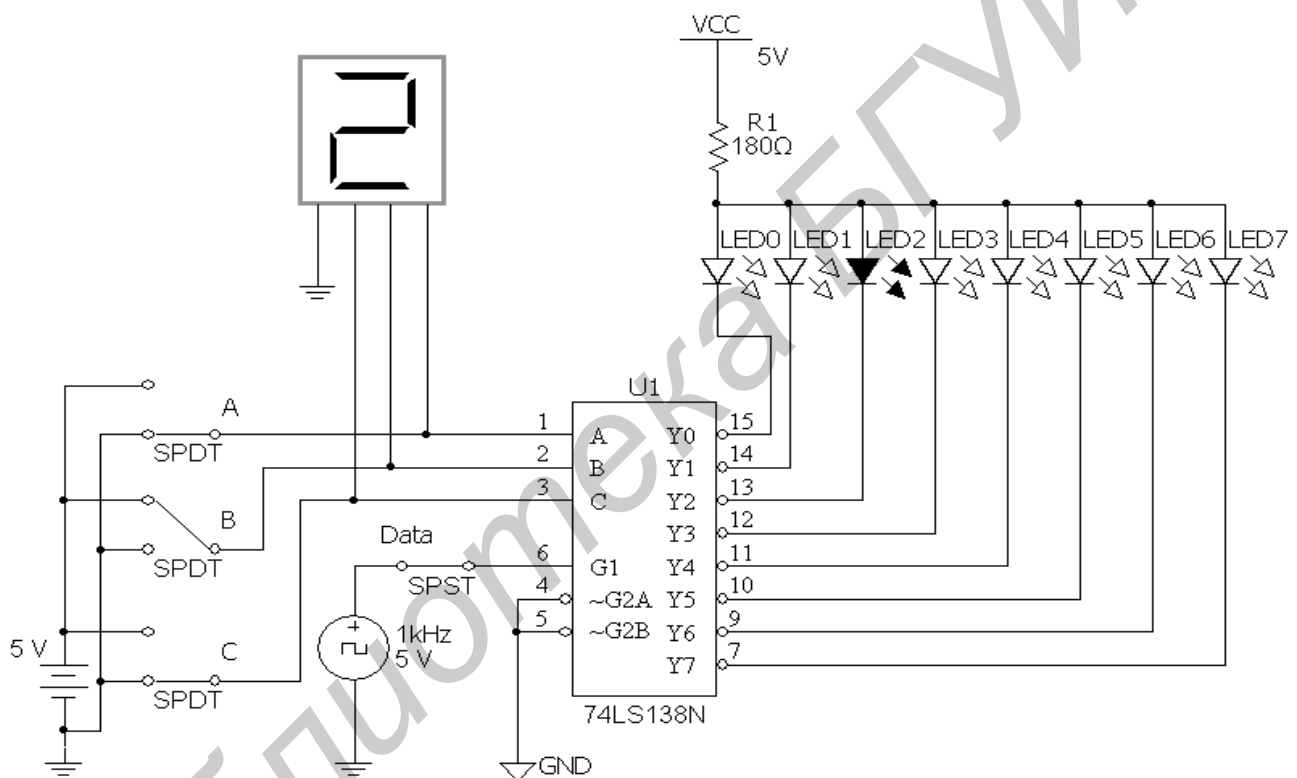


Рис. 4.11. Реализация демультиплексора на дешифраторе ИД7

Пример реализации демультиплексора на микросхеме ИД7 (74LS138N) приведен рис. 4.11. 3-разрядный адресный код, формируемый в канале селекции, поступает на входы A, B, C микросхемы U1 и контролируется семисегментным индикатором в десятичном коде.

Генератор Data формирует информационные сигналы, поступающие через клавишу SPST на вход G1. На входы G2 подаются сигналы низкого уровня, разрешающие работу демультиплексора. Выходной информационный сигнал, соответствующий адресному двоичному коду 010_2 , выделяется на выходе микросхемы Y2 и высвечивает индикатор LED2. Следовательно, информационное сообщение, поступившее на вход G1, в данном случае будет передано по каналу Y2.

4.3. Порядок выполнения лабораторной работы

1. Выполнить синтез и реализовать на логических элементах вариант схемы мультиплексора или демультиплексора по указанию преподавателя:

Вариант	1	2	3	4	5	6
Синтезируемая схема	MUX 2-1	MUX 4-1	MUX 8-1	DX 2-4	DX 3-8	DX 4-16

2. Осуществить моделирование заданного логического устройства в среде Multisim:

– получить основные характеристики (временные диаграммы, таблицу функционирования и др.) спроектированного устройства, а также провести исследование одной из схем рис. 4.7 или рис. 4.10 по указанию преподавателя.

3. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

4. Выполнить экспериментальные исследования на стенде IDL-800:

– собрать синтезированную схему на наборной панели стенда IDL-800 и провести ее исследование;

– установить на наборной панели стенда IDL-800 одну из микросхем, приведенных на рис. 4.7 или рис. 4.10;

– подключить соответствующие выводы микросхемы к источнику питания +5В (VCC) и к общей шине заземления (GROUND) согласно установленному корпусу микросхемы;

– определить основные характеристики исследуемых устройств, используя внутренний генератор сигналов макета IDL-800 и внешние измерительные приборы: цифровой осциллограф, измеритель частоты, вольтметр и др.

4.4. Содержание отчёта

1. Цель работы.

2. Аналитические выражения и синтезированная схема заданного логического устройства.

3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов в среде Multisim.

4. Результаты экспериментальных исследований, таблицы функционирования исследуемых устройств. Выводы.

4.5. Контрольные вопросы

1. Дайте определение мультиплексора и демультиплексора.

2. Перечислите области применения MUX и DX.

3. В чем суть каскадирования мультиплексоров? Объясните, как на основе микросхем MUX 8-1 спроектировать MUX на 16 и 32 входа.

4. Объясните, как с помощью демультиплексора можно осуществить преобразование последовательного кода в параллельный код.

5. Объясните, как с помощью мультиплексора можно осуществить преобразование параллельного кода в последовательный код.

Лабораторная работа № 5. Шифраторы и дешифраторы

5.1. Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространенных шифраторов и дешифраторов.

2. Получение навыков компьютерного моделирования шифраторов и дешифраторов в среде Multisim.

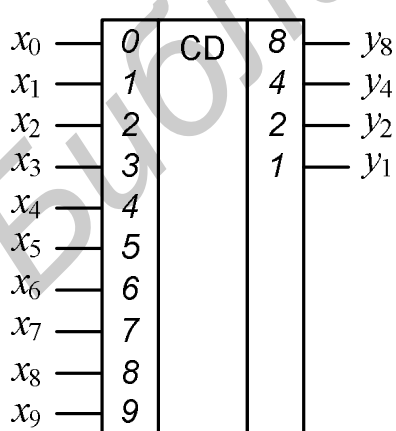
3. Приобретение практических навыков работы с реальными цифровыми устройствами и контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

5.2. Теоретические сведения

Шифратор (Coder) предназначен для преобразования входных сигналов в выходной n -разрядный код. Шифратор также называется кодером (CD) и применяется в устройствах ввода информации в цифровых системах.

В частности, десятичные числа с помощью шифратора преобразуются в двоичный код. Сигналы на вход шифратора могут попадать с клавиатуры и преобразовываться (кодироваться) в двоичный код, численно равный номеру возбужденного входа. В этом случае входам шифратора можно последовательно присваивать значения десятичных чисел. Тогда подача активного сигнала на один из входов шифратора будет восприниматься как подача соответствующего десятичного числа.

Шифратор называется полным, если число входов $m = 2^n$, а число выходов равно n (n – разрядность двоичного кода). Если $m < 2^n$, то шифратор будет неполным. На схемах шифраторы обозначаются буквами CD, а в стандартных сериях ИС – буквами ИВ. Шифратор, имеющий 10 входов и 4 выхода, является неполным и обозначается CD 10-4 (рис. 5.1, а).



а

Десятичное число	Выходной код 8421			
	y_8	y_4	y_2	y_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

б

Рис. 5.1. Шифратор 10-4 (а) и его таблица истинности (б)

На рис. 5.1 показаны условное обозначение (а) и таблица истинности (б) шифратора, преобразующего десятичные числа 0...9 в двоичный код 8421.

Согласно таблице (рис. 5.1, б) значения выходных переменных определяются следующими логическими выражениями:

$$\begin{aligned}
 y_8 &= x_8 \vee x_9; \\
 y_4 &= x_4 \vee x_5 \vee x_6 \vee x_7; \\
 y_2 &= x_2 \vee x_3 \vee x_6 \vee x_7; \\
 y_1 &= x_1 \vee x_3 \vee x_5 \vee x_7 \vee x_9.
 \end{aligned}
 \tag{5.1}$$

Для реализации шифратора на элементах И-НЕ в базисе Шеффера преобразуем полученные выражения:

$$\begin{aligned}
 y_8 &= x_8 \vee x_9 = \overline{\overline{x_8 \cdot x_9}} = \overline{\overline{x_8} | \overline{x_9}}; \\
 y_4 &= \overline{\overline{x_4} | \overline{x_5} | \overline{x_6} | \overline{x_7}}; \\
 y_2 &= \overline{\overline{x_2} | \overline{x_3} | \overline{x_6} | \overline{x_7}}; \\
 y_1 &= \overline{\overline{x_1} | \overline{x_3} | \overline{x_5} | \overline{x_7} | \overline{x_9}}.
 \end{aligned}
 \tag{5.2}$$

На основании выражений (5.2) строим логическую схему неполного шифратора CD 10-4 на логических элементах И-НЕ (рис. 5.2).

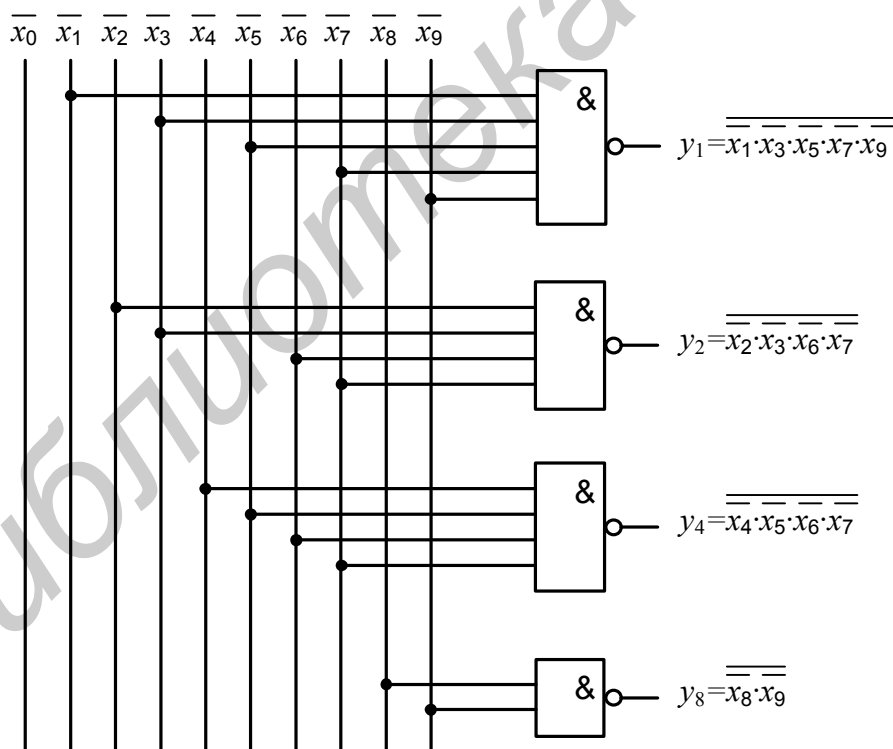


Рис. 5.2. Логическая схема шифратора

В качестве примера на рис. 5.3 приведем основные типы шифраторов различных серий ИС, выпускаемые промышленностью.

Назначения выводов микросхем: D0...D7 или 1...9 – входы десятичных чисел, E1 – вход разрешения работы, A0...A2 – выходной 3-разрядный

двоичный код, A...D – выходной 4-разрядный двоично-десятичный код, E0 и GS – разрешения по выходу, используются при реализации многоразрядных приоритетных шифраторов.

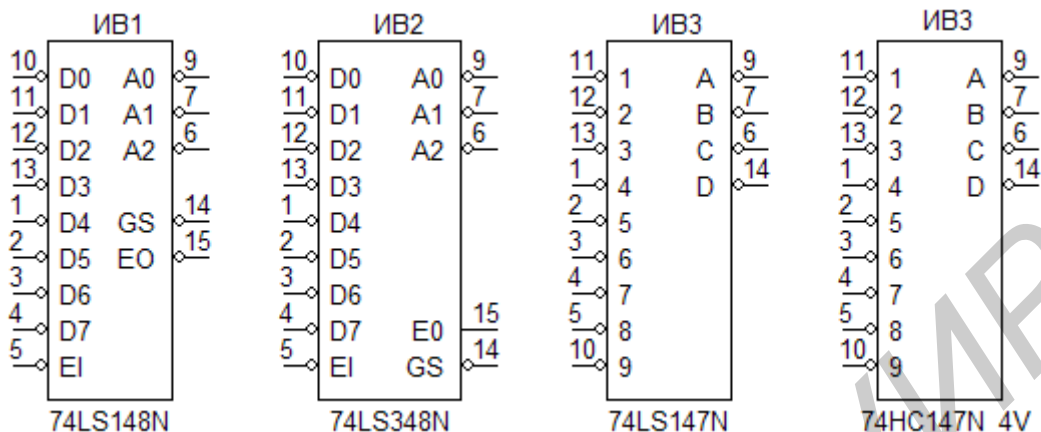


Рис. 5.3. Шифраторы стандартных серий ИС

Дешифратор (Decoder) преобразует входной n -разрядный двоичный код в кодированные выходные сигналы. В частности, дешифратор может преобразовывать n -разрядный двоичный код в унитарный m -разрядный код (код 1 из m). Входной код дешифратора имеет меньшее число разрядов, чем выходной. Дешифратор называется полным, если при n входах имеется $m = 2^n$ выходов, где n – разрядность двоичного кода.

На схемах дешифраторы обозначаются буквами DC, в стандартных сериях ИС – буквами ИД. Например, дешифратор КР1533ИД7 (аналог 74ALS138) является полным, имеет 3 входа и 8 выходов и обозначается DC 3-8.

Рассмотрим пример синтеза полного дешифратора 3-8, имеющего на входе 3-разрядный двоичный код 8421, а на 8 выходах десятичные числа 0...7. На выходе дешифратора появится сигнал только на том одном выходе, номер которого соответствует десятичному эквиваленту двоичного кода.

Составим таблицу истинности DC (табл. 5.1), где каждой выходной функции $Z_0...Z_7$ соответствует только один минтерм. Так как рассматриваемый дешифратор полный, то он реализует все значения входных переменных X_1, X_2, X_3 .

Таблица 5.1

X_3	X_2	X_1	Z_0	Z_1	Z_2	Z_3	Z_4	Z_5	Z_6	Z_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Согласно табл. 5.1 запишем значения выходных логических функций и составим схему дешифратора 3-8 (рис. 5.4).

Таким образом, для реализации дешифратора DC 3-8 необходимо иметь 3 логических элемента НЕ и 8 элементов И. Выходы дешифратора иногда используют для получения произвольных логических функций, записанных в СДНФ и собранных на логическом элементе ИЛИ.

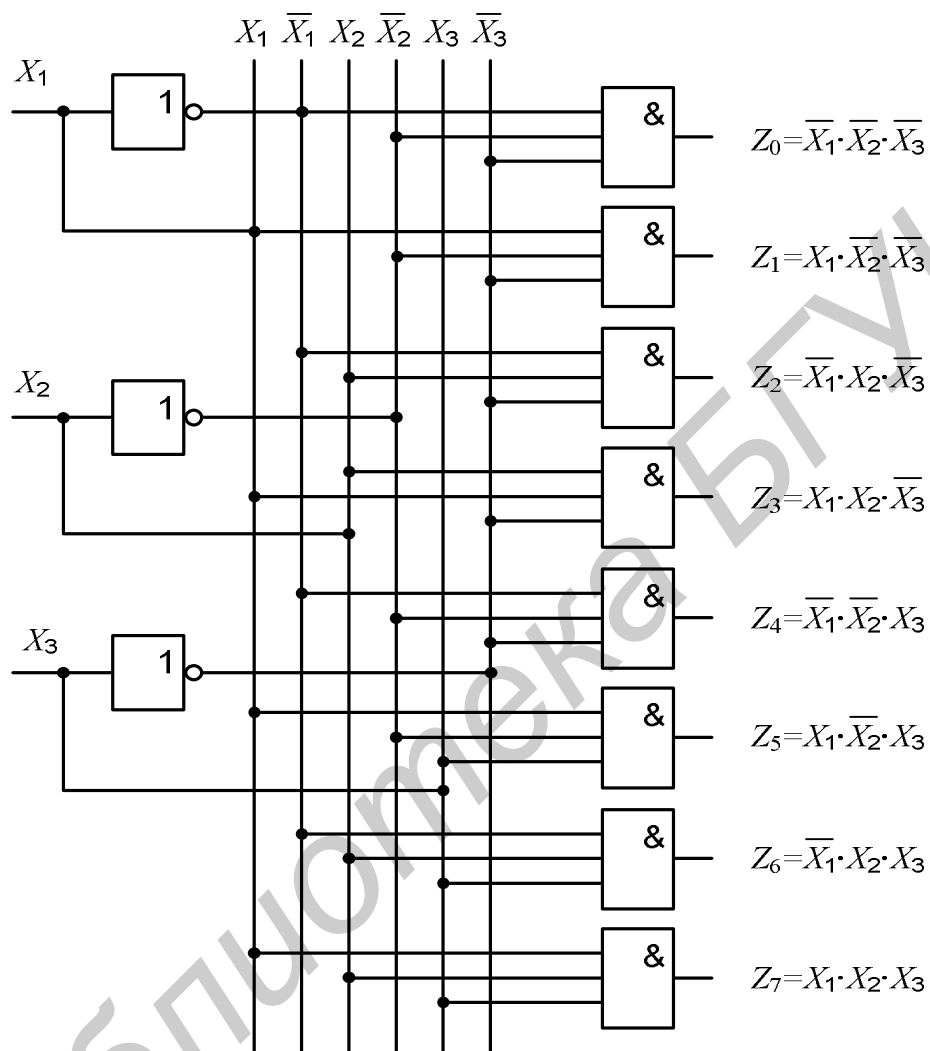


Рис. 5.4. Логическая схема дешифратора

При необходимости дешифровать код с большим числом разрядов нужно объединить несколько микросхем DC. Рассмотрим принцип наращивания размерности дешифратора, используя 5 малоразрядных DC 2-4.

Схема дешифратора, представленная на рис. 5.5, имеет 4 входа и 16 выходов. Сигналы X_3 и X_4 являются старшими разрядами входного двоичного кода, они подаются на входы 1, 2 основного дешифратора DD1, его выходы разрешают работу дешифраторам DD2-DD5. Сигналы X_1 и X_2 младших разрядов входного двоичного кода подаются на входы 1, 2 дешифраторов DD2-DD5. Стробующие входы C используются как управляющие.

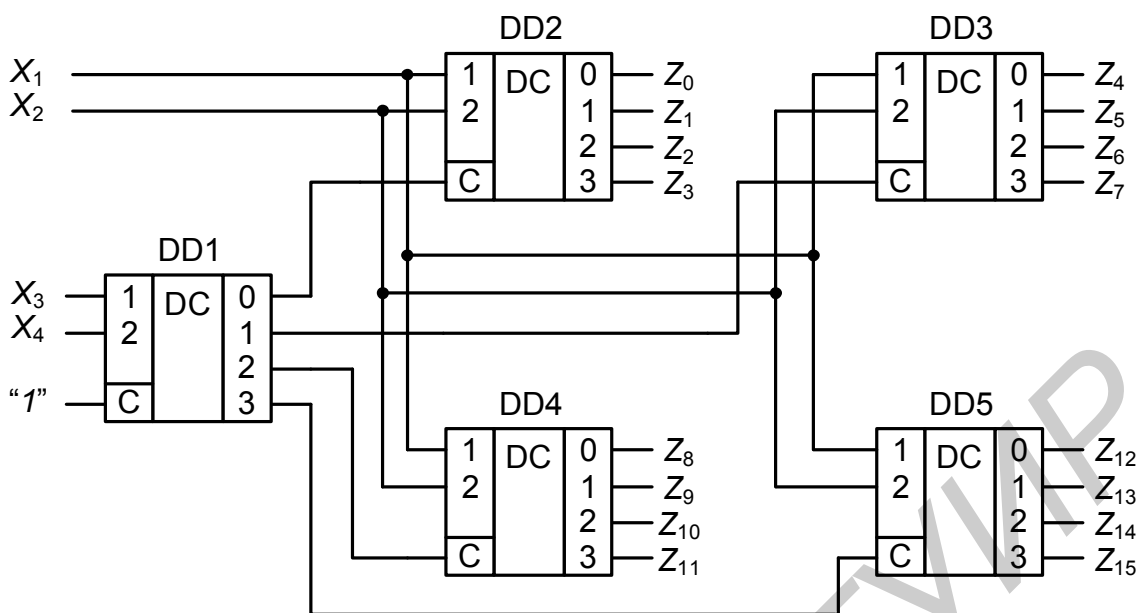


Рис. 5.5. Нарастивание разрядности дешифратора

Аналогично на семнадцати дешифраторах DC 4-16 можно реализовать DC 8-256.

На практике часто используются *приоритетные шифраторы и дешифраторы*, которые определяют приоритетного претендента на пользование каналом связи или каким-либо ресурсом. Эту задачу решают присвоением каждому пользователю фиксированного номера. Если одновременно поступает несколько запросов, то приоритетный дешифратор вырабатывает на выходе двоичный номер старшего запроса.

Шифраторы и дешифраторы относятся к комбинационным устройствам. Дешифраторы часто используются для реализации комбинационных схем: сумматоров, мультиплексоров, демультиплексоров и других устройств.

Например, микросхема КР1533ИД7 (аналог 74ALS138N) является дешифратором-демультиплексором 3-8. При работе в качестве дешифратора 3-8 входы А, В, С являются информационными, входы G1, G2A, G2B – разрешающими.

Микросхема ИД4 (аналог 74x155) является сдвоенным дешифратором-демультиплексором 2-4 с индивидуальным входом выбора данных и разрешения работы (стробирования). Микросхема может использоваться в качестве сдвоенного дешифратора 2-4, сдвоенного демультиплексора 1-4, дешифратора 3-8, демультиплексора 1-8.

В качестве примера на рис. 5.6 приведем некоторые типы дешифраторов стандартных серий интегральных микросхем.

Назначения выводов микросхем в режиме *дешифрации* (декодирования): А, В, С, D – информационные входы; G1, G2 – входы разрешения работы; Y0...Y7 и O0...O15 – выходы дешифраторов.

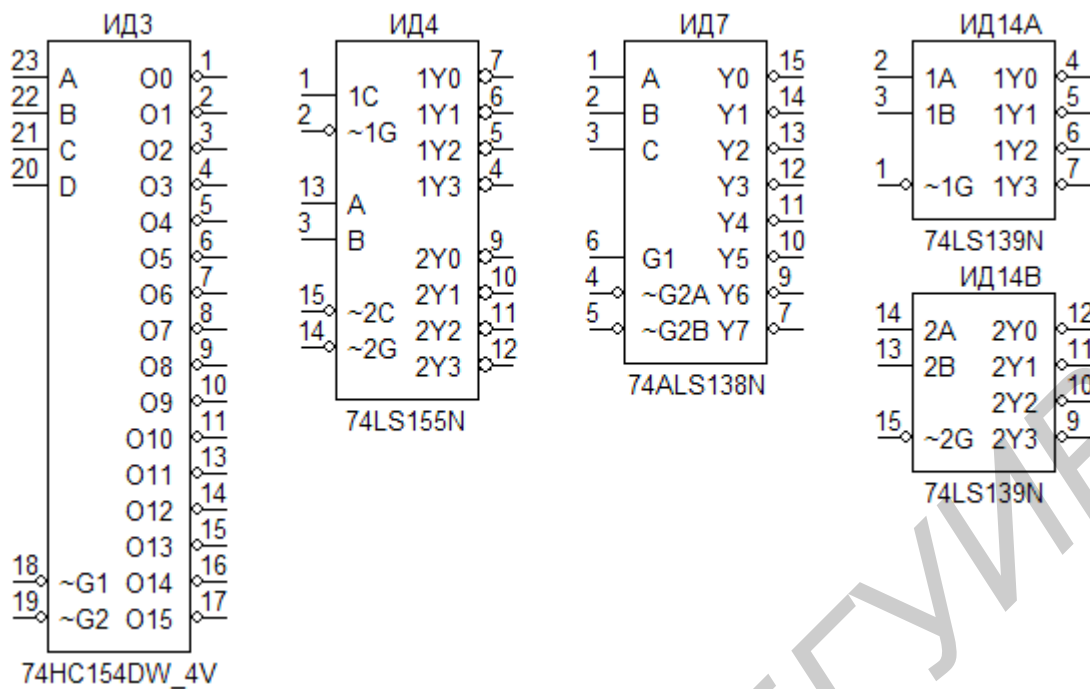


Рис. 5.6. Дешифраторы стандартных серий ИС

На рис. 5.7 приведен пример реализации полного дешифратора на микросхеме ИД7 (74LS138N). Формируемый в канале селекции 3-разрядный двоичный код поступает на информационные входы А, В, С микросхемы U1 и контролируется семисегментным индикатором в десятичном коде.

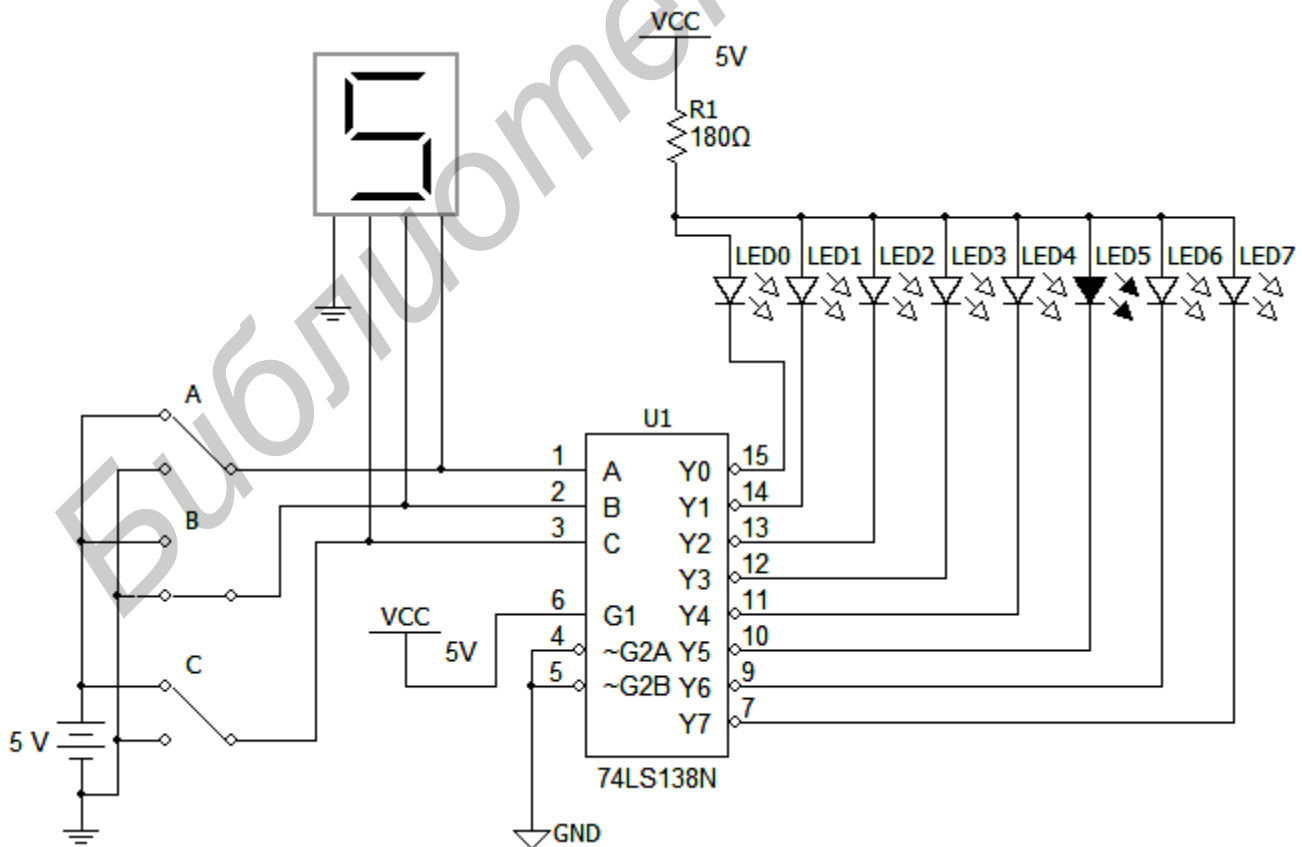


Рис. 5.7. Пример исследования дешифратора 74LS138N (ИД7)

На вход G1 подается сигнал высокого уровня, а на входы G2 подаются сигналы низкого уровня, разрешающие работу дешифратора. На выходах дешифратора Y0...Y7 формируются десятичные числа 0...7, но сигнал появится только на том одном выходе, номер которого соответствует десятичному эквиваленту двоичного кода.

В данном примере (см. рис. 5.7) информационный сигнал, соответствующий двоичному коду 101₂, выделяется на выходе Y5 микросхемы U1 и высвечивает индикатор LED5.

Многие дешифраторы стандартных серий ИС применяются в качестве демультимплексоров, преобразователей кодов и других функциональных узлов.

5.3. Порядок выполнения лабораторной работы

1. Выполнить синтез и реализовать на логических элементах вариант схемы шифратора (дешифратора) по указанию преподавателя:

Вариант	1	2	3	4	5	6
Синтезируемая схема	CD 8-3	CD 10-4	CD 16-4	DC 2-4	DC 3-8	DC 4-16

2. Осуществить моделирование заданного логического устройства в среде Multisim:

- изучить работу виртуальных измерительных приборов: анализатора логических сигналов (Logic Analyzer), 4-канального осциллографа (Oscilloscope).

- снять основные параметры (временные диаграммы, таблицу функционирования и др.) спроектированного устройства, а также провести исследование одной из схем рис. 5.3 или рис. 5.6 по указанию преподавателя.

3. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

4. Выполнить экспериментальные исследования на лабораторном стенде IDL-800:

- собрать синтезированную схему на наборной панели стенда IDL-800 и провести ее исследование;

- установить на наборной панели стенда IDL-800 одну из микросхем, приведенных на рис. 5.3 или рис. 5.6. Подключить соответствующие выводы микросхемы к источнику питания +5В (VCC) и к общей шине заземления (GROUND) согласно установленному корпусу микросхемы;

- снять основные параметры исследуемых устройств, используя внутренний генератор сигналов стенда IDL-800 и внешние измерительные приборы: цифровой осциллограф, вольтметр и др.

5. Сделать выводы по результатам виртуальных и реальных исследований заданных устройств.

5.4. Содержание отчёта

1. Цель работы.

2. Аналитические выражения и синтезированная схема заданного логиче-

ского устройства.

3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов в среде Multisim.

4. Результаты экспериментальных исследований на макете IDL 800, таблицы функционирования исследуемых устройств.

5. Выводы по результатам исследований.

5.5. Контрольные вопросы

1. Дайте определение шифратора и дешифратора.
2. Чем отличается полный дешифратор от неполного дешифратора?
3. Спроектируйте дешифратор 3-8 на логических элементах.
4. Оцените необходимое количество и типы ЛЭ и ИС для построения дешифратора 6-64.
5. Реализуйте на базе дешифратора 4-16 логическую функцию равнозначности четырех аргументов.
6. Какие функциональные узлы можно реализовать на дешифраторах?
7. Как реализовать на дешифраторе демультиплексор?
8. Как реализовать на дешифраторе мультиплексор?
9. Как реализовать на дешифраторе двоичный сумматор?
10. Как осуществить наращивание разрядности шифратора и дешифратора?
11. По какому принципу строятся приоритетные полные шифраторы и дешифраторы?
12. Какие функции может выполнять программируемое матричное устройство PAL16L8, представленное на рис. 5.8?

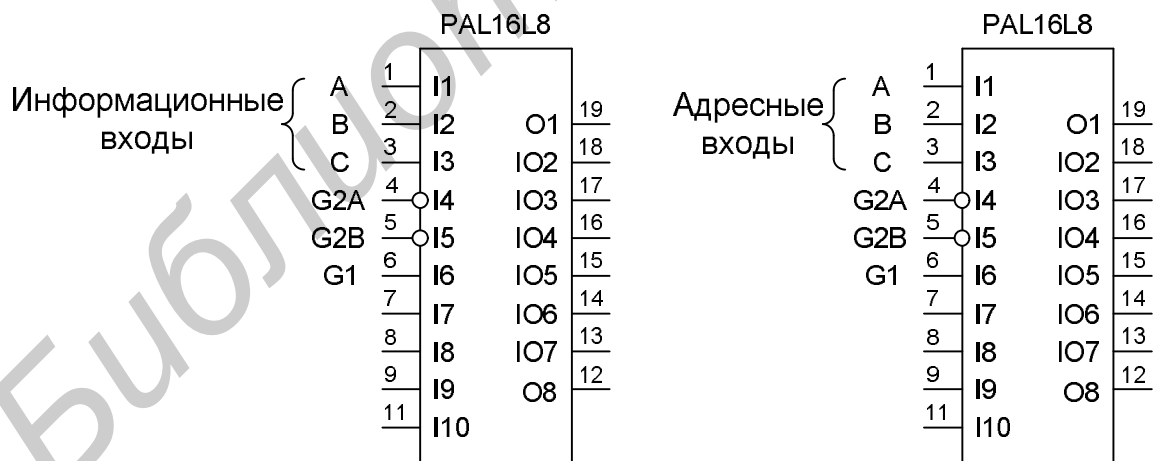


Рис. 5.8. Условное обозначение микросхемы PAL16L8

Лабораторная работа № 6. Триггерные устройства

6.1. Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространенных типов триггеров.
2. Получение навыков компьютерного моделирования триггеров в среде Multisim.
3. Приобретение практических навыков работы с реальными цифровыми устройствами и контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

6.2. Теоретические сведения

Триггер (Trigger) – это последовательностное цифровое устройство, способное формировать два устойчивых состояния выходного сигнала и скачкообразно изменять эти состояния под действием внешнего управляющего сигнала. Одно из состояний триггера называют *единичным*, второе – *нулевым*. Состояние триггера определяется значением уровня сигнала на его прямом Q или инверсном выходе \bar{Q} . Если на прямом выходе имеется уровень, соответствующий лог. 1, то считают, что триггер находится в единичном состоянии, при этом $Q = 1$, $\bar{Q} = 0$. В противном случае триггер находится в нулевом состоянии, тогда $Q = 0$, $\bar{Q} = 1$.

По логическому функционированию различают следующие основные типы триггеров: *RS, D, JK, T* и другие.

По способу записи информации триггеры делятся на асинхронные (не тактируемые) и синхронные (тактируемые). В асинхронных триггерах запись информации (переключение триггера в новое состояние) происходит под действием изменений входных сигналов с момента подачи их на информационные входы. В синхронных триггерах запись информации происходит только при подаче сигнала синхронизации.

Различают синхронные триггеры со *статическим* и *динамическим управлением* записью информации.

Синхронный триггер со *статическим управлением* воспринимает информационные сигналы во время действия активного уровня сигнала синхронизации. Вход синхронизации триггера S является статическим, если управление осуществляется уровнем синхросигнала. При подаче на вход S пассивного уровня сигнала синхронизации триггер не реагирует на информационные сигналы, он сохраняет предыдущее состояние.

Синхронный триггер с *динамическим управлением* воспринимает только те сигналы, которые были на информационных входах к моменту прихода фронта или среза импульса синхронизации. Его переключение в новое состоя-

ние осуществляется только в момент воздействия положительного перепада от лог. 0 к лог. 1 синхроимпульса или отрицательного перепада от лог. 1 к лог. 0. Таким образом, переключение триггера с динамическим управлением происходит в течение короткого промежутка времени вблизи фронта или среза импульса синхронизации.

Вход триггера C (или CLK) называется *прямым динамическим*, если переключение триггера осуществляется *положительным перепадом* импульса синхронизации. Вход C является *инверсным динамическим*, если переключение триггера осуществляется *отрицательным перепадом* синхроимпульса. В остальное время действия импульса синхронизации при $C = 0$ или $C = 1$ триггер не реагирует на входные информационные сигналы и остается в прежнем состоянии независимо от уровня синхросигнала, что является характерной особенностью триггеров с динамическим управлением.

В двухступенчатых триггерах используются два синхронных триггера со статическим управлением, переход в новое состояние в ступенях происходит поочередно за время действия одного тактового синхроимпульса.

Входы триггеров принято обозначать следующим образом:

S – вход установки триггера в единичное состояние (Set – установка);

R – вход установки триггера в нулевое состояние (Reset – сброс);

J – вход переключения триггера из нулевого в единичное состояние;

K – вход переключения триггера из единичного в нулевое состояние;

D – информационный вход (Data – данные);

T – счетный вход (Toggle – переключатель);

C или CLK – вход синхронизации (Clock);

E (EN) – вход разрешения работы триггера (Enable).

Прямые и инверсные выходные сигналы триггера, действующие в текущий момент времени t , обозначаются соответственно Q и \bar{Q} .

Выходные сигналы, действующие в момент времени $t+1$, т.е. после переключения триггера в новое состояние обозначаются соответственно Q^+ и \bar{Q}^+ . Новое состояние триггера Q^+ зависит не только от значений входных информационных сигналов, но и от состояния триггера, в котором он находился до поступления входных сигналов.

На принципиальных схемах триггер обозначается буквой T , двухступенчатый триггер – буквами TT .

6.2.1. RS-триггеры

RS-триггеры применяются в качестве запоминающих ячеек, а также для построения других более сложных типов триггеров. В стандартных сериях цифровых микросхем RS-триггеры обозначаются буквами TP, например, КР1533TP2.

По способу управления RS-триггеры делятся на *асинхронные* и *синхронные*. Асинхронный RS-триггер в своей структуре имеет два входа S (Set

– установка) и R (Reset – сброс), а также два выхода Q и \bar{Q} . Синхронный RS -триггер имеет дополнительный вход синхронизации C (CLK).

Работа RS -триггера описывается логическим уравнением, таблицей истинности, а также может быть представлена функцией на карте Карно.

Входные и выходные переменные триггера связаны между собой функциональной зависимостью

$$Q^+ = f(S, R, Q), \quad (6.1)$$

где Q – выходной сигнал триггера в исходном состоянии,
 Q^+ – выходной сигнал триггера после его перехода в новое состояние,
 R, S – состояние информационных входов.

Составим полную таблицу переключений (табл. 6.1) для асинхронного RS -триггера, отражающую режимы его работы.

Таблица иллюстрирует переход значений выходного сигнала $Q \rightarrow Q^+$ при воздействии на входах информационных сигналов S и R , поэтому ее называют также таблицей переходов.

Таблица 6.1

S	R	Q	Q^+	Режим работы
0	0	0	0	Хранение информации
0	0	1	1	
0	1	0	0	Установка лог. 0
0	1	1	0	
1	0	0	1	Установка лог. 1
1	0	1	1	
1	1	0	x	Неопределенность
1	1	1	x	

Из табл. 6.1 следует, что на двух входах RS -триггера возможны четыре комбинации выходных сигналов. При $S = 0$ и $R = 0$ триггер сохраняет предыдущее состояние ($Q^+ = Q$), это функциональное свойство позволяет реализовать на RS -триггере элементарную ячейку памяти.

Если $S = 0$ и $R = 1$, то триггер устанавливается в нулевое состояние ($Q^+ = 0$), при $S = 1$ и $R = 0$ – в единичное состояние ($Q^+ = 1$).

Состояние RS -триггера при $S = 1$ и $R = 1$ является *неопределенным*, поскольку триггер после воздействия на входе активных уровней сигнала может равновероятно перейти как в нулевое, так и единичное состояние. В этом случае функция (6.1) является *не полностью определенной*, так как она определяется не для всех наборов входных переменных. В табл.6.1 неопределенные состояния триггера отмечены знаком x . На этапе минимизации не полностью определенные функции на наборах 110 и 111 (когда значения аргументов $R \cdot S = 1$) будем доопределять значения функции Q^+ сочетаниями нулей и единиц: 00, 11, 01, 10. Эти сочетания в таблицах истинности и картах Карно будем отмечать соответственно: $x^0x^0, x^1x^1, x^0x^1, x^1x^0$. Тогда для первого сочетания 00 на наборах аргумен-

тов 110 и 111 функция $Q^+ = 0 = x^0$. В этом случае (при минимизации табл. 6.1 методом карт Карно) получим в зависимости от выбранной элементной базы четыре типа асинхронных триггеров с различными структурами и функциональными возможностями: RS -триггер, \overline{RS} -триггер, JK -триггер, E -триггер. Это дает возможность осуществить логический синтез всех четырех схем.

Асинхронный RS -триггер на элементах ИЛИ-НЕ. Активным уровнем элемента ИЛИ-НЕ является лог. 1, следовательно, переключение данного типа триггера будет осуществляться единичными входными сигналами. На выходах логических элементов ИЛИ-НЕ будут в это время устанавливаться нулевые значения сигналов. Это обстоятельство будем учитывать при синтезе RS -триггера на элементах ИЛИ-НЕ.

Используя метод карт Карно, минимизируем функцию (6.1), представленную в табл. 6.1, заменив в таблице на наборах 110 и 111 неопределенные состояния значениями x^0x^0 .

Составим карту Карно (рис. 6.1, а), которая будет содержать два объединения единиц, и запишем логическое уравнение в минимальной дизъюнктивной нормальной форме (МДНФ):

$$Q^+ = S\overline{R} \vee Q\overline{R}. \quad (6.2)$$

Уравнение (6.2) определяет принцип функционирования асинхронного RS -триггера. С целью реализации логической схемы триггера в базе Пирса на логических элементах ИЛИ-НЕ, преобразуем выражение (6.2), заменив согласно закону инверсии операцию логического умножения на операцию логического сложения, тогда

$$Q^+ = \overline{R} \cdot (S \vee Q) = R \vee \overline{(S \vee Q)}. \quad (6.3)$$

На рис. 6.1, б, в представлены логическая схема, реализованная в базе Пирса согласно логическому выражению (6.3), и ее условное обозначение. Упрощенная таблица переключений RS -триггера показана на рис. 6.1, г.

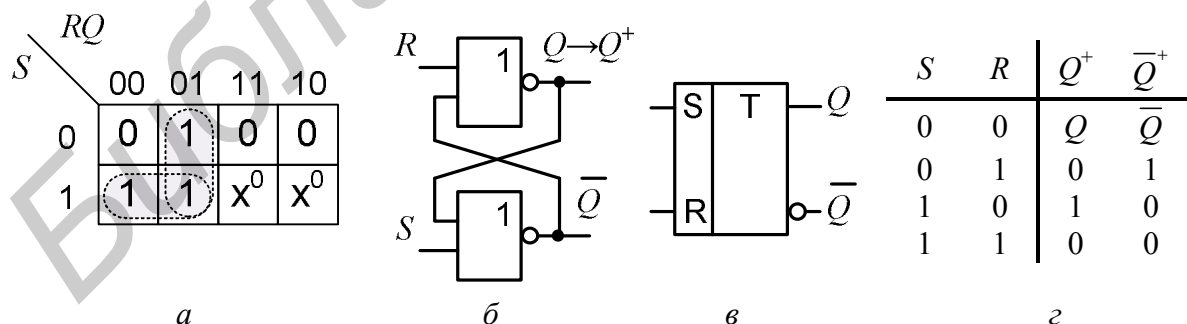


Рис. 6.1. Асинхронный RS -триггер на элементах ИЛИ-НЕ

Рассмотренный триггер, выполненный на логических элементах ИЛИ-НЕ, называется *асинхронным RS -триггером с прямыми входами*.

Недостатком работы асинхронного RS -триггера с прямыми входами является наличие запрещенной комбинации, когда на входы S и R одновременно по-

даются единичные активные уровни $S = 1$ и $R = 1$. В этом режиме на обоих выходах триггера вынужденно устанавливаются нулевые значения $Q^+ = 0$ и $\bar{Q}^+ = 0$ (рис. 6.1, з). После окончания воздействия входных сигналов, когда оба сигнала S и R снимаются одновременно, триггер может равновероятно принять состояние лог. 0 либо лог. 1. Режим работы триггера возобновится, если один из входных сигналов станет нулевым.

При пассивных уровнях входных сигналов, когда $S = 0$ и $R = 0$, триггер сохраняет предыдущее состояние $Q^+ = Q$, $\bar{Q}^+ = \bar{Q}$ и будет находиться в режиме хранения информации.

На рис. 6.2 приведены временные диаграммы, поясняющие принцип работы асинхронного RS -триггера, выполненного на логических элементах ИЛИ-НЕ. Из временных диаграмм следует, что задержка переключения асинхронного RS -триггера, характеризующая быстродействие триггера, составляет сумму задержек переключения двух логических элементов ИЛИ-НЕ и определяется величиной $t_{3,сп} = 2t_3$.

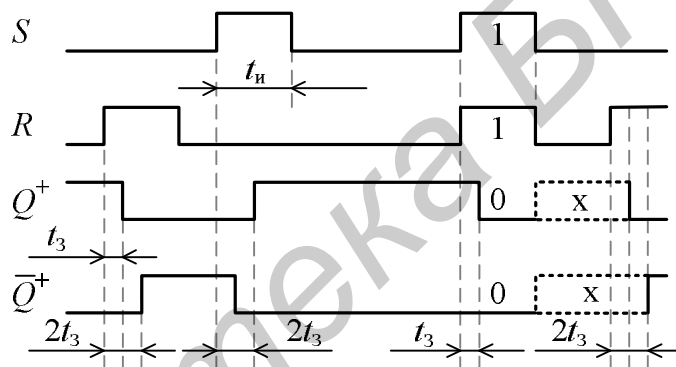


Рис. 6.2. Временные диаграммы работы асинхронного RS -триггера, х – неопределенное состояние

Для устойчивого функционирования триггера длительность сигнала на входах R и S должна быть не меньше времени переключения триггера $t_n \geq 2t_3$. Информационные сигналы должны поступать на вход поочередно и только после окончания переходных процессов в триггере.

Рассмотренный RS -триггер обладает свойством помнить и хранить один бит информации (1 или 0) и является элементарной запоминающей ячейкой.

Асинхронный \overline{RS} -триггер на элементах И-НЕ. Асинхронный \overline{RS} -триггер выполняется на двух элементах И-НЕ и имеет инверсные входы, поэтому \overline{R} и \overline{S} отмечаются знаками инверсий. Такой тип триггера называется *асинхронным \overline{RS} -триггером с инверсными входами*.

Для элемента И-НЕ активным уровнем является логический 0, следовательно, переключение триггера будет осуществляться нулевыми входными сигналами, которые устанавливают выходы логических элементов И-НЕ в единичное состояние.

Составим по табл. 6.1 карту Карно, заменив в ней неопределенные состояния единицами (x^1x^1). Запишем логическое уравнение в МДНФ, которое определяет принцип функционирования асинхронного \overline{RS} -триггера:

$$Q^+ = S \vee \overline{R}Q = \overline{\overline{S}} \cdot \overline{\overline{R}Q}. \quad (6.4)$$

На рис. 6.3, *a*, *б*, *в* приведены: карта Карно, логическая схема триггера, реализованная на элементах И-НЕ согласно выражению (6.4), условное обозначение \overline{RS} -триггера с инверсными входами.

Для устойчивой работы триггера необходимо исключить одновременную подачу активных уровней входных сигналов \overline{S} и \overline{R} . Если на оба входа \overline{RS} -триггера будут поданы активные нулевые уровни, то на обоих его выходах вынужденно установятся высокие уровни $Q^+ = 1$ и $\overline{Q}^+ = 1$.

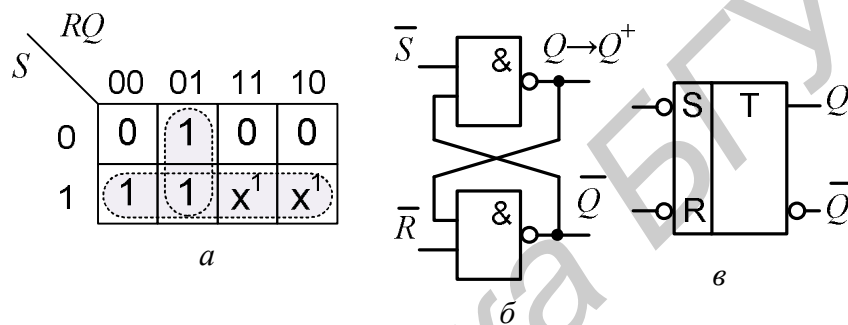


Рис. 6.3. Асинхронный \overline{RS} -триггер на элементах И-НЕ

После окончания действия входных сигналов триггер может равновероятно установиться в единичное либо нулевое состояние.

Следовательно, для данного типа триггера комбинация входных сигналов $\overline{S} = \overline{R} = 0$ является запрещенной. При пассивных уровнях входных сигналов $\overline{S} = 1$ и $\overline{R} = 1$ триггер помнит предыдущее состояние, при этом $Q^+ = Q$, $\overline{Q}^+ = \overline{Q}$ и триггер устанавливается в режим хранения информации.

Временные диаграммы и упрощенная таблица переключений, поясняющие работу \overline{RS} -триггера, выполненного на логических элементах И-НЕ, приведены на рис. 6.4 *a*, *б* соответственно.

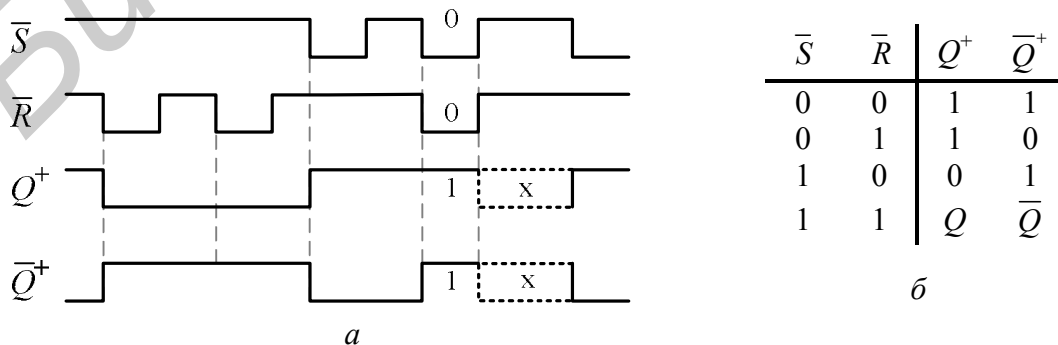


Рис. 6.4. Временные диаграммы (*a*) и таблица переключений (*б*) \overline{RS} -триггера

В схеме \overline{RS} -триггера с инверсными входами, приведенной на рис. 6.3, б и функционирующей согласно таблице переключений рис. 6.4, б, можно поставить на информационных входах инверторы. В этом случае RS -триггер будет *асинхронным с прямыми входами* и будет функционировать согласно табл. 6.1.

\overline{RS} -триггер является элементарной запоминающей ячейкой и входит в состав различных серий ИС. В серии ТТЛШ – это ИС КР1533ТР2 (аналог 74ALS279N), в серии КМОП – ИС КР1554ТР2 (аналог 74AC279N).

Синхронный RS -триггер со статическим управлением. Синхронный RS -триггер имеет дополнительный статический вход синхронизации C и воспринимает информационные сигналы, когда синхросигнал достигает своего активного уровня.

Составим полную таблицу истинности синхронного RS -триггера (рис. 6.5, а), предполагая реализацию триггера с прямыми входами на логических элементах И-НЕ.

C	S	R	Q	Q^+
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1

		RQ			
		00	01	11	10
CS	00	0	1	1	0
	01	0	1	1	0
	11	1	1	x ¹	x ¹
	10	0	1	0	0

a
б

Рис. 6.5. Таблица истинности (а) и карта Карно (б) синхронного RS -триггера

При значениях $C = 0$ триггер сохраняет предыдущее состояние Q .

Если $C = 1$, то происходит переключение RS -триггера согласно таблице истинности (см. рис. 6.5, а).

Для синхронного RS -триггера комбинация $CRS = 1$ устанавливает триггер в неопределенное состояние и является запрещенной. Неопределенные состояния триггера в табл. 6.1 будем доопределять аналогично \overline{RS} -триггеру единичными (x^1x^1) значениями.

На основании данных таблицы (рис. 6.5, а) составим карту Карно (рис. 6.5, б) и запишем логическое уравнение для синхронного RS -триггера в МДНФ:

$$Q^+ = CS \vee \overline{R}Q \vee \overline{C}Q. \quad (6.5)$$

Преобразуем выражение (6.5) с целью реализации синхронного триггера в базисе Шеффера на логических элементах И-НЕ, тогда

$$Q^+ = CS \vee Q(\overline{R} \vee \overline{C}) = \overline{\overline{CS} \cdot \overline{Q} \cdot \overline{CR}}. \quad (6.6)$$

Схема синхронного RS -триггера, реализованная на основе выражения (6.6), приведена на рис. 6.6, *а*. Упрощенная таблица переключений RS -триггера и условное его обозначение показаны соответственно на рис. 6.6, *б*, *в*.

При подаче на входы триггера сигналов $C = S = R = 1$ на выходах логических элементов 1, 2 схемы управления (рис. 6.6, *а*) формируются активные нулевые уровни, которые поступают на ячейку памяти, выполненную на логических элементах 3 и 4. Оба выхода триггера при этом устанавливаются в единичное состояние (см. рис. 6.6, *б*). После окончания действия входных сигналов триггер может равновероятно установиться в единичное либо нулевое состояние.

Следовательно, для синхронных RS -триггеров со статическим управлением комбинация входных сигналов $C = R = S = 1$ является запрещенной.

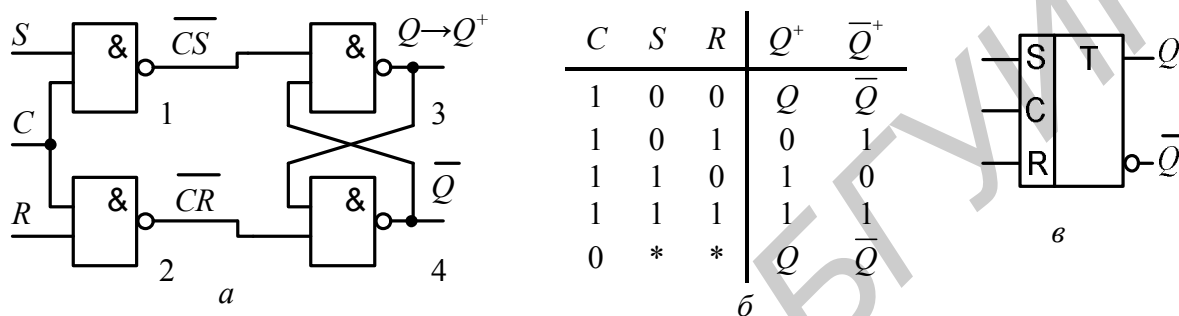


Рис. 6.6. Синхронный RS -триггер со статическим управлением

Синхронный RS -триггер (см. рис. 6.6) имеет статический вход и управляется уровнем входного синхросигнала C .

Все рассмотренные выше асинхронные RS -триггеры в зарубежной литературе называют триггерами-защелками (RS -latch), их выходные сигналы изменяются во время действия активных уровней входных информационных сигналов. При переходе на пассивные уровни триггер защелкивается и в нем устанавливается режим хранения информации.

6.2.2. D -триггеры

D -триггер имеет один информационный вход D (вход данных) и вход синхронизации C , который может быть статическим (триггеры ТМ5 и ТМ7) либо динамическим (триггер ТМ2). Триггер принимает информационные сигналы только по разрешению управляющего синхросигнала и повторяет входной сигнал предыдущего такта.

В цифровых стандартных сериях ИС D -триггер обозначается буквами ТМ.

Синхронный D -триггер со статическим управлением. Рассмотрим синтез схемы синхронного D -триггера со статическим управлением. Составим таблицу переключений триггера, отметим основные режимы его работы (рис. 6.7, *а*) и приведем условное его обозначение (рис. 6.7, *в*).

По таблице переключений составим карту Карно (рис. 6.7, *б*) и запишем логическое выражение, характеризующее работу D -триггера:

$$Q^+ = CD \vee \bar{C}Q. \quad (6.7)$$

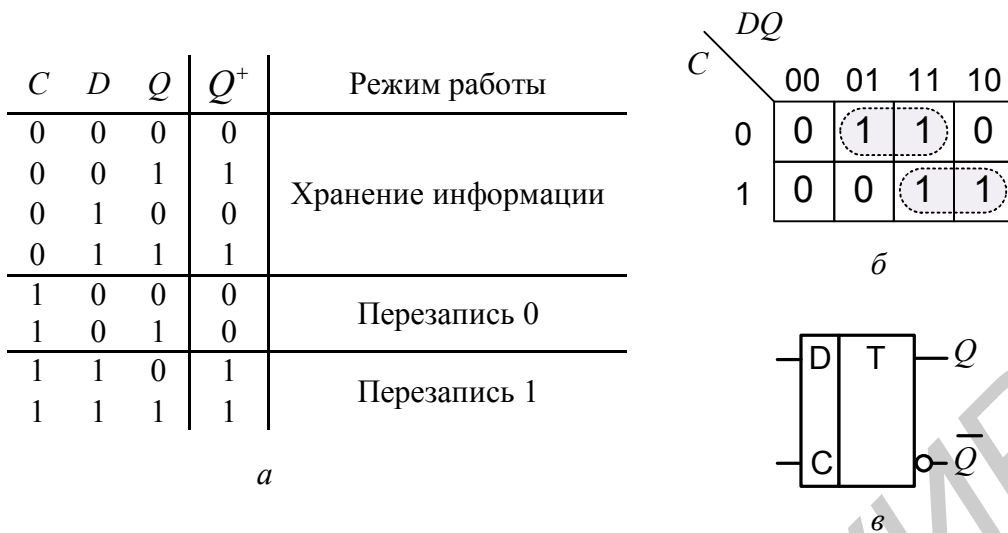


Рис. 6.7. D -триггер со статическим управлением:
a – таблица переключений; *б* – карта Карно;
в – условное обозначение D -триггера

Используя законы и правила алгебры логики, преобразуем выражение (6.7), добавив консенсусный сомножитель $(1 \vee Q)$, численно равный 1:

$$\begin{aligned}
 Q^+ &= CD \vee \bar{C}Q = CD \cdot (1 \vee Q) \vee \bar{C}Q = CD \vee (CDQ \vee \bar{C}Q) = CD \vee (CD \vee \bar{C}) \cdot Q = \\
 &= CD \vee (\overline{\bar{C} \vee \bar{D} \vee \bar{C}}) \cdot Q = CD \vee (\overline{\bar{C} \vee \bar{D}}) \cdot C \cdot Q = CD \vee \bar{C}\bar{D} \cdot Q = \overline{\bar{C}\bar{D}} \cdot \overline{\bar{C}\bar{D}} \cdot Q
 \end{aligned} \quad (6.8)$$

На рис. 6.8, *a*, *б* приведены схемы синхронных D -триггеров со статическим управлением, построенные согласно выражению (6.8).

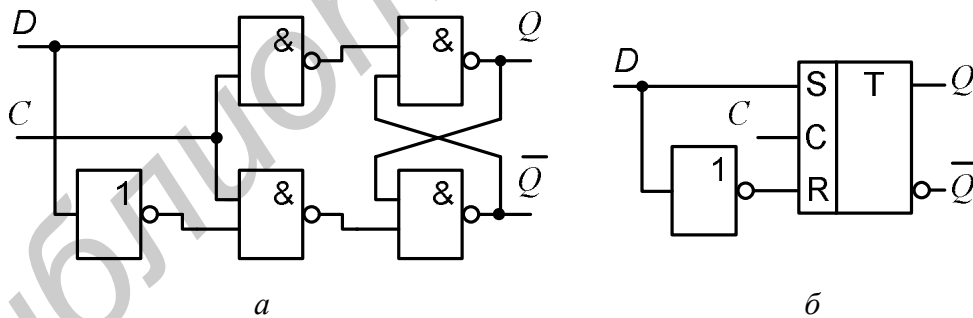


Рис. 6.8. Схемы D -триггеров со статическим управлением

Из приведенной схемы рис. 6.8, *б* следует, что D -триггер можно получить из RS -триггера со статическим управлением, подав информационный сигнал D на вход триггера S непосредственно и через инвертор на вход R .

Схемы D -триггеров, представленные на рис. 6.8, не получили широкого распространения, так как применяемые в схемах инверторы должны быть сверхбыстродействующими, иначе вносимые ими запаздывания могут привести к состязаниям сигналов и к сбою в работе.

Схема D -триггера со статическим управлением, приведенная на

рис. 6.9, *a*, не имеет отмеченных недостатков, она выполнена на четырех логических элементах И-НЕ согласно преобразованному выражению (6.9):

$$\begin{aligned}
 Q^+ &= CD \vee \bar{C}Q = CD \vee CDQ \vee \bar{C}Q = CD \vee (CD \vee \bar{C}) \cdot Q = \\
 &= CD \vee \overline{\overline{CD} \cdot C} \cdot Q = \overline{\overline{CD} \cdot \overline{\overline{CD} \cdot C}} \cdot Q.
 \end{aligned}
 \tag{6.9}$$

Временные диаграммы, приведенные на рис. 6.9, *б*, отражают функциональное поведение *D*-триггера при различных входных сигналах.

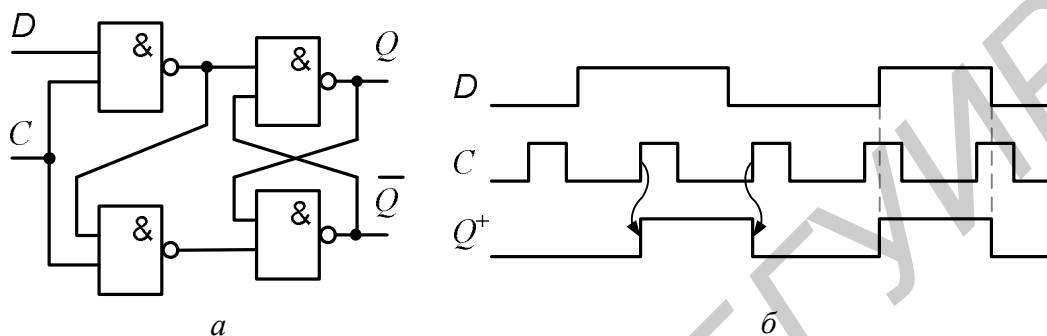


Рис. 6.9. Синхронный *D*-триггер со статическим управлением:
a – логическая схема; *б* – временные диаграммы

***D*-триггер с динамическим управлением.** В последнее время преимущественное применение находит *синхронный D-триггер с динамическим управлением*, выполненный на шести элементах И-НЕ. Вход триггера *C* является прямым динамическим. Триггер имеет дополнительные входы асинхронной установки \bar{S} и сброса \bar{R} , которые позволяют установить на выходе единичное или нулевое состояние независимо от сигналов на других его входах.

Схема *D*-триггера с динамическим управлением приведена на рис. 6.10. В состав схемы входит выполненный на элементах 3, 4, 5, 6 синхронный *D*-триггер со статическим управлением (рис. 6.9), а также элементы блокировки 1, 2, на выходе которых формируются инверсные значения информационного сигнала *D*. Все переключения в данном триггере происходят только на нарастающем фронте импульса синхронизации, т.е. в момент перехода синхросигнала от лог. 0 к лог. 1. Информация, присутствующая на входе *D*, в это время записывается в триггер.

При значениях $C=0$ на выходах элементов 3, 4 формируются пассивные единичные сигналы, которые устанавливают ячейку памяти 5, 6 в режим хранения информации.

При поступлении синхронизирующего сигнала $C=1$ на входах элементов 5, 6 будут присутствовать сигналы, определенные информационным сигналом на входе *D*. При $D=1$ выходной сигнал триггера $Q=1$, а при $D=0$ сигнал $Q=0$.

На интервале действия сигнала $C=1$ элементы 1, 2 осуществляют блокировку цепей передачи информационного сигнала *D* и сохраняют эту блокировку до перехода синхросигнала *C* в нулевое состояние.

Положительным перепадом следующего импульса синхронизации триггер будет переведен в новое состояние, определяемое значением сигнала на информационном входе D .

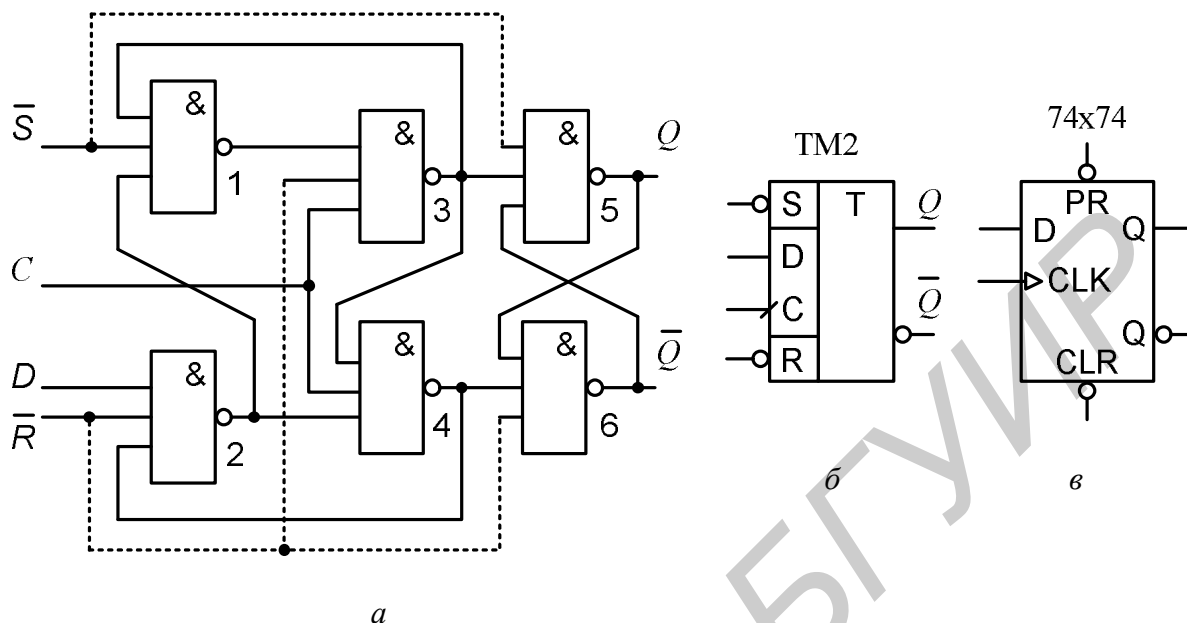


Рис. 6.10. D -триггер с динамическим управлением:
 а – структурная схема триггера КР1533ТМ2 на элементах И-НЕ;
 б – условное обозначение триггера ТМ2; в – зарубежный аналог 74ALS74N

На рис. 6.10 показана структурная схема и условные обозначения часто используемых на практике D -триггеров КР1533ТМ2 и его зарубежного аналога 74ALS74N.

Временные диаграммы, приведенные на рис. 6.11, иллюстрируют работу D -триггера с динамическим управлением и асинхронными входами установки в единичное состояние \bar{S} и в нулевое состояние \bar{R} (сброс).

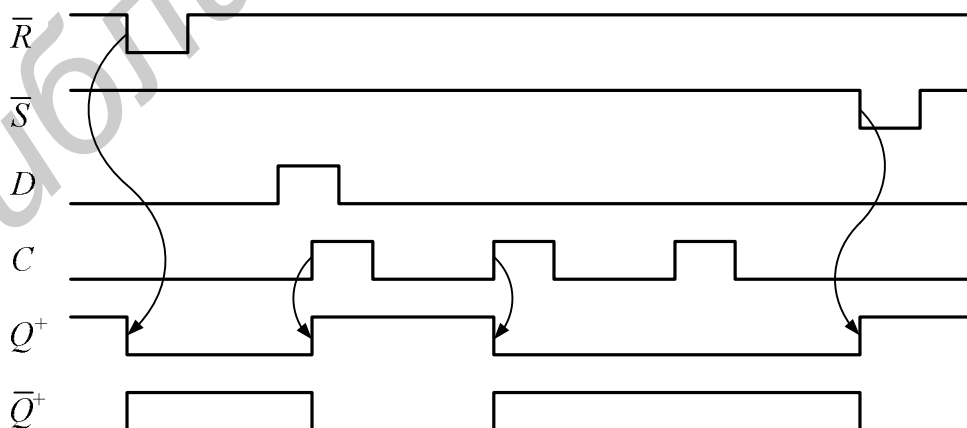


Рис. 6.11. Временные диаграммы работы D -триггера

Рассмотренные D -триггеры с динамическим управлением переключаются только на нарастающем фронте синхронизирующего сигнала, поэтому они имеют высокую помехоустойчивость, быстродействие их выше, чем у двухступенчатых триггеров. Например, триггер КМОП серии КР1554ТМ2 (аналог 74АС74) имеет максимальную тактовую частоту $F_{\max} = 150$ МГц.

6.2.3. JK-триггеры

Триггеры типа JK являются универсальными и могут выполнять функции RS -, D -, T -триггера. В сериях ИС JK -триггеры обозначаются буквами ТВ. Выпускаются двухступенчатые JK -триггеры (ТВ1), одноступенчатые с внутренней задержкой (ТВ9, ТВ10, ТВ11), универсальные с динамическим управлением (ТВ15).

В отличие от RS -триггеров все JK -триггеры не имеют запрещенных комбинаций, когда $S = R = 1$. При подаче на информационные входы J и K комбинации сигналов $J = K = 1$ триггер переключается в состояние, противоположное предыдущему ($Q^+ = \bar{Q}$), такой режим работы триггера называется *счетным*.

По сравнению с D -триггером в JK -триггере наличие двух информационных входов J и K позволяет расширить функциональные возможности триггера при построении различных последовательностных цифровых устройств.

Синхронный JK -триггер со статическим управлением. Составим таблицу истинности синхронного JK -триггера (рис. 6.12, а) с учетом организации счетного режима работы, тогда при значениях $CJK = 1$ выходные его состояния будут принимать значения $Q^+ = \bar{Q}$.

C	J	K	Q	Q^+	C	J	K	Q	Q^+
0	0	0	0	0	1	0	0	0	0
0	0	0	1	1	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	0

а

		KQ			
		00	01	11	10
CJ	00	0	1	1	0
	01	0	1	1	0
	11	1	1	0	1
	10	0	1	0	0

б

Рис. 6.12. Таблица истинности (а) и карта Карно (б) синхронного JK -триггера

По данным таблицы (рис. 6.12, а) составим карту Карно (рис. 6.12, б) и запишем в минимальной дизъюнктивной нормальной форме логическое уравнение, характеризующее работу синхронного JK -триггера:

$$Q^+ = CJ\bar{Q} \vee \bar{C}Q \vee \bar{K}Q. \quad (6.10)$$

С целью реализации синхронного JK -триггера на логических элементах

И-НЕ преобразуем выражение (6.10), введя дополнительный консенсусный член $Q \cdot \bar{Q}$, численно равный нулю, тогда

$$Q^+ = CJ\bar{Q} \vee (\bar{C}Q \vee \bar{K}Q \vee Q\bar{Q}) = CJ\bar{Q} \vee Q \cdot \overline{CKQ} = \overline{\overline{CJ\bar{Q}} \cdot \overline{Q \cdot CKQ}}. \quad (6.11)$$

На рис. 6.13, а, б, в соответственно показаны: логическая схема, таблица переключений и условное обозначение синхронного JK -триггера.

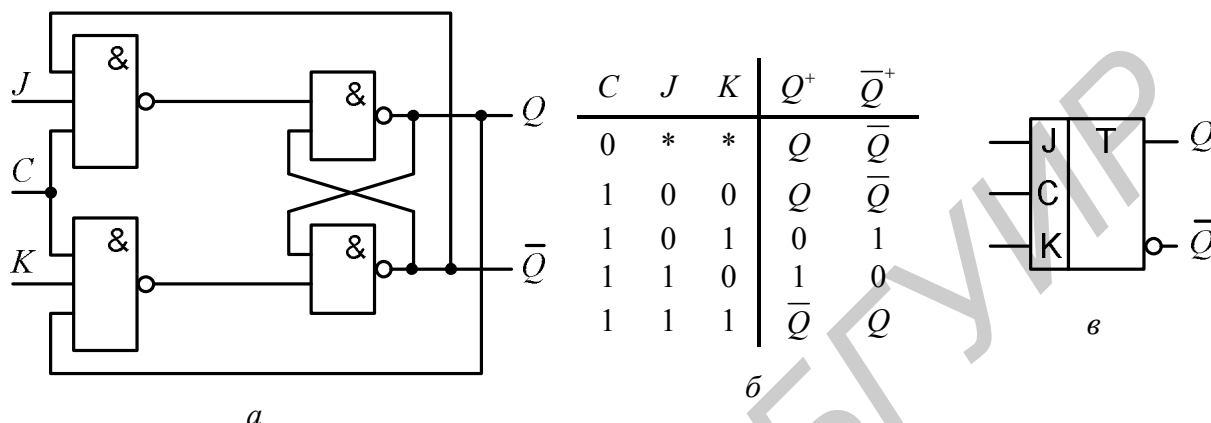


Рис. 6.13. Синхронный JK -триггер со статическим управлением

Особенностью синхронных JK -триггеров со статическим управлением является наличие обратных связей с выхода триггера на его вход. В этом случае состояние триггера будет зависеть не только от входных информационных сигналов J и K , но и от выходных сигналов Q и \bar{Q} , которые по цепям обратной связи будут поступать на вход схемы и могут вызвать многократное срабатывание триггера. Действительно, если применяется триггер с управлением уровнем синхросигнала, то при $C = 1$ триггеру, находящемуся в состоянии Q , будет разрешен прием сигнала с выхода \bar{Q} . В этом случае триггер переключится. Если C по-прежнему равно 1, то триггеру также разрешен прием состояния Q , и он вновь переключится. Таким образом, управляющий синхроимпульс C должен быть короче времени переключения триггера, что практически выполнить довольно сложно.

Поэтому для нормальной работы триггера с обратными связями применяются различные методы построения: двухступенчатые триггеры, выполненные по MS -схеме; одноступенчатые триггеры с внутренней задержкой; триггеры с динамическим управлением.

Двухступенчатый JK -триггер. В различных системах управления с применением синхронных JK -триггеров возникает необходимость независимой установки и считывания информации, причем снятие выходной информации необходимо осуществлять при отключенных входных сигналах. Подобные задачи можно решать с помощью двухступенчатого синхронного триггера, называемого MS -триггером, у которого отсутствует сквозная передача информационного сигнала с входа на выход.

Структура MS -триггера показана на рис. 6.14, а, его условное обозначение – на рис. 6.14, в. В состав MS -триггера входят два синхронных RS -триггера со статическим управлением: ведущий триггер M (Master) и ведомый триггер S (Slave). Схема тактируется единым синхросигналом, который подается непосредственно на вход C ведущего M -триггера и через инвертор на вход ведомого S -триггера. На схему управления, выполненную на логических элементах 2И, поступают информационные сигналы J и K .

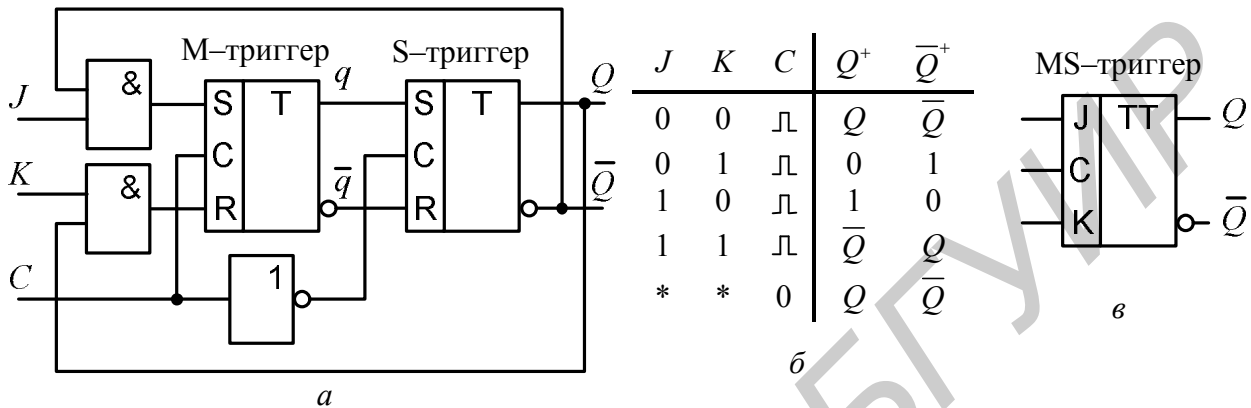


Рис. 6.14. Двухступенчатый JK -триггер

Если на входе MS -триггера действует синхросигнал $C = 1$, то ведущий M -триггер по положительному фронту синхроимпульса C устанавливается в состояние, соответствующее поданным на вход схемы информационным сигналам J и K согласно таблице переключений (рис. 6.14, б). Данное состояние M -триггера сохранится, пока уровень синхросигнала C будет равен лог. 1.

В это время ведомый S -триггер, имеющий на своем входе инверсный сигнал C , будет находиться в режиме хранения прежней информации и не воспринимает поступающие на его вход сигналы с выхода ведущего M -триггера.

Если на вход MS -триггера поступит синхросигнал $C = 0$, то при достижении им уровня лог. 0 ведущий M -триггер установится в режим хранения информации и будет отключен от информационных входов J и K . В это время по отрицательному фронту синхроимпульса C информационные сигналы с выходов q и \bar{q} ведущего M -триггера будут переписаны в ведомый S -триггер и поступят на выход MS -триггера (выходы Q и \bar{Q}).

Следует обратить внимание, что двухступенчатый JK -триггер охвачен обратными связями и сигнал J попадает на вход S ведущего M -триггера только тогда, когда текущие состояния выходных сигналов принимают значения $Q = 0$ и $\bar{Q} = 1$. Сигнал K попадает на вход R ведущего M -триггера, когда текущие состояния выходных сигналов принимают значения $Q = 1$ и $\bar{Q} = 0$. При одновременном воздействии входных информационных сигналов, когда $J = K = 1$, триггер переключается и переходит в состояние, противоположное тому, в котором он находился.

Таким образом, управление процессами в двухступенчатых триггерах осуществляется фронтом и срезом тактового синхроимпульса C , а выходные сигналы триггера Q и \bar{Q} устанавливаются только по отрицательному фронту синхроимпульса. При этом общая задержка в перезаписи триггера определяется в основном длительностью синхронизирующего импульса C .

Двухступенчатые триггеры не нашли должного применения ввиду сложности схемы и низкого быстродействия.

Одноступенчатый JK -триггер с внутренней задержкой. В последнее время преимущественное применение получил простой одноступенчатый JK -триггер с внутренней задержкой, переключаемый перепадом отрицательного фронта при переходе синхросигнала из единичного в нулевое состояние. Тактовый вход C триггера является инверсным динамическим.

На рис. 6.15, *a*, *б* представлены типичная структурная схема и условные обозначения JK -триггера с внутренней задержкой, которая является основой для построения триггеров типа ТВ6, ТВ9, ТВ10, ТВ11 ТТЛШ- и КМОП-технологий. Триггеры могут иметь дополнительные входы асинхронной установки \bar{S} и сброса \bar{R} , которые с целью упрощения схемы на рис. 6.15, *a* не показаны.

Для правильного функционирования JK -триггера с внутренней задержкой необходимо обеспечить условие, при котором задержка логических элементов И-НЕ $t_{зд.1,2}$ превышала бы суммарную задержку $t_{зд.Σ}$ остальных элементов И, ИЛИ-НЕ, т.е. $t_{зд.1,2} > t_{зд.Σ}$. При указанных условиях в триггерах с внутренней задержкой отсутствует сквозная передача информационных сигналов с входа на выход.

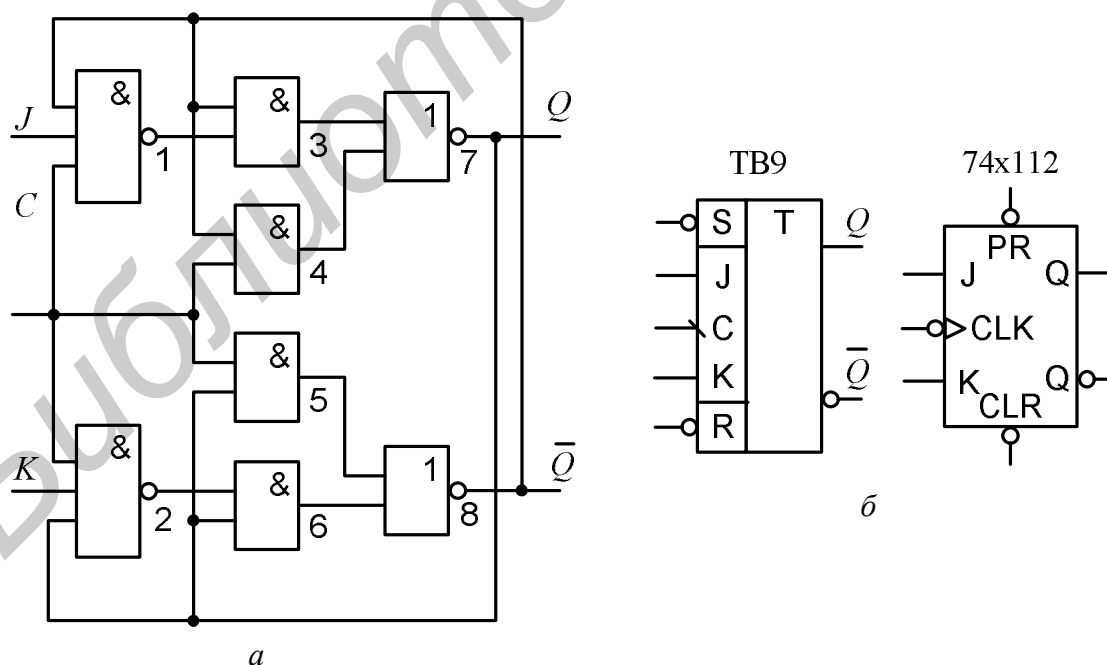


Рис. 6.15. Одноступенчатый JK -триггер с внутренней задержкой:
a – схема; *б* – условные обозначения

Изменения выходных сигналов в данном JK -триггере происходят только

по отрицательному фронту синхросигнала C в соответствии с поданными на входы J и K информационными сигналами.

При значениях тактового синхросигнала $C = 0$ либо $C = 1$, а также при переходе синхросигнала с нулевого в единичное состояние в триггере устанавливается режим хранения информации и выходной сигнал $Q^+ = Q$.

Режим хранения информации можно осуществить, если в схеме рис. 6.15, *a* установить следующий режим работы триггера: $J = K = 1, C = 1, Q = 0$.

Тогда согласно работе логических элементов рисунка 6.15, *a* на выходе логического элемента 1 (ЛЭ1) установится значение лог.0, так как на всех его входах присутствует лог. 1.

На выходе ЛЭ3 установится лог.0, на выходе ЛЭ4 – лог. 1, а на выходе ЛЭ7 установится лог. 0. Следовательно, значение на выходе триггера останется прежним: $Q^+ = Q = 0$. Аналогично работает нижнее плечо триггера. При $C = 0$ режим работы триггера не изменяется.

При ранее установленном режиме работы триггера и действии отрицательного фронта импульса синхронизации, т. е. при переходе C от лог. 1 к лог. 0 (переход $1 \rightarrow 0$) на выходе ЛЭ1 – $0 \rightarrow 1$. Тогда на выходах ЛЭ3 и ЛЭ4 установится лог. 0, а на выходе ЛЭ7 – $0 \rightarrow 1$. Следовательно, триггер изменит свое состояние с нулевого на единичное и станет равным $Q^+ = 1$.

На рис. 6.16, *a, б* показано функциональное поведение триггера в счетном режиме при исходном состоянии $Q = 0$ и $\bar{Q} = 1$ и значениях входных информационных сигналов $J = K = 1$.

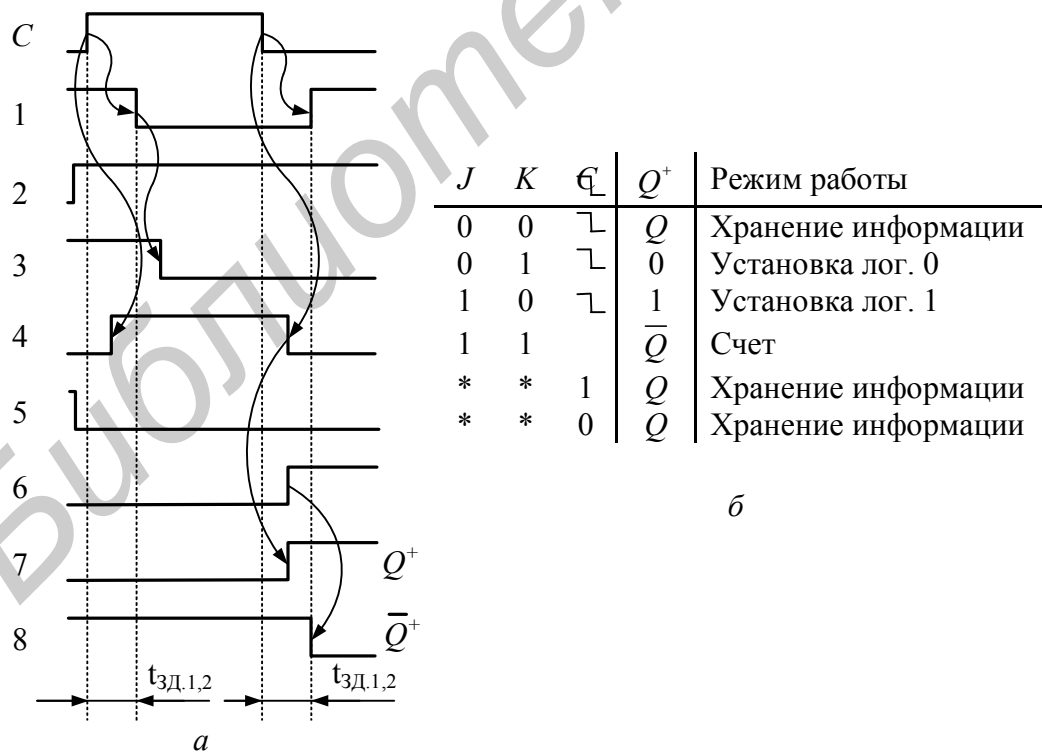


Рис. 6.16. Временные диаграммы (*a*) и таблица переключений (*б*) JK -триггера с внутренней задержкой, * – произвольные значения J и K

Одноступенчатый *JK*-триггер с внутренней задержкой можно реализовать на микросхемах 3И-НЕ (КР1533ЛА4, аналог 74ALS10) и 2-2И-2ИЛИ-НЕ (КР1533ЛР11, аналог 74ALS51).

6.2.4. *T*-триггеры

T-триггеры строятся на основе существующих тактируемых *D*- или *JK*-триггеров, работают в счетном режиме и изменяют свое состояние на противоположное ($Q^+ = \bar{Q}$) при подаче на его вход счетного импульса *T*.

На рис. 6.17, *a*, *б* показаны условные обозначения *T*-триггера соответственно с прямым и инверсным динамическим входом. Из таблицы переключений (рис. 6.17, *в*) запишем логическое уравнение, характеризующее работу *T*-триггера:

$$Q^+ = \bar{T}Q \vee T\bar{Q}. \quad (6.12)$$

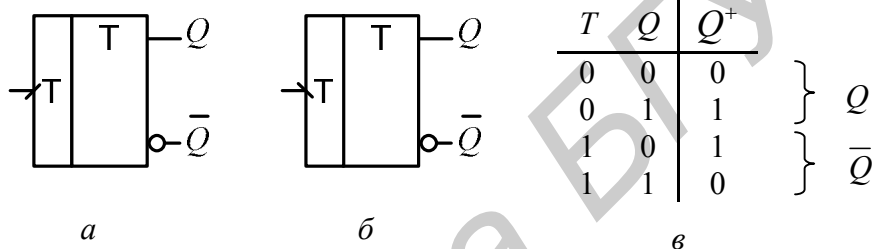


Рис. 6.17. *T*-триггер: *a*, *б* – условные обозначения; *в* – таблица переключений

Основные разновидности *T*-триггеров, выполненных на основе триггеров *D*- и *JK*-типов, а также их функциональное поведение, иллюстрирует рис. 6.18:

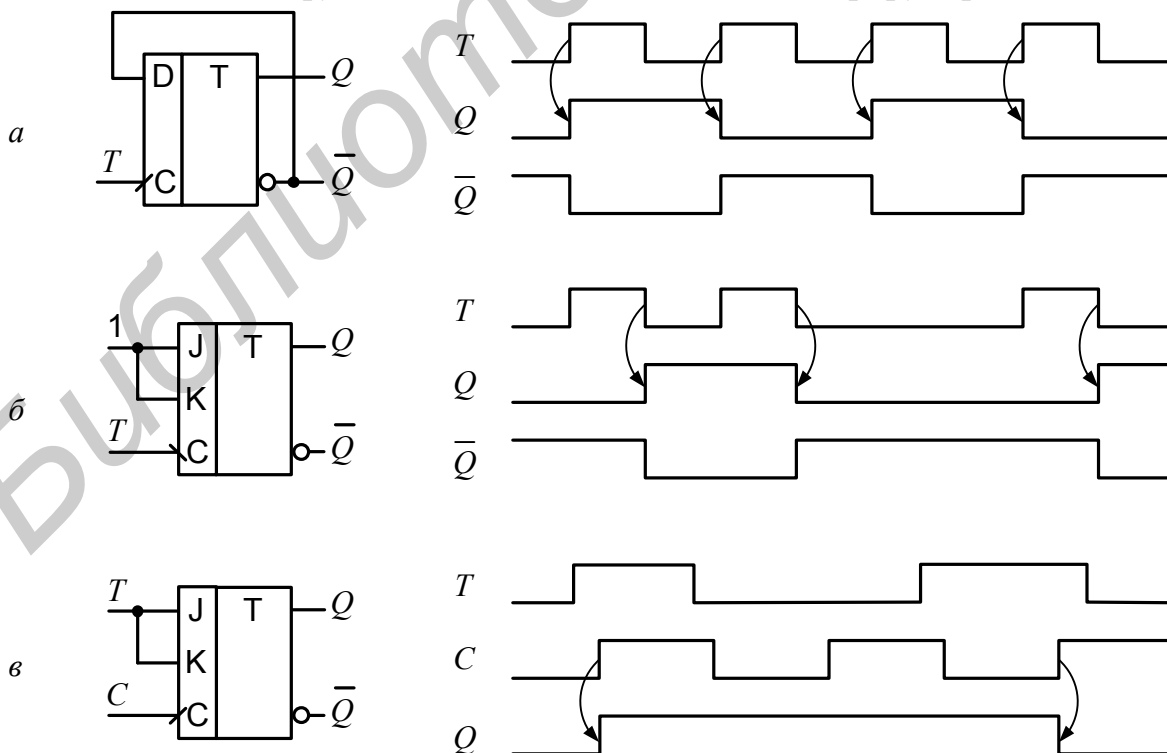


Рис. 6.18. Разновидности *T*-триггеров

а) асинхронный T -триггер, выполненный на основе D -триггера с прямым динамическим тактовым входом;

б) асинхронный T -триггер, выполненный на основе JK -триггера с инверсным динамическим тактовым входом. На объединенный вход триггера J и K подается уровень лог. 1, допускается объединение входов триггера J, K и C ;

в) синхронный T -триггер, выполненный на основе JK -триггера с прямым динамическим входом синхронизации.

Рассмотренные T -триггеры чаще всего используются для построения счетчиков импульсов. Особенностью T -триггеров является то, что частота следования выходных импульсов в два раза ниже частоты следования входных импульсов (см. рис. 6.18, а, б). Это свойство T -триггеров используется при построении на их основе делителей частоты следования импульсов.

На рис. 6.19 приведем названия и функциональные назначения триггерных устройств, выпускаемые радиоэлектронной промышленностью:

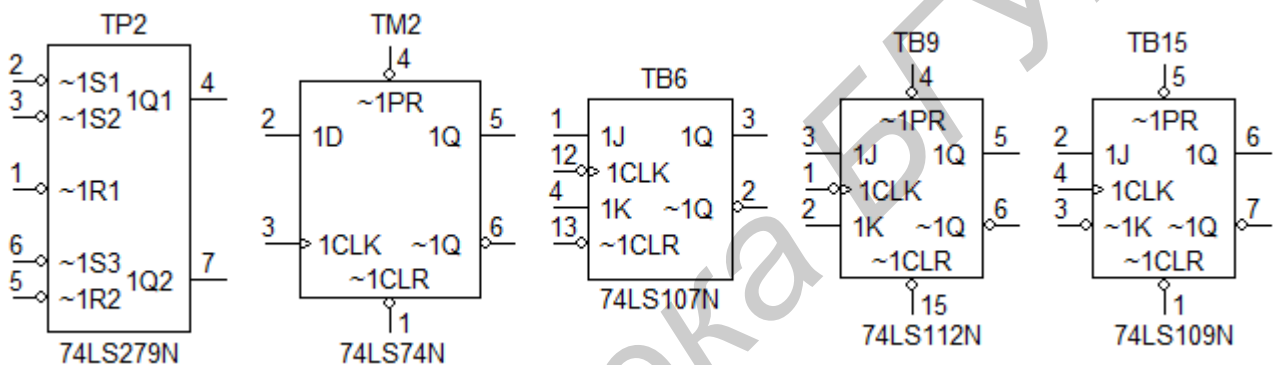


Рис. 6.19. Триггеры стандартных серий ИС

Принятые обозначения: S, R – входы RS -триггера; D – вход D -триггера; J, K – информационные входы JK -триггера; CLK (Clock) – вход синхронизации; CLR (Clear) – сброс (установка 0); PR (Preset) – установка 1, Q – выход.

6.3. Порядок выполнения лабораторной работы

1. Выполнить по указанию преподавателя логический синтез и реализовать на логических элементах схему триггера, приведенную в табл. 6.2.

Таблица 6.2

Тип триггера	Номер бригады					
	1	2	3	4	5	6
Асинхронный RS -триггер на ЛЭ “И-НЕ”	+		+		+	
Асинхронный RS -триггер на ЛЭ “ИЛИ-НЕ”		+		+		+
Синхронный RS -триггер	+			+		
Синхронный D -триггер		+			+	
Синхронный JK - триггер			+			+

2. Осуществить моделирование синтезированной схемы триггера с помо-

стью пакета прикладных программ Multisim. Для выполнения лабораторной работы в среде Multisim необходимо изучить работу виртуальных измерительных приборов: генератора логических сигналов (Word Generator), анализатора логических сигналов (Logic Analyzer), 4-канального осциллографа (Oscilloscope).

3. Используя программу Multisim, снять основные характеристики (частотный диапазон работы, нагрузочную способность, временные диаграммы, таблицу истинности) спроектированного устройства, а также одну из схем триггера рис. 6.19 по указанию преподавателя.

4. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

5. Выполнить экспериментальные исследования на макете IDL-800:

– собрать синтезированную схему триггера на наборной панели IDL-800;

– установить одну из микросхем рис. 6.19 на наборной панели макета IDL-800, подключив соответствующие выводы микросхемы к источнику питания +5V (VCC) и к общей шине заземления (GROUND) согласно установленному корпусу;

– снять основные характеристики исследуемых триггерных устройств, используя внутренний генератор сигналов макета IDL-800 и внешние приборы: цифровой осциллограф, измеритель частоты, вольтметр.

6. Сделать выводы по виртуальным и реальным исследованиям триггерных устройств.

6.4. Содержание отчёта

1. Цель работы.
2. Расчетные схемы исследуемых триггерных устройств.
3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов.
4. Результаты исследований, выводы.

6.5. Контрольные вопросы

1. Какие признаки используют при классификации триггеров?
2. Приведите определение триггера, каковы отличительные особенности *RS*-, *D*-, *JK*- и *T*-триггеров?
3. Что такое таблица переключения триггера? Приведите примеры таблиц переключения известных триггеров.
4. Для триггеров разных типов запишите логические уравнения, характеризующие принцип функционирования триггера.
5. В чем состоит отличие синхронных триггеров от асинхронных?
6. Как строятся триггеры с динамическим управлением?
7. Чем отличаются синхронные триггеры, управляемые уровнем, от триггеров с динамическим управлением?
8. Как осуществить счетный режим работы триггера?
9. Преобразуйте *RS*-, *D*- и *JK*-триггер в счетный *T*-триггер.
10. Изобразите временные диаграммы асинхронного *RS*-триггера.

Лабораторная работа № 7. Регистры

7.1. Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространенных типов регистров.

2. Получение навыков компьютерного моделирования регистров хранения и сдвига в среде Multisim.

3. Приобретение практических навыков работы с реальными цифровыми схемами регистров и контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

7.2. Общие сведения о регистрах

Регистр (Register) – это последовательностное цифровое устройство, предназначенное для приема (записи), хранения и выдачи (считывания) информации, представленной в виде n -разрядного двоичного кода. На схемах регистры обозначаются буквами RG, в стандартных сериях цифровых интегральных микросхем (ИС) – символами IP.

С помощью регистров можно осуществлять следующие операции:

- запись информации в параллельной или последовательной форме;
- хранение информации;
- сдвиг информации вправо или влево;
- выдачу хранимой информации в параллельной или последовательной форме;
- преобразование кодов;
- выполнение логических и арифметических операций.

Основным классификационным признаком регистров является способ записи (WR – Write) и считывания (RD – Read) информации. По данным признакам регистры различают:

- параллельные (регистры хранения);
- последовательные (регистры сдвига);
- специального назначения.

Любой регистр имеет n однотипных разрядов, выполненных на базе триггеров, число которых в схеме регистра соответствует числу разрядов двоичного кода.

Все регистры управляются тактовыми сигналами, поступающими на входы C (CLK – Clock). Тактовые входы соединены между собой, что обеспечивает одновременность срабатывания всех триггеров, входящих в состав регистра. На входы регистра также поступают различные специальные сигналы разрешения EN (Enable).

Многие регистры имеют специальные буферные каскады с тремя состояниями выходов: лог. 1, лог. 0 и Z -состояние. Микросхемы, имеющие дополнительное Z -состояние, помечаются на схемах символом Z . Для перевода выхода

регистра в Z -состояние применяется специальный входной сигнал EZ (Enable Z-State – разрешение Z -состояния) или другой специальный входной управляющий сигнал разрешения выхода. Если на выходе ИС имеются активные состояния лог. 1 либо лог. 0, то выходные токи достигают определенных величин. ИС с Z -состоянием имеют высокоимпедансный выход, который отключается от последующих схем сигналом EZ, выходной ток при этом практически равен нулю. Регистры с Z -состоянием обеспечивают повышенную нагрузочную способность.

Отдельные регистры имеют вход R асинхронного или синхронного сброса, по которому триггеры всех разрядов устанавливаются в нулевое состояние вне зависимости от логического состояния других входов.

7.2.1. Параллельные регистры

Основное назначение параллельных регистров – запоминание и хранение n -разрядного двоичного кода, поэтому параллельные регистры называют *регистрами хранения или регистрами памяти*. Такие регистры осуществляют операцию записи и считывания параллельным кодом, а также преобразование прямого двоичного кода в обратный код и наоборот.

Запись и считывание n -разрядного двоичного кода осуществляется под действием синхронизирующих сигналов одновременно (параллельно) по всем n разрядам, причем триггеры в параллельных регистрах не связаны между собой и не обмениваются данными.

По способу управления синхронизирующими сигналами все параллельные регистры делятся на две группы:

- стробируемые регистры, срабатывающие по уровню тактового сигнала;
- тактируемые регистры, срабатывающие по фронту тактового сигнала.

На рис. 7.1 приведены структурные схемы n -разрядных параллельных регистров, у которых запись информации по входам $D_0 \dots D_n$ и считывание с выходов $Q_0 \dots Q_n$ осуществляется параллельно. Триггеры T_0 , имеющие выходы Q_0 , являются младшими разрядами регистра. На входы C всех разрядов параллельно подаются управляющие тактовые импульсы.

Стробируемый параллельный регистр, показанный на рис. 7.1, а, реализован на D -триггерах со статическим управлением по входу C . Запись информации по сигналу WR осуществляется параллельно по входам $D_0 \dots D_n$. Считывание информации происходит при подаче сигнала RD, поступающего на входы логических элементов 2И.

Параллельные стробируемые регистры, срабатывающие по уровню тактового сигнала, принято называть *регистрами-защелками* (RG – Latch). Если стробирующий сигнал имеет активный логический уровень, то выходные сигналы регистра будут повторять сигналы, действующие на информационных входах D . В момент перехода стробирующего сигнала на пассивный уровень происходит защелкивание регистра, разрядные триггеры при этом будут сохранять последнее значение входных сигналов до прихода следующего строби-

рующего сигнала с активным логическим уровнем.

Примером стробируемого параллельного регистра является 8-разрядный регистр с защелкой КР1533ИР22 (аналог 74ALS373N).

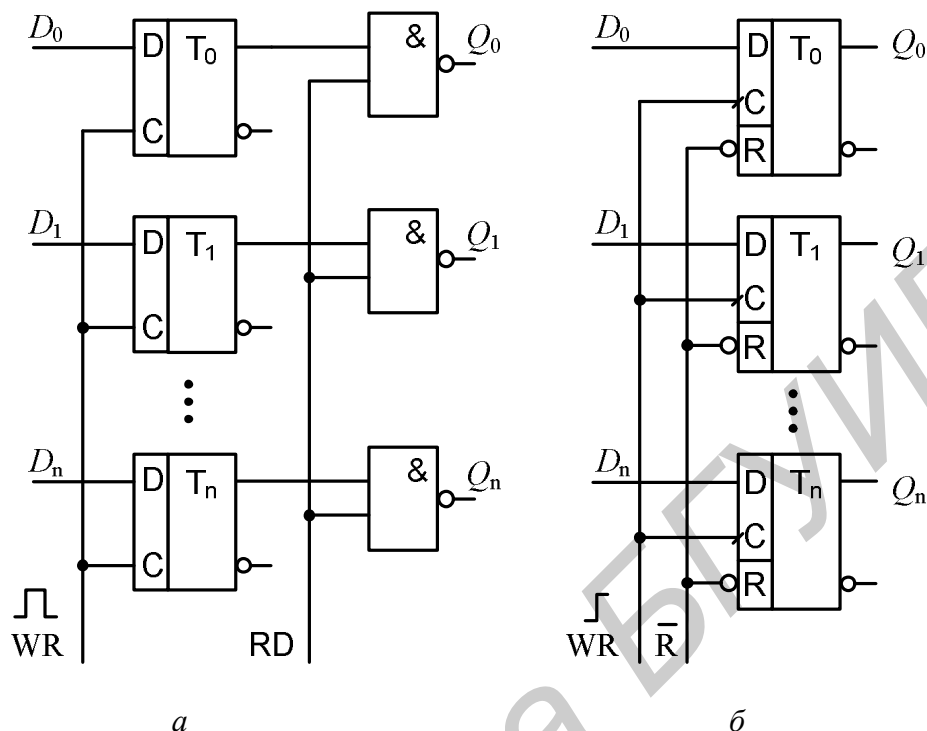


Рис. 7.1. Параллельные регистры

Тактируемый параллельный регистр, показанный на рис. 7.1, б, реализован на D -триггерах с прямым динамическим управлением. Регистр предназначен для хранения n -разрядного кода, запись и считывание осуществляется параллельным кодом по фронту тактового импульса. Регистр имеет дополнительный вход \bar{R} асинхронного сброса разрядных триггеров в нулевое состояние.

Примером данного типа регистра является 8-разрядный регистр хранения КР1533ИР30 (аналог 74ALS259N), который используется в цифровых системах в качестве рабочего регистра, дешифратора 3-8 или демультимплексора 1-8.

7.2.2. Последовательные регистры

Основное назначение последовательных регистров – сдвиг записанного кода на один или несколько разрядов в сторону младшего или старшего разрядов, поэтому последовательные регистры называют *регистрами сдвига* (Shift Register). Последовательные регистры обеспечивают запись и хранение информации, преобразуют последовательный код в параллельный и наоборот, а также могут выполнять различные арифметические операции.

Последовательные регистры подразделяются на *однаправленные* и *двунаправленные* (реверсивные). В однонаправленных регистрах сдвиг информации осуществляется только вправо либо влево, а в двунаправленных – как вправо, так и влево. В свою очередь однонаправленные последовательные реги-

стры делятся на группы:

- последовательно-параллельные;
- параллельно-последовательные;
- параллельно-параллельные.

Параллельно-параллельные регистры сдвига имеют параллельные входы и параллельные выходы, например регистр сдвига ИР35 (аналог 74LS273).

Рассмотрим принципы построения последовательных регистров со сдвигом информации вправо. На рис. 7.2 приведена структурная схема 4-разрядного регистра сдвига с последовательным информационным входом DR (Data Right) и параллельным выходом $Q_3 \dots Q_0$. Регистр реализован на базе синхронных D-триггеров с прямым динамическим управлением.

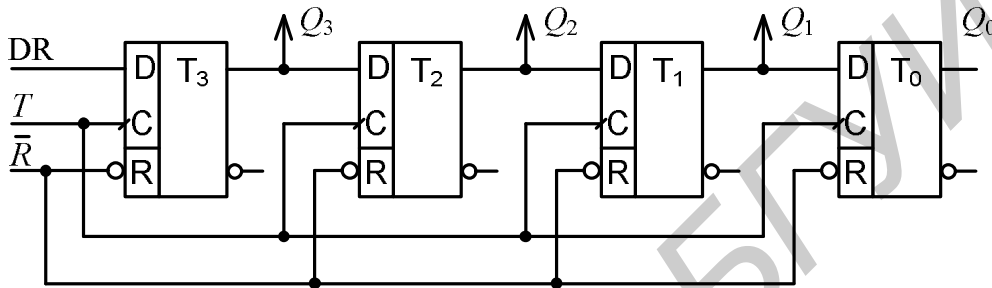


Рис. 7.2. Регистр сдвига с последовательным входом и параллельным выходом

Тактовые (сдвиговые) импульсы T подаются параллельно на все входы C триггеров регистра сдвига. Сигнал сброса с низким активным уровнем поступает на асинхронные входы \bar{R} всех триггеров.

Запись информации осуществляется последовательно по входу DR и сдвигается вправо на один разряд каждым тактовым импульсом, поступающим на вход C . В процессе сдвига каждый триггер, согласно рис. 7.2, передает хранимую информацию в следующий разряд и изменяет свое состояние под действием сигналов, формируемых на выходе предыдущего разряда.

Считывание записанной в регистр информации возможно как в виде параллельного кода с выходов всех триггеров Q , так и последовательного кода с выхода Q_0 при подаче на вход C четырех тактовых импульсов.

Какой из триггеров регистра является старшим разрядом, зависит от способа ввода информации в регистр. Согласно общепринятым правилам двоичное 4-разрядное число A записывается в виде:

$$A = a_3 a_2 a_1 a_0, \quad (7.1)$$

где слева находится старший разряд числа a_3 , справа – младший разряд a_0 указанного двоичного числа.

Если число A записывать в регистр (рис. 7.2) начиная с младшего a_0 разряда, то после подачи на вход C четырех тактовых импульсов в регистр будет записано число $A = a_3 a_2 a_1 a_0$. В этом случае первый триггер T_3 будет старшим разрядом регистра, на выходе которого формируется сигнал $Q_3 = a_3$.

На рис. 7.3 показан фрагмент структурной схемы, содержащей два разряда регистра сдвига с параллельным входом и выходом. Запись информации производится параллельным кодом по входам D_0 и D_1 либо последовательным кодом по входу DR.

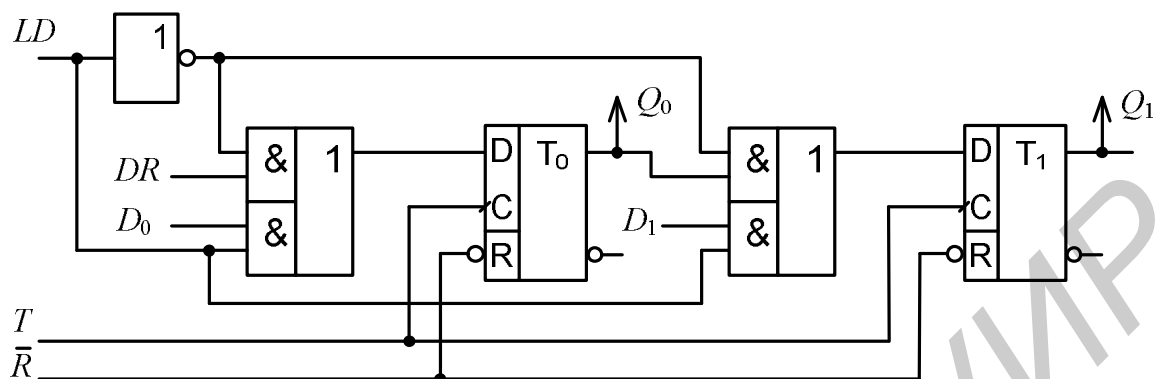


Рис. 7.3. Фрагмент схемы регистра сдвига с параллельным входом и параллельным выходом

Если входной сигнал, поступающий на вход D_0 , является младшим разрядом записываемого параллельного кода, то первый триггер с выходом Q_0 будет младшим разрядом регистра сдвига. В этом случае последовательный сигнал, поступающий на вход DR, должен записываться, начиная со старшего разряда входного кода, т.е. старшим разрядом вперед.

Вход LD (Load Data – загрузка данных) является управляющим и осуществляет переключение параллельного режима записи при $LD = 1$ или последовательного режима записи информации при $LD = 0$.

Последовательно-параллельный регистр сдвига ИР8 (74x164). Регистр КР1533ИР8 (зарубежный аналог 74ALS164N) является 8-разрядным регистром сдвига с последовательным входом и параллельным выходом. Условные обозначения регистров ИР8 и 74x164 показаны соответственно на рис. 7.4, а, б, в таблице (рис. 7.4, в) приведены режимы их работы. Регистр ИР8 предназначен для преобразования последовательного кода в параллельный 8-разрядный код и хранения одного байта информации.

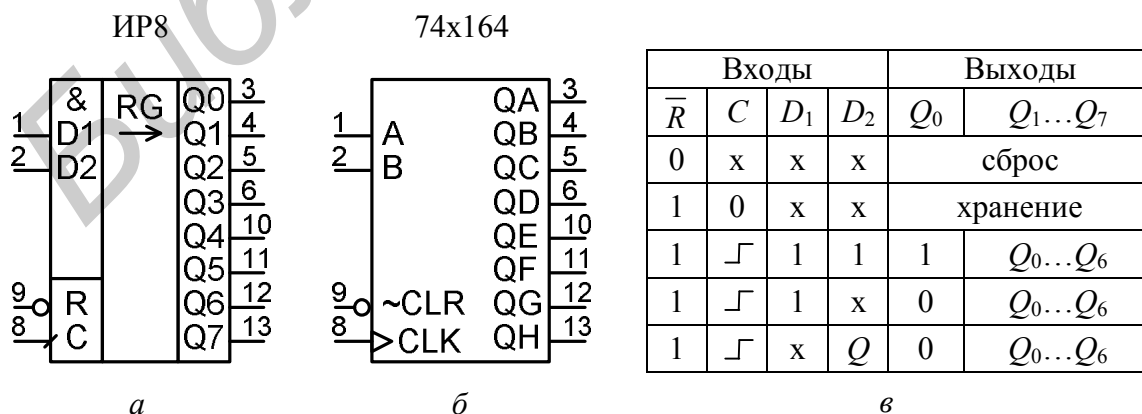


Рис. 7.4. Последовательно-параллельный регистр сдвига

Запись последовательного кода осуществляется поразрядно по фронту тактового сигнала через входы D_1 и D_2 , которые объединены по функции И. Тактовые импульсы подаются на вход C (либо CLK), при $C = 0$ триггеры переходят в режим хранения информации.

Считывание параллельного кода в регистре ИР8 производится с выходов $Q_0...Q_7$, с выхода Q_7 можно считывать поразрядно последовательный код.

Все выходы регистра асинхронно сбрасываются в нуль по входному сигналу сброса \bar{R} (\sim CLR), состояние других входов при этом не имеет значения.

Регистры сдвига применяются для построения различных генераторов последовательностей. На рис. 7.5 приведена схема генератора псевдослучайной последовательности (М-последовательности), реализованная на ИС ИР8. Параллельные выходы регистра ИР8 (минимум два выхода) подключаются к схеме Исключающее ИЛИ-НЕ (ENOR3). Выходные сигналы подаются на вход регистра, замыкая схему в кольцо.

Максимальная длина генерируемой псевдослучайной последовательности (ПСП) составляет $2^n - 1$ тактовых импульсов. В зависимости от выбранных обратных связей период ПСП будет составлять от 15 до 255 тактовых импульсов.

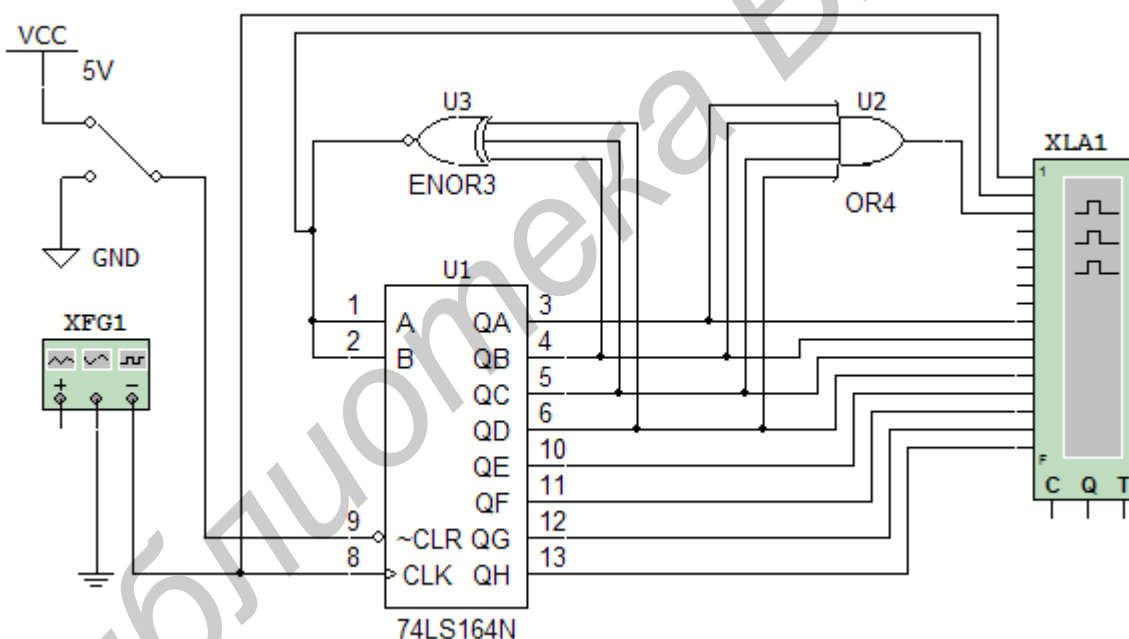


Рис. 7.5. Пример реализации ГПСЦ

Состояние регистра “все единицы” (код 1111...1) для данной схемы является запрещенным и исключается начальным сбросом регистра в нуль перед началом работы. Состояние регистра “все нули” повторяется один раз за один период следования ПСП и дешифрируется логическим элементом ИЛИ (OR4), определяя границы генерируемой ПСП. Число входов схемы ИЛИ должно соответствовать числу охватываемых разрядов регистра от младшего до старшего используемого разряда.

Параллельно-последовательный регистр сдвига ИР9 (74x165). Регистр сдвига КР1533ИР9 (зарубежный аналог 74ALS165N) предназначен для преоб-

разования 8-разрядного входного параллельного кода в последовательный код и хранения одного байта информации.

На рис. 7.6, а, б, показаны условные обозначения регистров ИР9 и 74х165 соответственно, в таблице (рис. 7.6, в) приведены режимы их работы.

Информационные сигналы, представленные в параллельном коде на входах $D_0...D_7$, записываются в регистр асинхронно по сигналу низкого уровня на входе \overline{WR} (или LD). После записи на прямом выходе Q будет сформирован сигнал, соответствующий сигналу старшего разряда D_7 входного кода.

Для сдвига информации вправо необходимо подать тактовые импульсы на один из входов C_1 или C_2 , объединенных по функции ИЛИ-НЕ. По положительному фронту каждого тактового импульса происходит сдвиг кода вправо на один разряд. При единичном сигнале на входе C_1 или C_2 триггеры переходят в режим хранения информации.

Регистр ИР9 может осуществлять запись информации в последовательном коде, для чего используется вход последовательного ввода данных DR при сдвиге кода вправо. В этом случае с инверсного выхода \overline{Q} считывается обратный последовательный код. Вход DR используется также для расширения разрядности регистра.

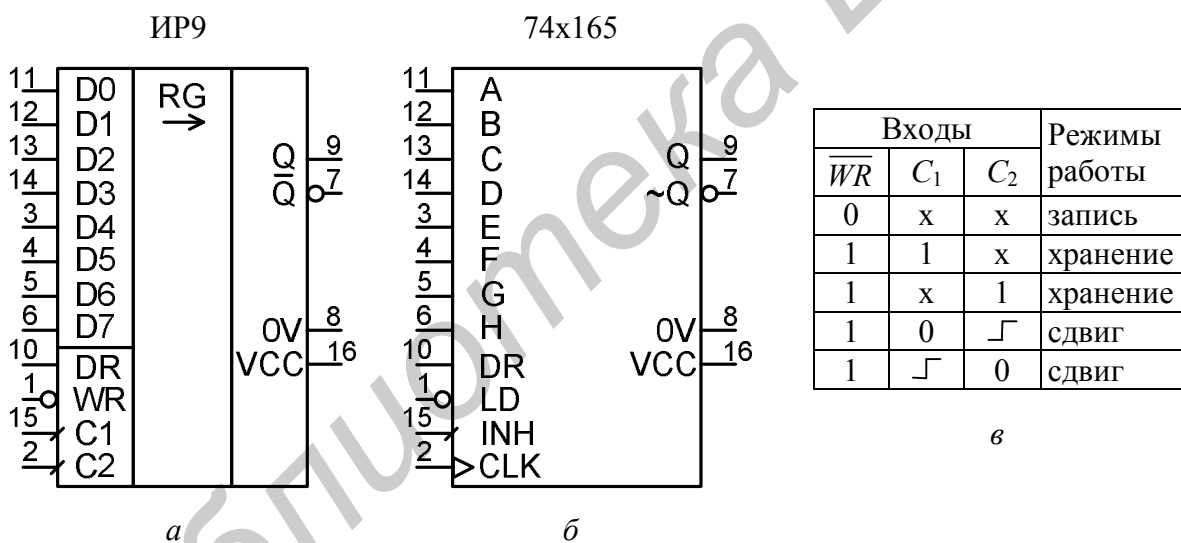


Рис. 7.6. Параллельно-последовательный регистр сдвига

На рис. 7.7 приведена схема реализации 24-разрядного регистра сдвига, выполненного на трех регистрах сдвига ИР9 (микросхемы DD1, DD2, DD3).

Параллельная запись информации в регистр осуществляется по нулевому сигналу на входе \overline{WR} . Регистр будет находиться в режиме хранения информации при единичном сигнале на входе \overline{WR} и единичном сигнале на входе C_1 или C_2 . Хранимая информация в режиме сдвига перезаписывается с выхода Q_7 старшего разряда микросхемы DD1 в младший разряд микросхемы DD2 через вход DR. Аналогично происходит перезапись сигналов из схемы DD2 в DD3.

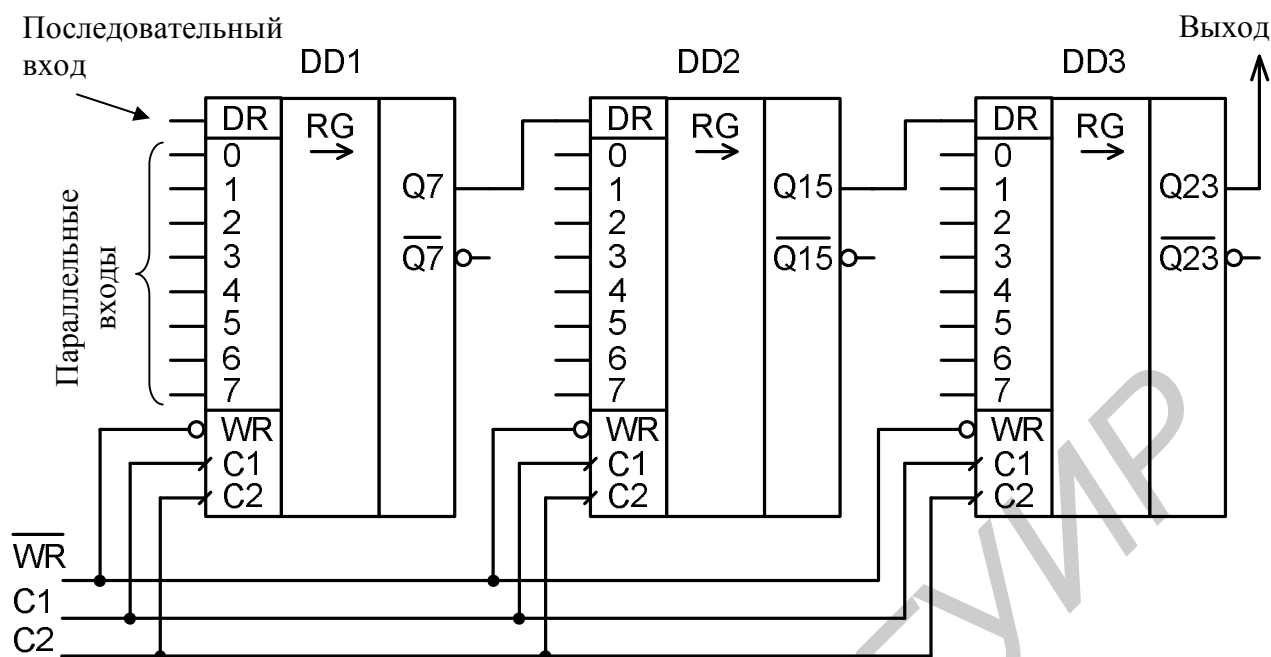


Рис. 7.7. 24-разрядный регистр сдвига

В итоге входной 24-разрядный параллельный код преобразуется в последовательный двоичный код и считывается с выхода Q_{23} .

7.2.3. Реверсивные регистры

Последовательные регистры, осуществляющие сдвиг информации как вправо (SR – Shift Right), так и влево (SL – Shift Left), называются *реверсивными регистрами сдвига*. Основное назначение реверсивных регистров ввод/вывод информации, ее хранение, сдвиг информации влево/вправо, преобразование кодов.

Выпускаются реверсивные регистры в основном 4- и 8-разрядные, реализуются на D -триггерах с динамическим управлением.

На рис. 7.8 показаны фрагменты схем, которые иллюстрируют принципы построения реверсивного регистра с последовательным вводом и выводом информационных кодов. Схемы выполнены на синхронных D -триггерах с прямым динамическим управлением.

При последовательной записи в регистр сдвига (рис. 7.8, а) двоичного 4-разрядного кода $D = D_3D_2D_1D_0$, где D_0 согласно выражению (7.1) является младшим разрядом двоичного кода, необходимо ввести по входу DR код D , начиная со старшего разряда D_3 . После подачи на вход C четырех тактовых импульсов в регистр будет записан код $D = D_3D_2D_1D_0$. Данный код будет храниться в триггерах $T_0 \dots T_3$, при этом T_0 будет младшим разрядом регистра. Запись информации в регистр с последовательным вводом данных и сдвигом вправо обозначается на схемах буквами DR (Data Right), последовательный ввод данных со сдвигом влево обозначается буквами DL (Data Left).

Для осуществления сдвига влево необходимо в регистре сдвига изменить

связи между триггерами, подключая выход старшего разряда к входу младшего разряда (рис. 7.8, б). В этом случае происходит последовательный ввод данных со сдвигом влево. Управляющий сигнал на схеме обозначен буквами DL.

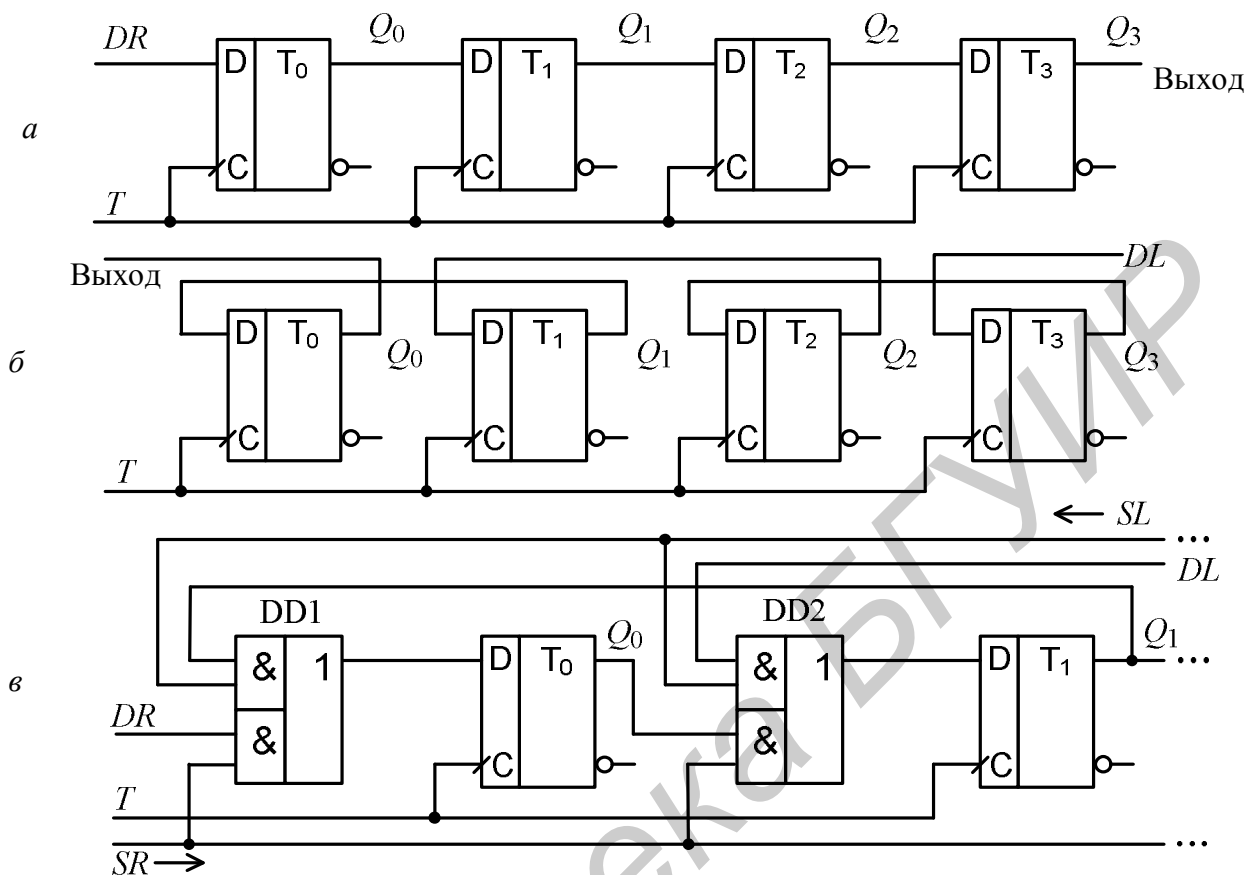


Рис. 7.8. Принцип построения реверсивного регистра: а – сдвиг вправо (SR); б – сдвиг влево (SL); в – фрагмент схемы реверсивного регистра

В реверсивном регистре (рис. 7.8, в) с целью изменения направления передачи информации вводятся дополнительные логические элементы 2-2ИЛИ (схемы DD1 и DD2). Если сигнал SR равен единице, то информация, подаваемая на вход DR, будет сдвигаться вправо в сторону старших разрядов.

Если сигнал SL равен единице, то информация, подаваемая на вход DL, будет сдвигаться влево в сторону младших разрядов. Одновременная подача сигналов SR и SL не допускается.

Необходимо отметить, что с помощью регистров сдвига можно выполнять арифметические операции с двоичными числами. Рассмотрим применение регистров сдвига для деления и умножения двоичных чисел на 2^n , где n - целое число.

Если записать в 4-разрядный регистр двоичное число $A = a_3a_2a_1a_0$, начиная с младшего разряда a_0 (аналогично записи информации в регистр, показанный на рис. 7.2), то на выходах триггеров будет установлен код $Q_3Q_2Q_1Q_0$.

Запишем в регистр по входу DR код $0100_2 = 4_{10}$ и сдвинем его вправо в сторону младших разрядов двумя тактовыми импульсами. На выходе получим последовательно коды $0010_2 = 2_{10}$ и $0001_2 = 1_{10}$, что будет соответствовать деле-

нию исходного числа на 2 и 4. Сдвинув записанный код 0100 на один разряд влево в сторону старших разрядов, получим код $1000_2 = 8_{10}$, что будет соответствовать умножению двоичного числа на 2. Следует отметить, что при выполнении подобных операций необходимо в освободившиеся разряды вводить нулевые сигналы по входам DR и DL.

Приведем некоторые типы регистров, серийно выпускаемые промышленностью. На рис. 7.9 приняты обозначения: A...H или 1D...8D – информационные входы, QA...QH или 1Q...8Q – выходы, CLK – тактовый вход, CLR – вход сброса, SH/LD – выбор режима; SL, SR – сдвиг влево, сдвиг вправо; S0,S1,S2 – адресные входы.

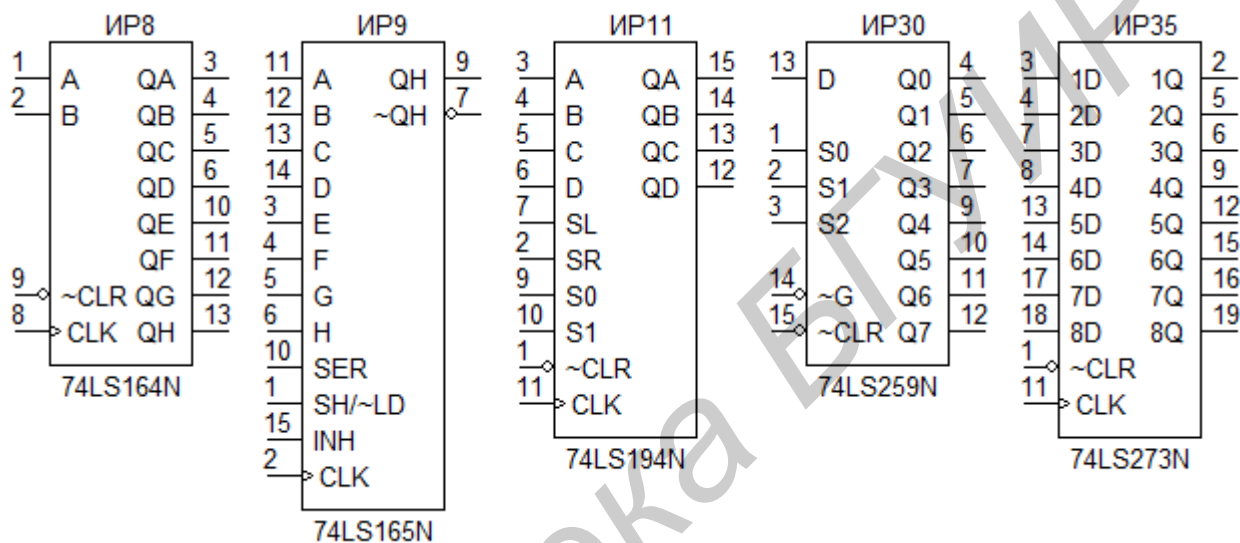


Рис. 7.9. Регистры стандартных серий ИС

7.3. Порядок выполнения лабораторной работы

1. Разработать и реализовать схему регистра по указанию преподавателя. (Варианты: параллельный регистр хранения информации, последовательный регистр сдвига, параллельно-параллельный регистр сдвига, реверсивный регистр сдвига, регистр сдвига специального назначения).

2. Осуществить моделирование заданного логического устройства в среде Multisim:

- изучить работу виртуальных измерительных приборов: функционального генератора (Function Generator), анализатора логических сигналов (Logic Analyzer), 4-канального осциллографа (Oscilloscope);
- снять основные параметры (временные диаграммы, таблицу функционирования и др.) спроектированного устройства, а также провести исследование одной из схем рис.7.9 по указанию преподавателя.

3. Проанализировать работу регистра сдвига IP8 (74LS164N), условное обозначение и таблица режимов работы которого показаны на рис. 7.4.

Собрать схему генератора псевдослучайных последовательностей (ГПСП) на основе регистра сдвига 74LS164N (рис. 7.5), включив в цепь обратной связи многовходовой логический элемент Искключающее ИЛИ-НЕ (ENOR). Устано-

вить многовходовой логический элемент И (OR). Необходимые виртуальные элементы XNOR и OR выбрать из раздела Цифровые компоненты семейства TIL программы Multisim согласно заданным вариантам:

Вариант	1	2	3	4	5	6
Обратные связи <i>RG</i>	<i>A, D</i>	<i>C, E</i>	<i>C, D</i>	<i>A, B, D, F</i>	<i>B, C, D, E</i>	<i>C, D, E, H</i>

Установить все триггеры регистра в исходное нулевое состояние, подключив переключатель J1 к заземлению (GND). Запустить схему, подключив J1 к источнику питания VCC. Определить длительность периода ПСП при тактовой частоте функционального генератора равной 1 кГц.

4. Изучить описание лабораторного стенда IDL-800 (см. прил.1).

5. Выполнить экспериментальные исследования на лабораторном стенде IDL-800:

– собрать заданную схему регистра на наборной панели стенда IDL-800 и провести ее исследование;

– установить на наборной панели стенда IDL-800 одну из микросхем, приведенных на рис. 7.9;

– подключить соответствующие выводы микросхемы к источнику питания +5В (VCC) и к общей шине заземления (GROUND) согласно установленному корпусу микросхемы;

– снять основные параметры исследуемых устройств, используя внутренний генератор сигналов макета IDL-800 и внешние измерительные приборы: осциллограф, измеритель частоты, вольтметр и др.

7.4. Содержание отчета

1. Цель работы.
2. Схемы исследуемых регистров.
3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов.
4. Результаты экспериментальных исследований, выводы.

7.5. Контрольные вопросы

1. По каким признакам классифицируются регистры?
2. Назовите основные параметры регистров.
3. Приведите структурные схемы параллельного и последовательного регистров, поясните принципы их работы.
4. Поясните принципы построения и работы реверсивного регистра.
5. Чем различаются между собой регистры памяти и сдвига?
6. Каким образом достигается увеличение разрядности регистров?
7. Назовите области применения параллельных и последовательных регистров.

Лабораторная работа № 8. Счетчики

8.1. Цель работы

1. Углубление и закрепление теоретических знаний по схемотехническому проектированию и применению наиболее распространенных типов счетчиков.
2. Получение навыков компьютерного моделирования счетчиков в среде Multisim.
3. Приобретение практических навыков работы с реальными цифровыми устройствами и внешними контрольно-измерительными приборами на универсальном лабораторном стенде IDL-800.

8.2. Общие теоретические сведения о счетчиках

Счетчик (Counter) представляет собой логическое цифровое устройство *последовательностного типа*, осуществляющее подсчет поступивших на счетный вход импульсов и фиксацию их числа в том или ином коде. После подсчета заданного числа импульсов счетчик в режиме непрерывного счета самостоятельно возвращается в исходное нулевое состояние и цикл его работы повторяется.

Новое состояние счетчика, как и любого последовательностного устройства с памятью, зависит не только от действующих входных сигналов, но и от последовательности сигналов, которые поступали ранее на входы счетчика.

Последовательностные цифровые устройства, выполненные по схеме счетчика, но имеющие один счетный вход и один выход, называются *делителями частоты*. Простейшим счетчиком является *T*-триггер, который на практике реализуется на основе *JK*- или *D*-триггера. *T*-триггер осуществляет подсчет входных импульсов по модулю два и, являясь одноразрядным счетчиком-делителем, осуществляет деление частоты следования входных импульсов на два.

На схемах счетчики и счетчики-делители обозначаются символами СТ (двоичные – СТ2, двоично-десятичные – СТ2/10). В стандартных сериях цифровых интегральных схем (ИС), выпускаемых отечественной промышленностью, счетчики обозначаются символами ИЕ.

Счетчик содержит *n* последовательно включенных счетных триггеров, которые называются разрядами. Первый триггер счетчика является *младшим разрядом*, а справа от него находятся *старшие разряды*.

Счетчики отличаются друг от друга *числом разрядов n*, *модулем счета M* и типом счетной последовательности, которая может быть двоичной, двоично-десятичной, в коде Грея или в другом коде. Двоичные коды могут иметь различные веса разрядов, например, 8421 либо 2421 (код Айкена) и т.п.

Для *n*-разрядного двоичного счетчика, имеющего 2^n состояний, модуль счета *M* (или коэффициент счета $K_{сч}$) и максимальное число подсчитанных входных импульсов N_{max} определяются соотношениями:

$$M = 2^n = K_d; \quad N_{\max} = 2^n - 1. \quad (8.1)$$

Модуль счета M определяется общим числом состояний (переключений) счетчика за один полный цикл счета, через которые он проходит в последовательности $0, 1, 2, \dots, M-1, 0, 1, 2, \dots$

Модуль счета M численно совпадает с коэффициентом деления числа входных импульсов K_d . Для периодических входных сигналов, следующих с частотой $F_{\text{вх}}$, частота выходных сигналов счетчика-делителя равна

$$F_{\text{вых}} = F_{\text{вх}} / K_d \quad (8.2)$$

Выходы разрядных триггеров в счетчиках обычно обозначаются на схемах индексами $0, 1, 2, 3, \dots$, как номера разрядов двоичного кода, тогда Q_0 будет выходом триггера младшего нулевого разряда. Допускается обозначение выходов $1, 2, 4, 8, \dots$ согласно весовым коэффициентам двоичного кода 8421, в этом случае Q_8 будет выходом триггера старшего разряда.

Важным эксплуатационным показателем электронных счетчиков является их быстродействие, зависящее от выбранной элементной базы и схемы построения. Быстродействие счетчиков характеризуется временем установления в нем нового состояния $t_{\text{уст}}$.

Счетчики классифицируются по ряду признаков.

По способу переключения триггеров счетчики подразделяются на *асинхронные* (последовательные) и *синхронные* (параллельные).

По направлению счета счетчики делятся на типы: суммирующие (прямого счета), вычитающие (обратного счета), реверсивные (с изменением управления счета).

По способу кодирования различают двоичные счетчики, двоично-кодированные, счетчики с кодом Грея, счетчики Джонсона и др.

По способу организации внутренних связей счетчики бывают с последовательным переносом, параллельным переносом и с комбинированным (групповым) переносом.

Наибольшее распространение на практике получили двоичные счетчики, обозначаемые на схемах буквами СТ2. Из двоично-кодированных счетчиков чаще всего применяют двоично-десятичные (СТ2/10), их иногда называют просто десятичными и обозначают СТ10. Двоично-десятичные счетчики по коду счета являются двоичными и имеют модуль счета $M = 10$.

8.2.1. Асинхронные последовательные счетчики

Асинхронные счетчики представляют собой последовательно соединенную цепочку счетных триггеров, которые последовательно переключаются выходными сигналами предыдущих триггеров, поэтому такие счетчики получили название *асинхронных последовательных счетчиков*.

Разрядные триггеры в последовательных счетчиках переключаются асинхронно (не одновременно) с входным сигналом и с сигналами других разрядов.

Межразрядный перенос сигналов в следующие по старшинству разряды осуществляется в таких счетчиках последовательно, отсюда другое название – *асинхронные счетчики с последовательным переносом* (Ripple counter). Серийно выпускаемые промышленностью асинхронные счетчики имеют инверсный динамический вход и переключаются только по перепаду отрицательного фронта (от лог. 1 к лог. 0) входного счетного сигнала.

Асинхронных счетчиков, применяемых на практике и входящих в состав стандартных серий ИС, выпускается немного. Наиболее часто используются: 4-разрядный двоично-десятичный счетчик ИЕ2 (74х90), 4-разрядный двоичный счетчик ИЕ5 (74х93), 4-разрядный двоичный счетчик ИЕ19 (74х393). Асинхронные счетчики имеют вход T , на который поступают счетные импульсы, в зарубежных аналогах этот вход обозначают IN (Input). Большинство счетчиков имеют независимые асинхронные входы сброса в нуль R (CLR – clear), а также входы предварительной установки начальной комбинации S (PR – preset).

Особенностью асинхронных счетчиков с последовательным переносом сигналов является их невысокое быстродействие, определяемое в основном временем последовательного переключения разрядных триггеров.

Задержка переключения каждого разряда счетчика равна задержке переключения одного триггера $t_{тр}$, следовательно, время установления кода на выходе n -разрядного асинхронного последовательного счетчика будет равна

$$t_{уст} = n \cdot t_{тр} < T_{и}, \quad (8.3)$$

где $T_{и}$ - период следования импульсов входного сигнала.

Из выражения (8.3) следует довольно жесткое ограничение на частоту входного сигнала и количество разрядов счетчика. Обычно асинхронные счетчики выпускаются 4-разрядными, они обладают малым быстродействием, но просты в реализации.

Рассмотрим принципы построения асинхронных двоичных счетчиков на T -триггерах. При поступлении на вход счетчика очередного счетного импульса, состояния его триггеров меняются на противоположные.

Суммирующий двоичный счетчик. Для организации суммирующего счетчика, работающего в режиме прямого счета, когда каждый очередной входной счетный импульс увеличивает результат счета на единицу, необходимо прямой выход Q каждого предыдущего триггера соединить с входом T последующего триггера. Вход T при этом должен быть *инверсным динамическим* (рис. 8.1, а). Рассматриваемый 3-разрядный суммирующий двоичный счетчик с модулем счета $M = 2^n = 8$ осуществляет счет на увеличение от значений 000 до значений 111 (от 0 до 7 в десятичной системе).

В данном счетчике младшим разрядом является первый триггер T_0 , на который подаются счетные импульсы C , а последующие триггеры являются старшими разрядами.

В этом случае максимальное показание счетчика на выходах триггеров записывается согласно номерам разрядов выходного двоичного кода в виде:

$$Q_2Q_1Q_0 = 111_2 = 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7_{10}.$$

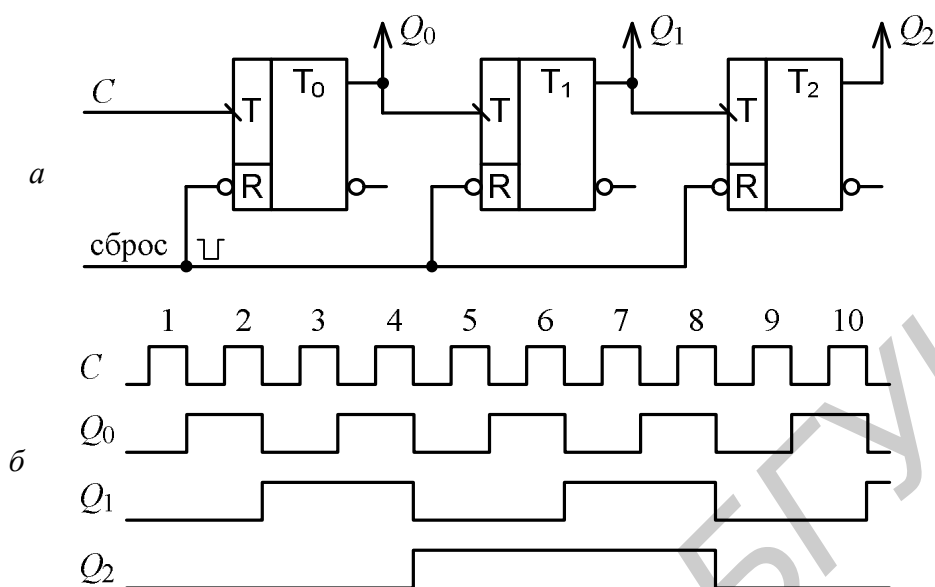


Рис. 8.1. Асинхронный суммирующий двоичный счетчик:
а – структурная схема счетчика, *б* – временные диаграммы

В исходном состоянии все триггеры счетчика устанавливаются в нулевое состояние с помощью сигнала сброса \overline{R} , который является инверсным статическим.

С приходом первого счетного импульса C , поданного на вход T , счетчик по отрицательному фронту устанавливается в состояние 001. Поступление второго импульса приводит к увеличению результата счета на единицу и т.д. После поступления восьмого счетного импульса все триггеры устанавливаются в нулевое состояние, затем цикл счета автоматически повторяется (табл. 8.1).

Временные диаграммы, поясняющие работу суммирующего счетчика с инверсным динамическим входом, приведены на рис. 8.1, *б*, из которого следует, что каждый последующий триггер переключается отрицательным фронтом сигнала, формируемого на выходе предыдущего триггера.

Следует обратить особое внимание, что при замене в схеме рис. 8.1 инверсного динамического входа на прямой динамический вход, счетчик становится *вычитающим*. В этом случае для организации суммирующего счетчика, если вход T изменен на *прямой динамический*, следует соединить инверсный выход \overline{Q} младшего разряда с входом T старшего разряда. Тогда первый триггер будет срабатывать по положительному фронту каждого счетного импульса, поступившего на вход T , а последующие триггеры будут переключаться по положительному фронту инверсных сигналов $\overline{Q_0}$ и $\overline{Q_1}$.

Таблица 8.1

Число поданных импульсов	Режим счета 3-разрядного счетчика					
	Суммирование			Вычитание		
	Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	0	0
1	0	0	1	1	1	1
2	0	1	0	1	1	0
3	0	1	1	1	0	1
4	1	0	0	1	0	0
5	1	0	1	0	1	1
6	1	1	0	0	1	0
7	1	1	1	0	0	1
8	0	0	0	0	0	0

Вычитающий двоичный счетчик. При построении вычитающих счетчиков необходимо обеспечить режим обратного счета, когда каждый очередной входной счетный импульс должен уменьшать результат счета на единицу. Направление обратного счета в вычитающих счетчиках достигается за счет изменения характера межкаскадных соединений в цепях последовательного переноса сигнала.

Схемная реализация вычитающего двоичного счетчика с инверсным динамическим управлением, а также организация в нем межкаскадных связей показана на рис. 8.2, а.

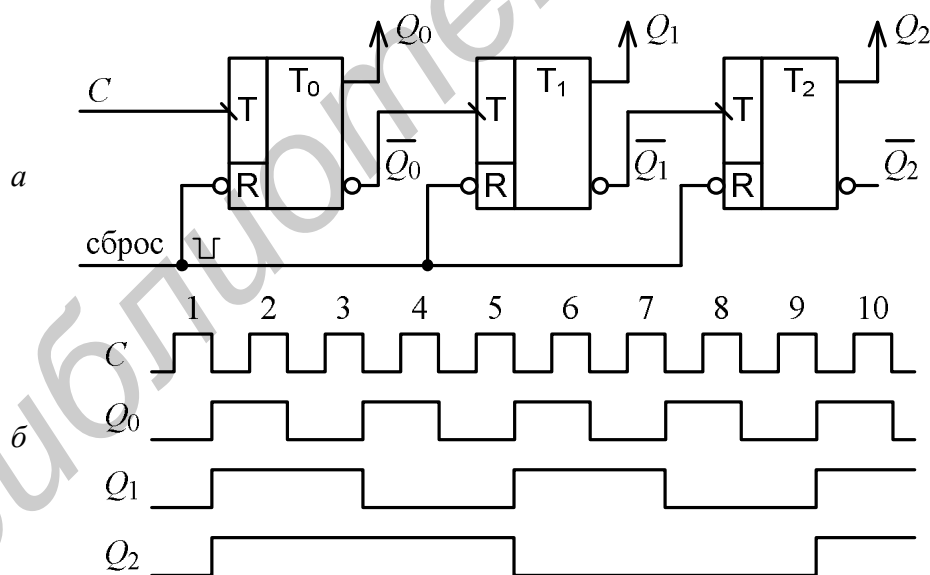


Рис. 8.2. Асинхронный вычитающий двоичный счетчик:
а — структурная схема счетчика, б — временные диаграммы

Работа счетчика начинается с установки всех триггеров в нулевое состояние (сброс). Первый счетный импульс С, поступивший на вход Т, по отрицательному фронту устанавливает на выходах счетчика $Q_2Q_1Q_0$ комбинацию 111. Каждый следующий входной импульс уменьшает содержимое счетчика на еди-

ницу. При поступлении восьмого импульса все триггеры счетчика устанавливаются в нулевое состояние и цикл счета повторяется.

Временные диаграммы, поясняющие работу вычитающего счетчика, приведены на рис. 8.2, б. Режимы счета суммирующего и вычитающего 3-разрядного двоичного счетчика характеризует табл. 8.1.

При замене в схеме рис. 8.2, а инверсного динамического входа на прямой динамический вход, счетчик становится *суммирующим*.

Вычитающие счетчики промышленностью не выпускаются, при необходимости организации режима вычитания применяются реверсивные счетчики, работающие в режиме обратного счета.

Реверсивный двоичный счетчик. Счетчики, работающие в прямом и обратном направлениях счета, называются *реверсивными*. При построении реверсивного счетчика изменение направления счета достигается переключением связей между разрядами из режима суммирования в режим вычитания и наоборот. С этой целью в цепях связи между триггерами включаются схемы коммутации.

На рис. 8.3, а, б, в показаны варианты реализации межразрядных коммутирующих цепей на логических элементах, на входы которых подаются управляющие сигналы V и \bar{V} , а также прямые и инверсные сигналы Q_i и \bar{Q}_i , поступающие с выходов триггеров младших разрядов. На выходе коммутатора формируется сигнал C_{i+1} , поступающий на вход триггера старшего разряда. Все три схемы эквивалентны и описываются логическим выражением:

$$C_{i+1} = \overline{Q_i \cdot \bar{V} \cdot \bar{Q}_i \cdot V} = Q_i \cdot \bar{V} + \bar{Q}_i \cdot V = Q_i \oplus V. \quad (8.4)$$

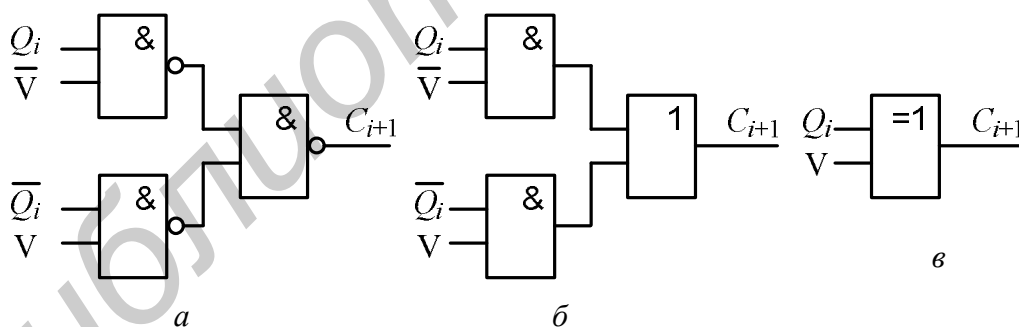


Рис. 8.3. Варианты межразрядных коммутирующих цепей

В 3-разрядном реверсивном счетчике, показанном на рис. 8.4, роль внутренних коммутирующих цепей между разрядами выполняют логические элементы DD1 и DD2, схемы которых соответствуют рис. 8.3, б. С помощью сигналов управления V в счетчиках можно изменять направление счета и реализовать режим суммирования либо вычитания.

При значении управляющего сигнала $V = 0$ на входы верхних элементов И схем DD1 и DD2 поступит сигнал высокого уровня (лог. 1). Если при этом и значения $Q_i = 1$, то *прямые выходы* младших разрядов счетчика подключатся

через схемы DD1 и DD2 к входам T старших разрядов. Режим работы счетчика будет *суммирующим*.

При значении управляющего сигнала $V=1$ на входы нижних логических элементов И схем DD1 и DD2 поступит сигнал лог. 1. Если при этом значении $\overline{Q_i}=1$, то *инверсные выходы* младших разрядов счетчика через схемы DD1 и DD2 подключатся к входам T старших разрядов. Режим работы счетчика в данном случае будет *вычитающим*.

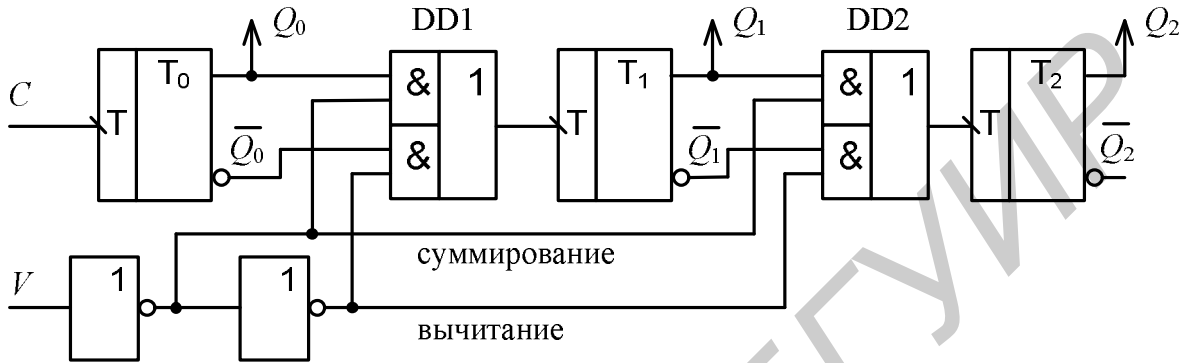


Рис. 8.4. Реверсивный счетчик с межкаскадными связями 2-2И-2ИЛИ

Рассмотрим работу асинхронного счетчика и его зарубежного аналога, выпускаемых серийно в виде отдельных микросхем.

Асинхронный двоичный счетчик ИЕ19 (74×393). В составе микросхемы КР1533ИЕ19 (аналог 74LS393N) имеются два независимых 4-разрядных двоичных счетчика, выполненных на JK -триггерах. Внутренние 4-разрядные счетчики являются асинхронными с последовательным межразрядным переносом сигналов. Триггеры каждого разряда переключаются последовательно от младшего к старшему разряду по перепаду отрицательного фронта на входе C .

Условные обозначения микросхемы ИЕ19 и зарубежного аналога 74×393, а также таблица их функционирования приведены на рис. 8.5, *а*, *б*, *в*.

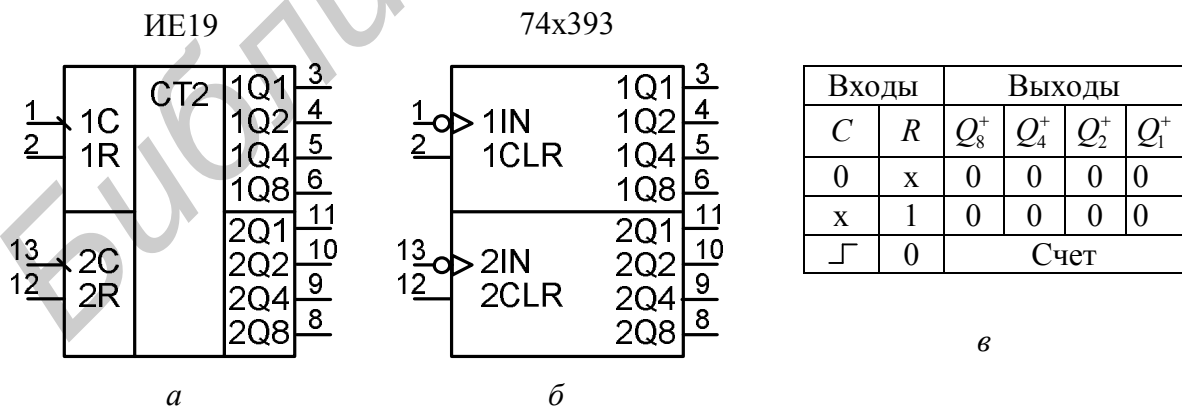


Рис. 8.5. Условные обозначения (*а*, *б*) и таблица функционирования (*в*) счетчиков ИЕ19 и 74×393 (x – произвольные значения входных сигналов)

Каждый внутренний счетчик микросхемы имеет свой инверсный динамический счетный вход C (IN) и вход сброса R (CLR). Выходы каждого счетчика обо-

значены индексами 1, 2, 4, 8 согласно весовым коэффициентам двоичного кода. 4-разрядный внутренний счетчик является суммирующим и осуществляет десятичный счет входных импульсов (0,1,2,...,15,0,1,...) по модулю 16. Если соединить внешние выводы 6 и 13 микросхемы ИЕ19, то образованный 8-разрядный счетчик будет выполнять счет от 0 до 255, выходные сигналы при этом должны сниматься с 8-го выхода микросхемы.

Временные диаграммы, характеризующие работу асинхронного двоичного счетчика ИЕ19, приведены на рис. 8.6.

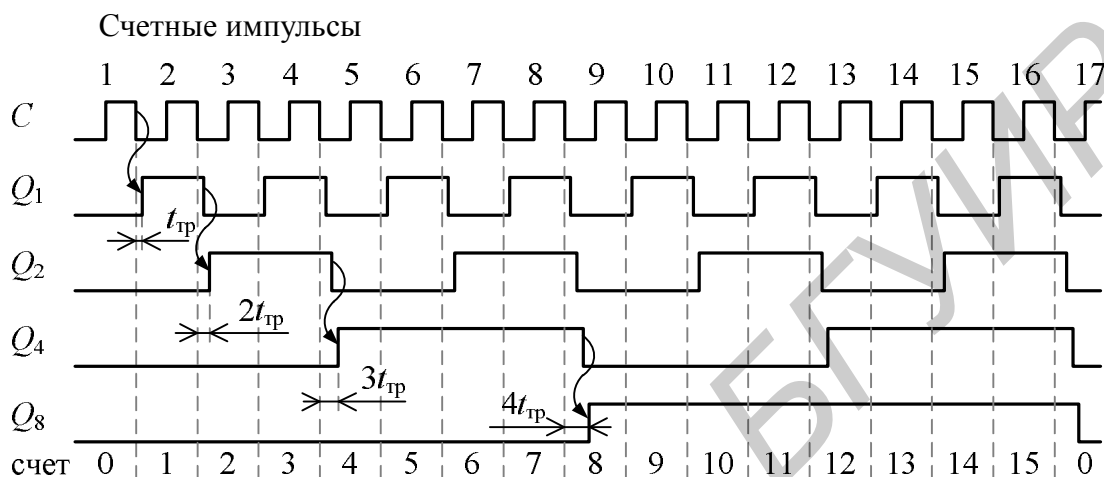


Рис. 8.6. Временные диаграммы 4-разрядного асинхронного двоичного счетчика

Время установления кода в каждом разряде равно времени переключения триггера, тогда полное время установления выходного кода в 4-разрядном счетчике будет, согласно выражению (8.3), равно $4t_{тр}$.

С целью увеличения разрядности на рис. 8.7 показана схема последовательного соединения двух микросхем ИЕ19 (схемы DD1 и DD2). Такое включение позволяет получить 16-разрядный асинхронный счетчик с последовательным переносом сигналов.

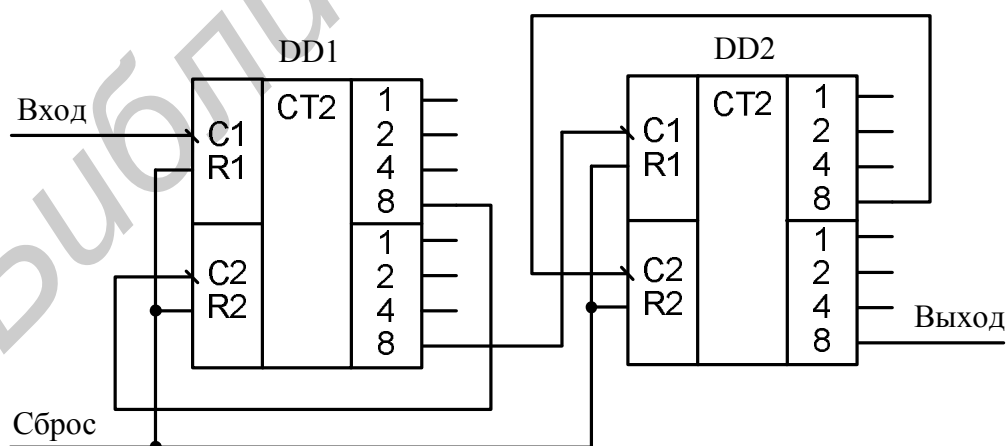


Рис. 8.7. Схема 16-разрядного асинхронного двоичного счетчика

Асинхронные счетчики отличаются простотой внутренней структуры и находят широкое применение в качестве делителей частоты входного сигнала.

Счетчики-делители могут быть с произвольным и управляемым коэффициентом деления. Асинхронные счетчики-делители обычно используются в цифровых устройствах, где не требуется высокое быстродействие.

8.2.2. Синхронные параллельные счетчики

Синхронные параллельные счетчики характеризуются тем, что переключение триггеров всех разрядов осуществляется синхронно (параллельно) по единому входному счетному сигналу, поступающему на синхронизирующий вход *C* (в зарубежных аналогах этот вход обозначают CLK).

По сравнению с асинхронными счетчиками управление работой синхронных счетчиков гораздо сложнее. Для одновременного переключения триггеров всех разрядов необходимо с помощью комбинационной логики сформировать сигнал переноса и определить вид связей между разрядами, которые будут определять порядок переключения триггеров до прихода очередных счетных импульсов.

Следует отметить, что счетные импульсы, поступающие на вход *C*, не участвуют в образовании сигналов переноса. Сигналы переноса вырабатываются дополнительными комбинационными схемами из выходных сигналов триггеров младших разрядов и поступающих на вход счетчика сигналов управления или разрешения.

Разрядные триггеры счетчика переключаются каждым счетным импульсом, поданным на тактовый вход. В таком режиме счетчик осуществляет подсчет входных импульсов и фиксирует их в двоичном коде. Счет импульсов может производиться на увеличение (суммирование) или уменьшение (вычитание), начиная с предварительно установленного числа (кода).

Серийно выпускаемые промышленностью синхронные счетчики имеют прямой динамический вход. Сигналы на их выходах изменяются *только на нарастающем положительном фронте* (от лог. 0 к лог. 1) входного счетного сигнала, поступающего на вход *C* (CLK). Если используемые в счетчике разрядные триггеры переключаются отрицательным перепадом сигнала, то для обеспечения синхронной работы схемы счетные импульсы подаются через внутренний инвертор, входящий в состав микросхемы. Реализуются синхронные счетчики в основном на *D*- и *JK*-триггерах, работающих в счетном режиме. Большинство счетчиков имеют дополнительные входы установки и сброса, причем сброс в состояние лог. 0 может быть как синхронным (ИС ИЕ18), так и асинхронным (ИС ИЕ10).

8.2.3. Способы формирования сигналов переноса в счетчиках

Счетчики по способу формирования сигналов переноса и организации связей между разрядами подразделяются на следующие группы:

- счетчики с последовательным переносом;
- счетчики с параллельным переносом;
- счетчики с комбинированным переносом.

В асинхронных счетчиках все разряды переключаются последовательно друг за другом, осуществляя *последовательный перенос сигналов* от младших разрядов к старшим (см. рис. 8.1). Такие счетчики называются *асинхронными с последовательным переносом*.

В синхронных счетчиках сигналы межразрядного переноса формируются с помощью комбинационной логики и поступают *параллельно* на информационные входы триггеров. Все разряды переключаются одновременно по единому входному счетному сигналу, поступающему на синхронизирующий вход C . Такие счетчики называются *синхронными с параллельным переносом*.

Следует обратить внимание на особенность построения синхронных счетчиков с параллельным переносом сигналов. Счетные импульсы в синхронных счетчиках *не участвуют в образовании сигналов переноса*. Поэтому направление счета в таких схемах (прямой или обратный счет) не зависит от динамического управления (прямого или инверсного) по счетному входу C , а зависит только от подключения прямого или инверсного выхода триггера младшего разряда к комбинационной логике, формирующей сигналы переноса.

Таким образом, при подключении прямого выхода триггера к входу старшего разряда счетчик будет суммирующим, а при подключении инверсного – вычитающим. Такой принцип работы счетчика с параллельным переносом используется при построении реверсивных синхронных счетчиков.

Рассмотрим структурную схему 4-разрядного синхронного счетчика с параллельным переносом сигналов, представленную на рис. 8.8. На рисунке показано, какие соединения необходимо осуществить, чтобы счетчик осуществлял параллельный перенос сигналов.

Счетчик является двоичным суммирующим, реализован на синхронных T -триггерах. В таких счетчиках роль комбинационных схем выполняют многовходовые логические элементы И.

Счетные импульсы поступают параллельно на входы C всех триггеров через инвертор, который в данной схеме осуществляет согласование инверсного динамического входа C и прямого динамического входа счетчика, обеспечивая работу схемы по единому фронту счетного импульса.

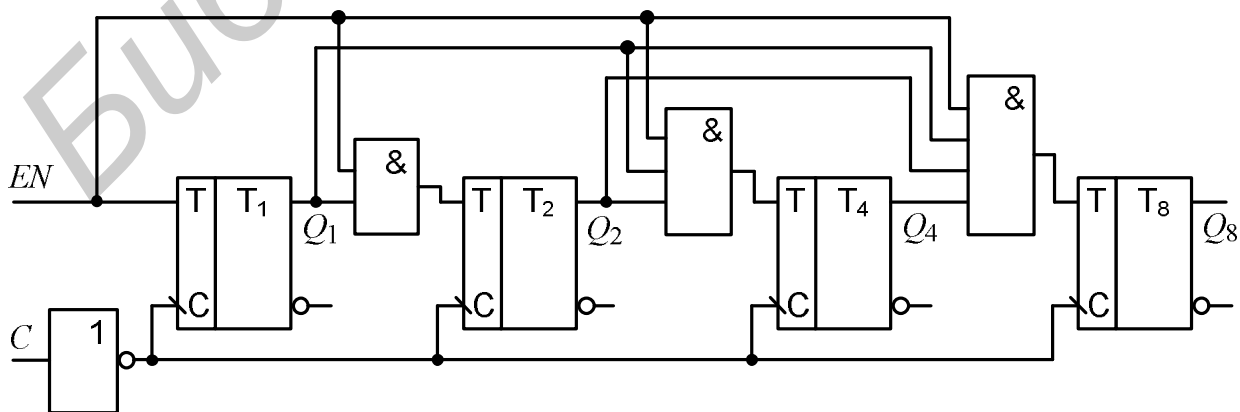


Рис. 8.8. Синхронный счетчик с параллельным переносом сигналов

Временные диаграммы, поясняющие алгоритм работы синхронного суммирующего счетчика с параллельным переносом сигналов, приведены на рис. 8.9. Из приведенных диаграмм следует, что изначально все разряды счетчика должны быть установлены в нулевое состояние. Первый счетный импульс переключит триггер младшего разряда T_1 в единичное состояние перепадом положительного фронта счетного импульса, поступившего на вход C . В счетчике на выходах $Q_8 Q_4 Q_2 Q_1$ установится код $0001_2 = 1_{10}$.

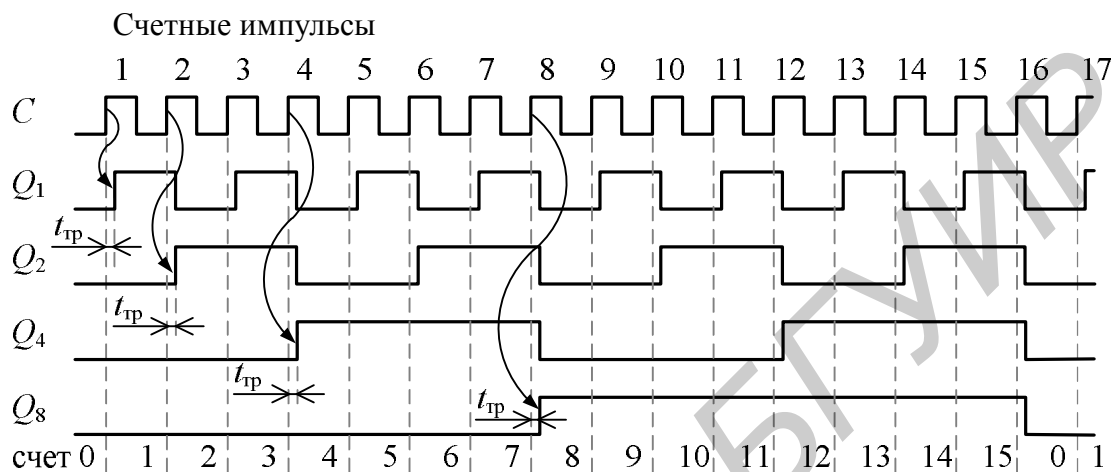


Рис. 8.9. Временные диаграммы 4-разрядного синхронного двоичного счетчика с прямым динамическим управлением

Последующие триггеры любого старшего разряда будут переключаться перепадом положительного фронта очередного счетного импульса, если сигнал разрешения EN имеет единичное значение и все триггеры младших разрядов установлены в единицу. Если на одном из входов элемента И будет присутствовать уровень лог. 0, то сигнал переноса не формируется и триггер данного разряда сохраняет прежнее состояние.

Необходимо отметить, что изменения значений сигналов на выходах триггеров всех разрядов происходят в одно и то же время с задержкой на время установления кода в одном триггере $t_{тр}$ (см. рис. 8.9) и отличаются от работы асинхронного счетчика, где время установления выходного кода определяется выражением (8.3).

Время установления выходного кода в синхронном счетчике с параллельным переносом сигналов равно

$$t_{уст. сч} = t_{уст. тр} \quad (8.5)$$

Рассмотренный синхронный счетчик (см. рис. 8.8) обладает согласно выражению (8.5) самым высоким быстродействием, которое не зависит от разрядности n . Однако с ростом числа разрядов реализация счетчика затруднена ввиду усложнения комбинационной логики и применения многовходовых логических элементов, увеличивающих нагрузку на выходы триггеров. Поэтому количество разрядов в синхронных счетчиках обычно не превышает четырех.

Счетчики с комбинированным переносом сигналов. В связи с ограничениями на построение параллельных счетчиков большой разрядности широкое

распространение получили счетчики с *комбинированным (групповым) переносом сигналов*. Суть комбинированного переноса сигналов заключается в том, что триггеры в счетчике объединяются в группы (обычно по четыре разряда в каждой группе). Внутри группы может осуществляться параллельный перенос, а между группами – последовательный перенос сигналов или наоборот.

Число разрядов в каждой группе многоразрядного счетчика может быть произвольным. В частном случае группа может содержать только одnorазрядную схему, а последовательный перенос сигналов между этими группами можно осуществить с помощью дополнительных комбинационных схем.

На рис. 8.10 приведен пример реализации комбинированного 4-разрядного синхронного счетчика с *последовательным* переносом сигналов между группами разрядных схем, содержащих один триггер и логический элемент 2И.

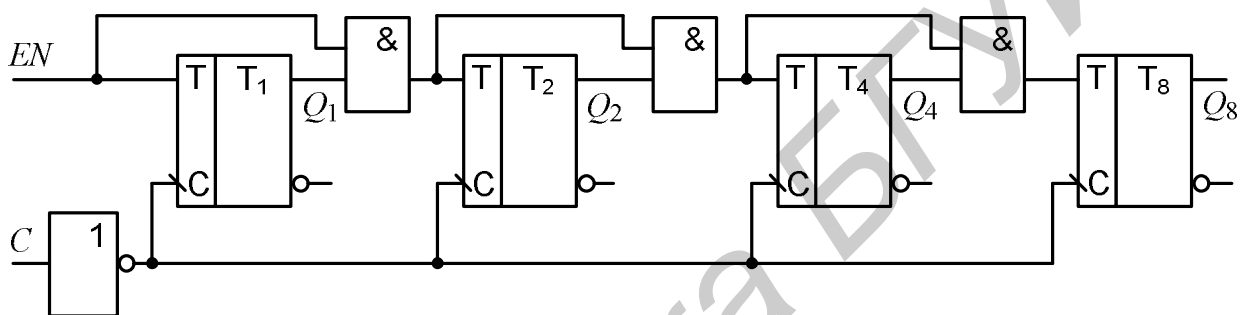


Рис. 8.10. Структурная схема счетчика со сквозным переносом

Счетчики такого типа с последовательным переносом сигналов строятся по синхронному принципу: все входы С триггеров соединяются параллельно и переключаются одновременно положительным фронтом счетного импульса, действующего на входе счетчика. Однако формирование сигналов переноса комбинационной логикой в таких счетчиках осуществляется *последовательно* от младших разрядов к старшим с определенной задержкой. Такие счетчики получили название *счетчиков со сквозным переносом*. Сквозной перенос означает наличие переноса от самого младшего разряда и является частным случаем группового переноса сигналов.

Схема счетчика со сквозным переносом (см. рис. 8.10) выполнена на синхронных Т-триггерах. Комбинационная логика реализована на однотипных двухвходовых логических элементах 2И (74х08), что является достоинством данной схемы по сравнению с синхронным счетчиком с параллельным переносом (см. рис. 8.8), где применяются многовходовые комбинационные схемы.

На первый логический элемент И подаются сигналы разрешения EN и выходной сигнал младшего разряда Q_1 . На последующие элементы И поступают сигналы Q_i с выходов младших разрядов и сигналы переноса, сформированные на выходах предыдущих логических элементов И.

Быстродействие синхронных счетчиков с последовательным переносом сигналов между группами определяется временем переключения одного триг-

гера $t_{\text{тр}}$ и временем запаздывания в межразрядных комбинационных схемах $t_{\text{к.с}}$. Для синхронного счетчика рис. 8.10 время установления выходного кода будет равно

$$t_{\text{уст}} = t_{\text{тр}} + t_{\text{к.с}},$$

где $t_{\text{к.с}}$ – время запаздывания в комбинационной схеме, которое гораздо меньше, чем время переключения одного триггера.

Счетчики с комбинированным (или групповым) переносом сигналов используются при каскадировании с целью увеличения их разрядности.

Синхронный счетчик ИЕ18 (74х163) с параллельным переносом. Условные обозначения счетчика КР1533ИЕ18 и зарубежного аналога 74ALS163N с указанием нумерации выводов микросхем показаны на рис. 8.11. Микросхема ИЕ18 представляет собой 4-разрядный двоичный счетчик с внутренним параллельным переносом сигналов.

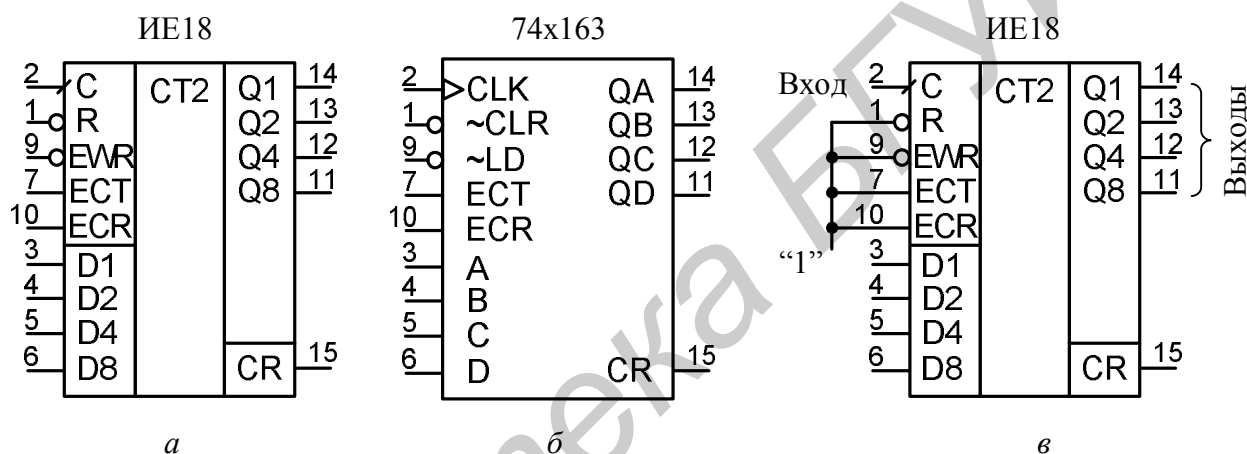


Рис. 8.11. Синхронные счетчики: а – условное обозначение ИЕ18; б – зарубежный аналог 74х163; в – ИЕ18 в непрерывном режиме работы

Основными сигналами разрешения EN (Enable) в данных счетчиках являются: EWR (или LD) – разрешение записи (Enable write), ECT (ENP) – разрешение счета (Enable count), ECR (или ENT) – разрешение переноса (Enable carry). Здесь в скобках обозначены сигналы разрешения согласно базе данных программы Multisim.

Счетчик ИЕ18 имеет специальные цепи переноса: выход переноса CR и вход разрешения переноса ECR (ENT). Положительный сигнал переноса CR вырабатывается при установлении в счетчике максимального кода 1111.

На входы счетчика $D_8D_4D_2D_1$ подаются сигналы для параллельной записи начального кода по нулевому сигналу разрешения LD (EWR). Счетчик в режиме прямого счета осуществляет счет импульсов от 0 до 15 по модулю 16.

Триггеры каждого разряда переключаются одновременно на нарастающем фронте счетного импульса по входу C (CLK), когда все триггеры младших разрядов находятся в единичном состоянии. Сброс счетчика в нулевое состояние осуществляется синхронно по положительному фронту счетного импульса при подаче на вход \bar{R} ($\sim\text{CLR}$) сигнала лог. 0.

При установке на выводах микросхемы 1, 7, 9, 10 постоянного сигнала лог. 1 и подаче на вход 2 тактовых импульсов, счетчик переключится в непрерывный режим работы. В таком режиме счетчик будет выполнять функции делителя частоты на 2, 4, 8 или 16, если снимать сигналы соответственно с 14, 13, 12 и 11 выводов микросхемы (рис. 8.11, в).

Для увеличения разрядности счетчиков применяются различные способы их каскадирования, которые рассмотрим на примере серийно выпускаемого синхронного счетчика ИЕ18 с внутренним параллельным переносом сигналов.

На рис. 8.12 показан 12-разрядный счетчик с комбинированным переносом сигналов, построенный на базе трех синхронных счетчиков ИЕ18. 12-разрядный счетчик является синхронным с *параллельным переносом* сигналов между 4-разрядными синхронными счетчиками ИЕ18, которые имеют внутренний *параллельный* перенос сигналов. Такие счетчики являются *полностью синхронными* и обладают максимальным быстродействием.

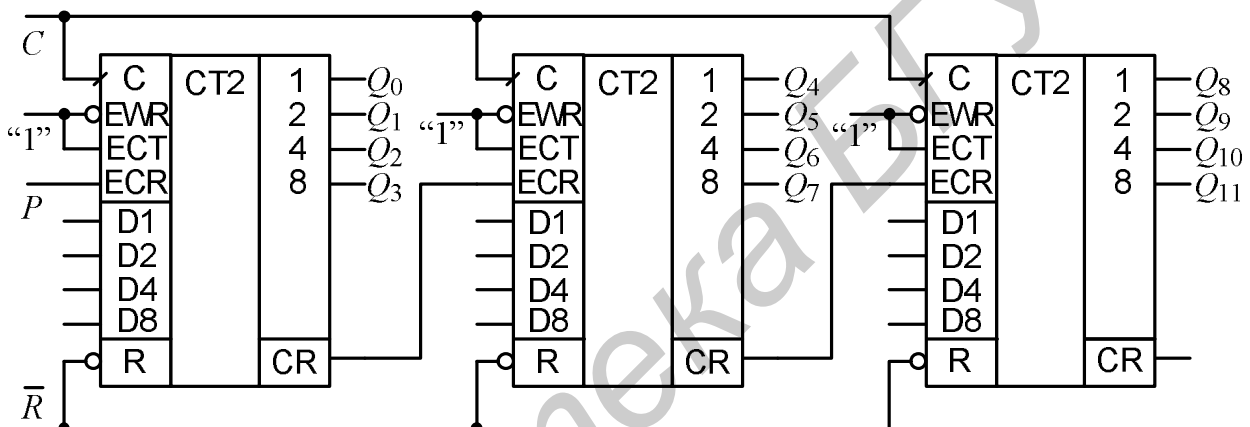


Рис. 8.12. 12-разрядный счетчик с параллельно-параллельным переносом

Однако одновременное переключение многих триггеров создает значительный токовый импульс в цепях питания, что может привести к сбою в работе счетчика. Поэтому в ряде цифровых устройств и систем применение параллельных двоичных счетчиков большой разрядности не разрешается. С целью устранения этого недостатка применяют счетчики, работающие в коде Грея, которые устраняют одновременное переключение многих разрядов, так как при переходе от любой кодовой комбинации к следующей комбинации изменяется только один разряд. Но применяемые коды Грея с недвоичным кодированием необходимо затем преобразовать в двоичный код.

Примером реализации 12-разрядного счетчика с комбинированным переносом сигналов является схема, приведенная на рис. 8.13.

Схема реализована на трех 4-разрядных синхронных счетчиках ИЕ18 с внутренним межразрядным параллельным переносом и последовательным переносом сигналов между счетчиками ИЕ18. В целом 12-разрядный счетчик, схема которого представлена на рис. 8.13, осуществляет параллельно-последовательный перенос сигналов.

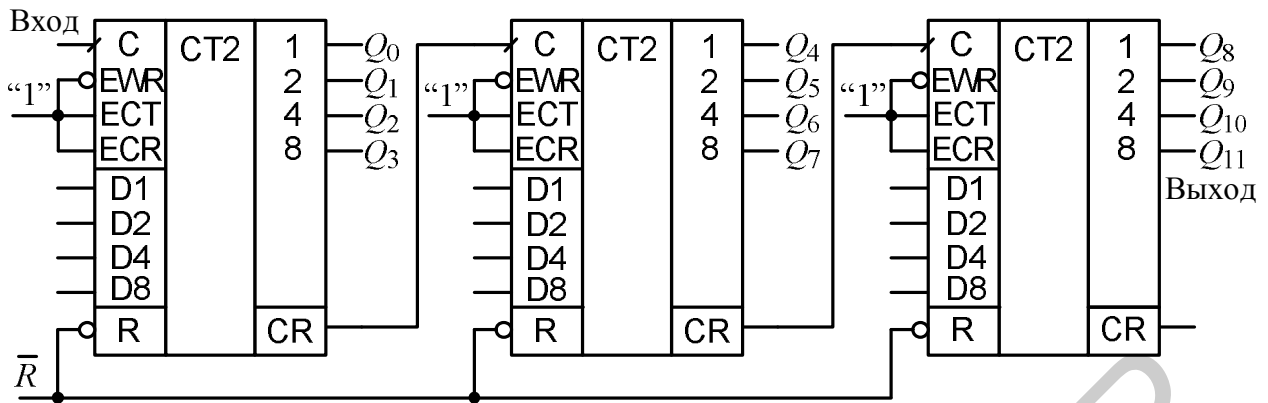


Рис. 8.13. 12-разрядный счетчик с параллельно-последовательным переносом

8.2.4. Счетчики с произвольным модулем счета

Двоичный n -разрядный счетчик при естественном порядке счета имеет модуль счета $M = 2^n$, равный числу состояний за полный цикл его работы. При проектировании цифровых устройств часто возникает необходимость построить счетчик с произвольным модулем счета, когда $M \neq 2^n$. Принцип построения таких счетчиков состоит в исключении избыточных состояний с помощью включения обратных связей внутри счетчика либо методом принудительного сброса счетчика в нуль, когда в нем устанавливается определенная комбинация согласно модулю счета M .

Число избыточных состояний для любого счетчика определяется выражением:

$$N_{\text{изб}} = 2^n - M, \quad n = \lceil \log_2 M \rceil, \quad (8.6)$$

где n – требуемое число триггеров двоичного счетчика, имеющего 2^n устойчивых состояний, округленное до целого числа. Счетчик с числом разрядов $n = 4$ может иметь модуль счета от 9 до 16. За один цикл работы счетчик с модулем счета $M=10$ имеет десять различных состояний от 0 до 9. Основными методами реализации счетчиков с произвольным модулем счета являются:

- метод принудительного управляемого сброса;
- метод предварительной установки исходного состояния;
- метод синтеза счетчика с дополнительными связями между разрядами.

Счетчик с принудительным управляемым сбросом. Рассмотрим реализации суммирующего *двоично-десятичного* счетчика с модулем счета 10 на основе метода управляемого сброса. Такие счетчики на схемах обозначаются СТ2/10, двоичными их называют по коду счета, десятичными – по модулю счета.

Счетчик с модулем счета $M = 10$, реализованный на микросхеме КР1533ИЕ18 (аналог 74ALS163N) и логическом элементе 2И-НЕ (аналог 74x00), представлен на рис. 8.14.

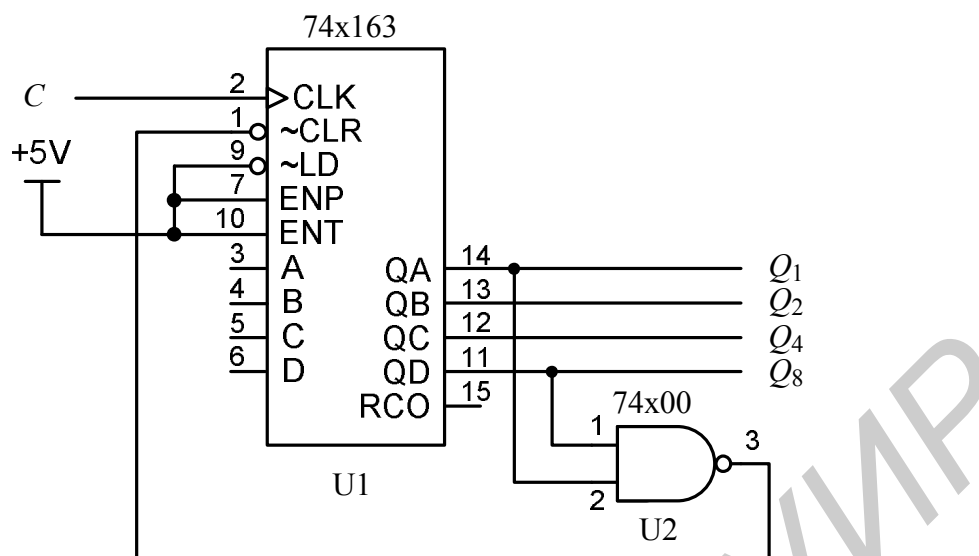


Рис. 8.14. Схема счетчика ИЕ18 (74x163) по модулю 10

Микросхема ИЕ18 (74x163) представляет собой синхронный двоичный 4-разрядный счетчик с прямым динамическим входом и синхронным сбросом в нулевое состояние.

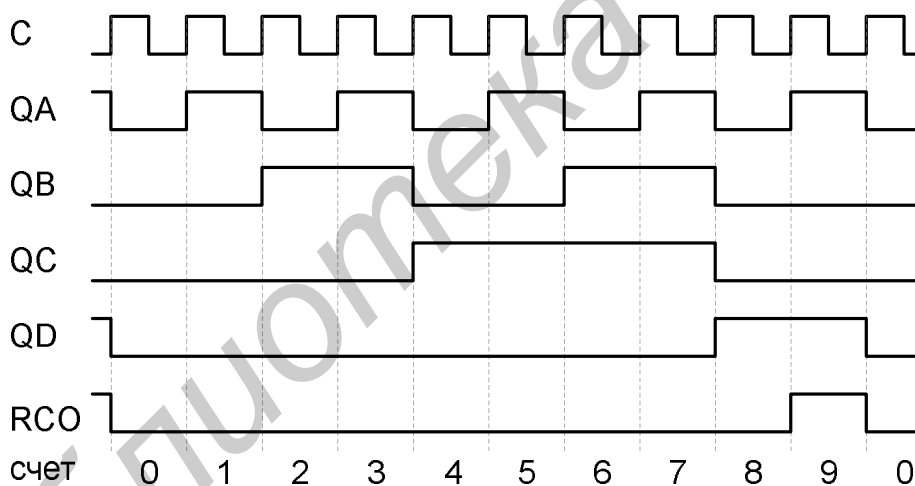


Рис. 8.15. Временные диаграммы работы счетчика ИЕ18 (74x163) по модулю 10

Формирование сигнала принудительного сброса триггеров счетчика осуществляется с помощью логического элемента 2И-НЕ (74x00). На его входы подается комбинация выходных сигналов счетчика, соответствующая коду $1001_2 = 9_{10}$. В этом случае логический элемент сформирует сигнал сброса, который подается на вход CLR микросхемы, устанавливая на выходе счетчика нулевой код. На рис. 8.15 приведены временные диаграммы работы счетчика с последовательностью счета: $0, 1, 2, \dots, 9, 0, 1, \dots$ по модулю 10.

Формируя различные сигналы сброса и применяя многоходовые логические элементы, можно реализовать счетчики с другим модулем счета.

Счетчик с предварительной установкой исходного состояния. Такие устройства реализуются на счетчиках, имеющих входы предварительной загрузки кода. В счетчик по входам параллельной установки загружается код дополнения $K_{\text{доп}}$ до значений M .

Схема счетчика, выполненная на базе микросхемы ИЕ18 (74x163) и показанная на рис. 8.16, осуществляет десятичный счет в коде с избытком 3.

На рис. 8.17 приведены временные диаграммы работы такого счетчика.

Постоянный код дополнения $K_{\text{доп}} = 0011_2 = 3_{10}$ сформирован на входах A, B, C, D параллельной записи начального кода счетчика. Формирование сигнала принудительного сброса счетчика осуществляет логический элемент 2И-НЕ (74x00), на входы которого подается комбинация выходных сигналов счетчика, соответствующая коду $1100_2 = 12_{10}$.

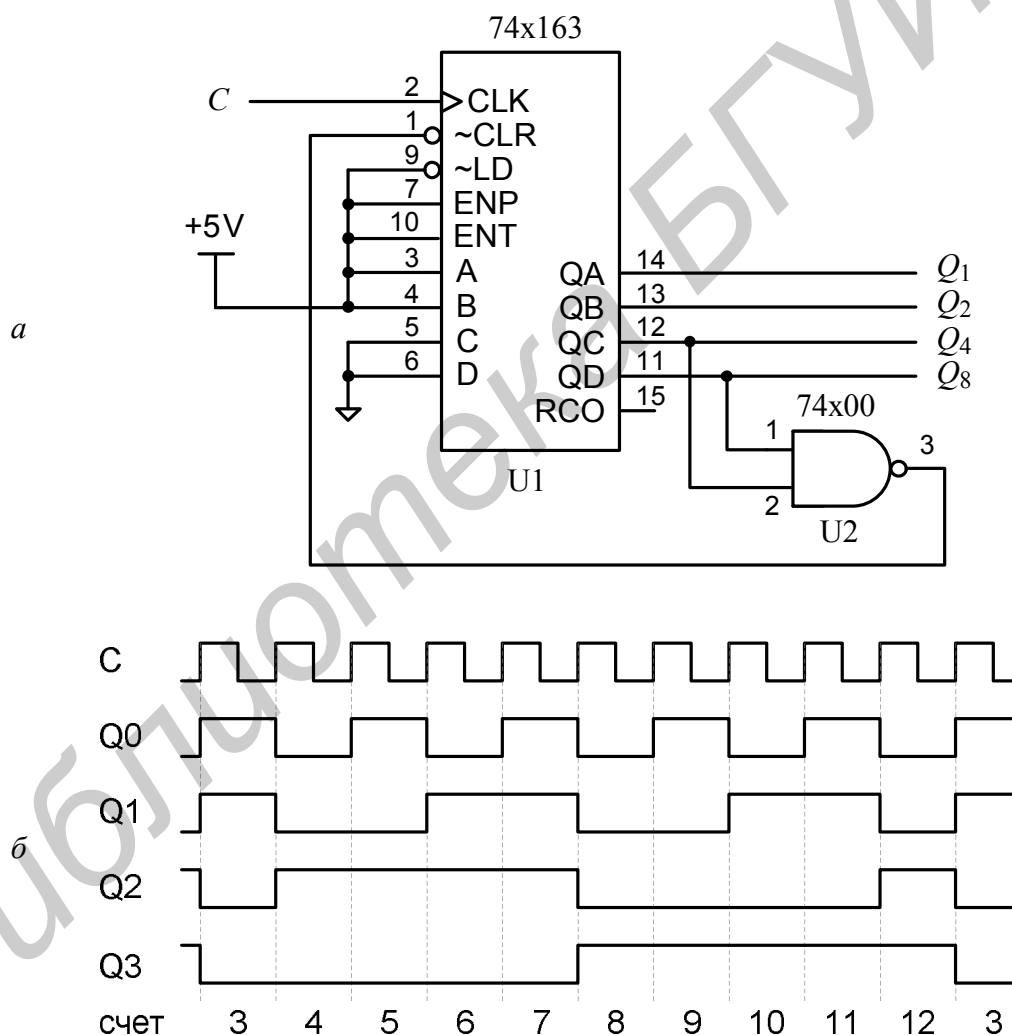


Рис. 8.16. Счетчик ИЕ18 (74x163), осуществляющий десятичный счет в коде с избытком 3

Первый цикл работы счетчика начинается с нулевого состояния с последовательностью счета: $0, 1, 2, \dots, 12$ по модулю 13. Все последующие циклы работы счетчика будут осуществляться с последовательностью счета: $3, 4, 5, \dots, 12, 3, 4, \dots$ по модулю 10.

Для работы счетчиков в таких режимах целесообразно применять синхронные счетчики с синхронным сбросом типа ИЕ11, ИЕ18.

В счетчиках с дополнительными связями между разрядами используется методика логического синтеза последовательностных устройств. Полученная в этом случае схема счетчика однозначно определяет виды связей между разрядами и не может быть оперативно изменена.

Такой подход используется при проектировании цифровых устройств, выпускаемых большими партиями.

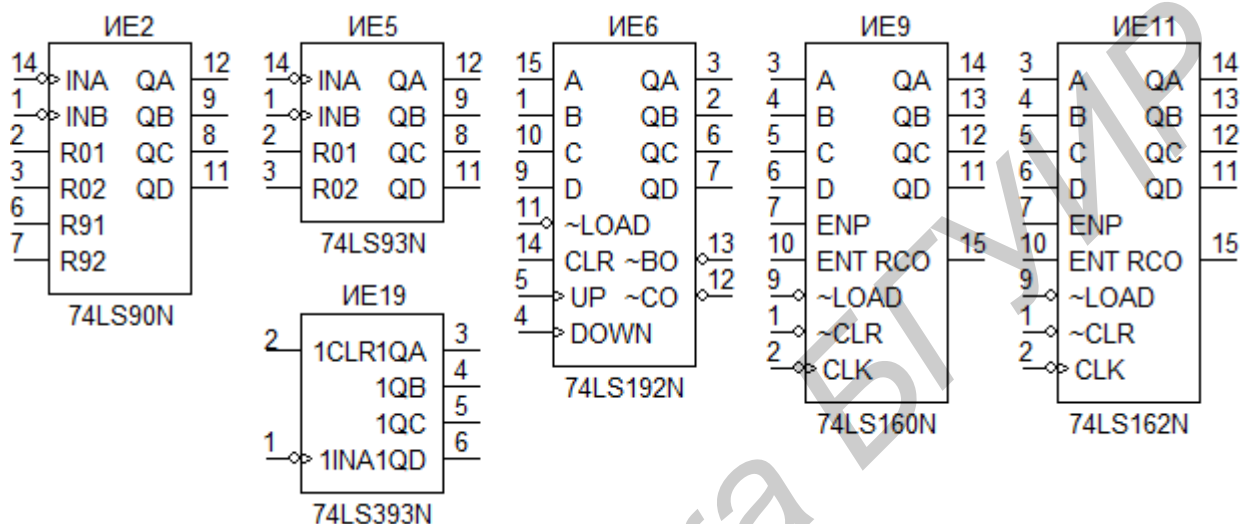


Рис. 8.17. Счетчики стандартных серий ИС

Принятые обозначения и назначения выводов микросхем, представленных на рис. 8.17: INA, INB, а также A, B, C, D – информационные входы; QA, ..., QD – выходы; CLK – синхровход, CLR – сброс (установка лог. 0); ENP (ECT) – вход разрешения счета, ENT (ECR) – вход разрешения переноса; LOAD (EWR) – вход разрешения записи, UP/DOWN – прямой/обратный счет, R01, R02 – входы установки в состояние лог. 0.

8.3. Порядок выполнения лабораторной работы

1. Выполнить синтез и реализовать на триггерах схему счетчика с произвольным модулем счета по указанию преподавателя. (Варианты: счетчик на основе RS-триггера, D-триггера, JK-триггера, T-триггера с модулем счета 6...15).

2. Осуществить моделирование заданного логического устройства в среде Multisim:

- изучить работу виртуальных измерительных приборов: генератора логических сигналов (Word Generator), анализатора логических сигналов (Logic Analyzer), 4-канального осциллографа (Oscilloscope);

- снять основные параметры (временные диаграммы, таблицу функционирования и др.) спроектированного устройства, а также провести исследование одной из схем рис. 8.17 по указанию преподавателя.

Пример реализации счетчика с модулем счета 10 показан на рис. 8.18.

Вариант	1	2	3	4	5	6
Модуль счета СТ	M9	M11	M12	M13	M14	M15

3. Выполнить экспериментальные исследования на лабораторном стенде IDL-800, изучив описание лабораторного стенда IDL-800 (см. прил.1).

– собрать спроектированную схему на наборной панели стенда IDL-800 и провести ее исследование;

– установить на наборной панели стенда IDL-800 одну из микросхем, приведенных на рис. 8.17;

– подключить соответствующие выводы микросхемы к источнику питания +5В (VCC) и к общей шине заземления (GROUND) согласно установленному корпусу микросхемы;

– снять основные параметры исследуемых устройств, используя внутренний генератор сигналов макета IDL-800 и внешние измерительные приборы: цифровой осциллограф, измеритель частоты, вольтметр и др.

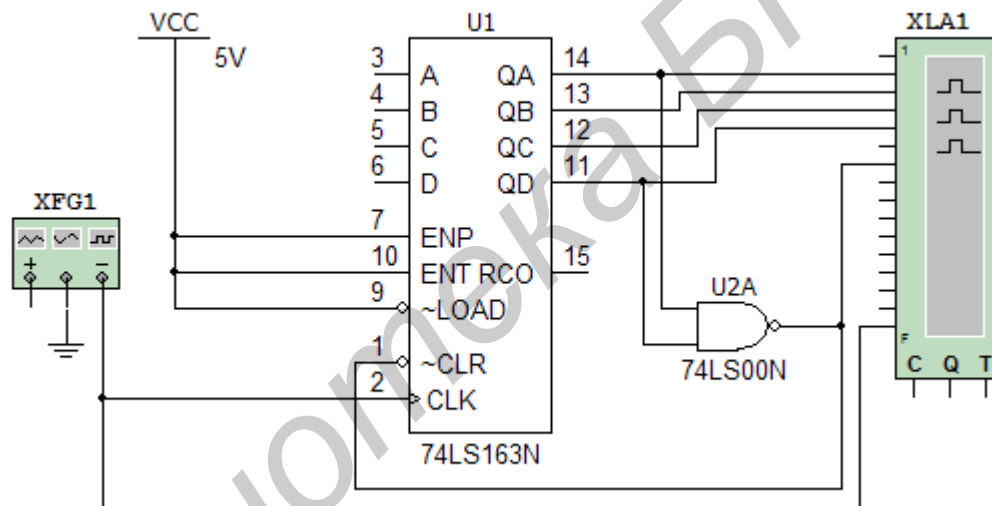


Рис. 8.18. Пример реализации суммирующего счетчика по модулю 10

8.4. Содержание отчета

1. Цель работы.
2. Схемы исследуемых счетчиков.
3. Временные диаграммы в контрольных точках, выполненные с помощью анализатора логических сигналов.
4. Результаты исследований, выводы.

8.5. Контрольные вопросы

1. По каким признакам классифицируются электронные счетчики?
2. Назовите основные параметры счетчиков.

3. Приведите структурные схемы суммирующего, вычитающего и реверсивного асинхронных счетчиков.
4. Назовите основные способы переноса сигналов в счетчиках.
5. Чем различаются между собой асинхронные и синхронные счетчики?
6. Каким образом достигается повышение быстродействия счетчиков?
7. Как построить счетчик с произвольным модулем счета?
8. Изобразите временные диаграммы, поясняющие работу асинхронного суммирующего и вычитающего счетчиков.
9. В каком случае цифровой счетчик именуют двоично-десятичным?

ЛИТЕРАТУРА

1. Опадчий, Ю. Ф. Аналоговая и цифровая электроника: учебник для вузов / Ю. Ф. Опадчий, О. П. Глудкин, А. И. Гуров. – М. : Горячая линия – Телеком, 2005. – 768 с.
2. Безуглов, Д. А. Цифровые устройства и микропроцессоры: учеб. пособие для вузов / Д. А. Безуглов, И. В. Калиенко. – Ростов н/Д. : Феникс, 2008. – 468 с.
3. Браммер, Ю. А. Цифровые устройства: учеб. пособие для вузов / Ю. А. Браммер, И. Н. Пашук. – М. : Высш. шк., 2004. – 229 с.
4. Калабеков, Б. А. Цифровые устройства и микропроцессорные системы: учебник для вузов. – М. : Горячая линия – Телеком, 2002. – 336 с.
5. Новиков, Ю. В. Введение в цифровую схемотехнику: учеб. пособие / Ю. В. Новиков. – М. : БИНОМ, 2009. – 343 с.
6. Загидуллин, Р. Ш. Multisim, LabVIEW. Практика проектирования электронных устройств. – М. : Горячая линия – Телеком, 2009. – 336 с.
7. Мартинович, А. В. Моделирование импульсных и цифровых устройств в среде Multisim: метод. указания к лаб. работам по курсу «Импульсные и цифровые устройства» для студ. радиотех. спец. всех форм обуч. / А. В. Мартинович, А. А. Казека, И. Г. Давыдов. – Минск: БГУИР, 2008. – 36 с.
8. Угрюмов, Е. П. Цифровая схемотехника : учеб. пособие для вузов / Е. П. Угрюмов. – СПб. : БХВ-Петербург, 2004. – 528 с.
9. Уэйкерли, Дж. Проектирование цифровых устройств. В 2 т. / Дж. Уэйкерли; пер. с англ. – М. : Постмаркет, 2002. – 1072 с.
10. Нефедов, А. В. Интегральные микросхемы и их зарубежные аналоги: Справочник. В 12 т. / А. В. Нефедов. – М. : ИП РадиоСофт, 1996–2001.
11. Левкович, В. Н. Исследование триггерных устройств: метод. пособие к лабораторной работе / В. Н. Левкович, Р. Г. Ходасевич. – Минск. : БГУИР, 2007.
12. Левкович, В. Н. Исследование регистров: метод. пособие к лабораторной работе / В. Н. Левкович, Р. Г. Ходасевич. – Минск. : БГУИР, 2008.
13. Левкович, В. Н. Исследование электронных счетчиков : метод. пособие к лабораторной работе / В. Н. Левкович, Р. Г. Ходасевич. – Минск. : БГУИР, 2008.

Универсальный лабораторный стенд IDL-800

Лабораторный стенд IDL-800 Digital Lab (рис. П1.1) предназначен для макетирования и исследования функционирования основных логических элементов и интегральных схем, а также для исследования методов проектирования на их основе цифровых и аналоговых устройств.

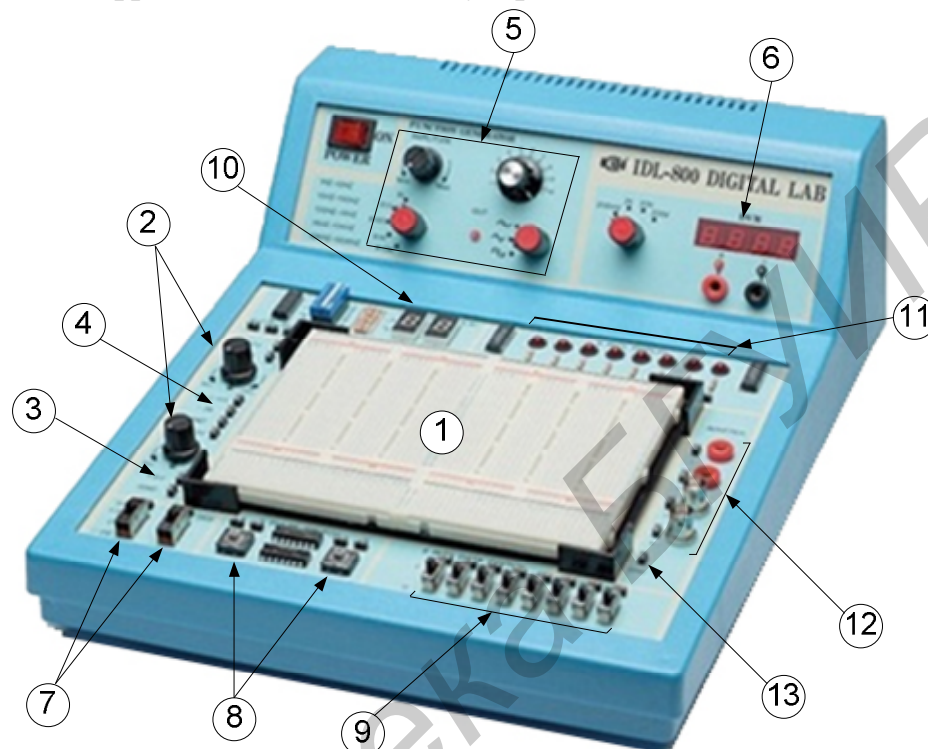


Рис. П1.1. Лабораторный стенд IDL-800

IDL-800 в своём составе имеет следующие функциональные блоки:

1. Наборное поле на плате AD-200 для установки навесных элементов.
2. Регулируемые источники электропитания: $0 \dots +15\text{В}$ и $0 \dots -15\text{В}$, максимальный выходной ток – 300 мА.
3. Нерегулируемый источник электропитания $+5\text{В}$ (VCC) для питания микросхем серий ТТЛШ и КМОП, максимальный выходной ток – 1А.
4. Источник электропитания -5В (VEE), максимальный выходной ток – 100 мА. Все источники электропитания обладают защитой от короткого замыкания.
5. Генератор $1\text{Гц} \dots 100\text{кГц}$, формирующий синусоидальный, треугольный и прямоугольный сигналы амплитудой от 0 до 8 В.
6. Цифровой вольтметр с 4-разрядным светодиодным индикатором, имеет 4 диапазона с пределами измерений от 0 до 200 мВ, 2, 20 и 200В.
7. Два функциональных переключателя $-5/0/+5\text{В}$.
8. Два антидребезговых переключателя с прямым и инверсным выходом.
9. 8 информационных переключателей логических уровней «0»/«1».
10. Двухразрядный семисегментный индикатор с дешифратором.

11. Буферизованный индикатор из восьми светодиодов.
12. Адаптер для подключения электроизмерительных приборов.
13. Контакты общей шины заземления.

Наборное поле предназначено для сборки различных устройств на основе интегральных микросхем в корпусах P-DIP. Соединение элементов между собой и подключение к функциональным узлам стенда IDL-800 производится при помощи отрезков гибкого изолированного одножильного монтажного провода, вставляемого в ламели наборного поля (рис. П1.2). Ламели наборного поля объединены между собой в группы. Для подключения элементов схемы на наборном поле обычно используются шины питания, помеченные красной (+E_{пит}) и черной (-E_{пит}) линиями.

Лабораторный стенд IDL-800 имитирует реальное рабочее место в исследовательской лаборатории, которое оборудовано контрольно-измерительными приборами и позволяет проводить физические экспериментальные исследования на современной элементной базе.

При разработке и исследовании цифровых устройств, применяются различные семейства интегральных схем (ИС), выпускаемые в настоящее время радиопромышленностью и зарубежными производителями:

- К555 / КР1533 – аналог 74LS / ALS (технология ТТЛШ);
- КР1554 / КР1594 – аналог 74 AC / АСТ (технология КМОП);
- КР1564 / 5564 – аналог 74 HC / HCT (технология КМОП).

Приведенные семейства ИС средней степени интеграции имеют наибольшее разнообразие микросхем в соответствующей серии.

Подробное описание компонент имеется в базе данных программы Multisim (раздел Состав компонент), где приведены условные обозначения ИС, типы их корпусов, дана информация о выводах подключения сигналов и электропитания.

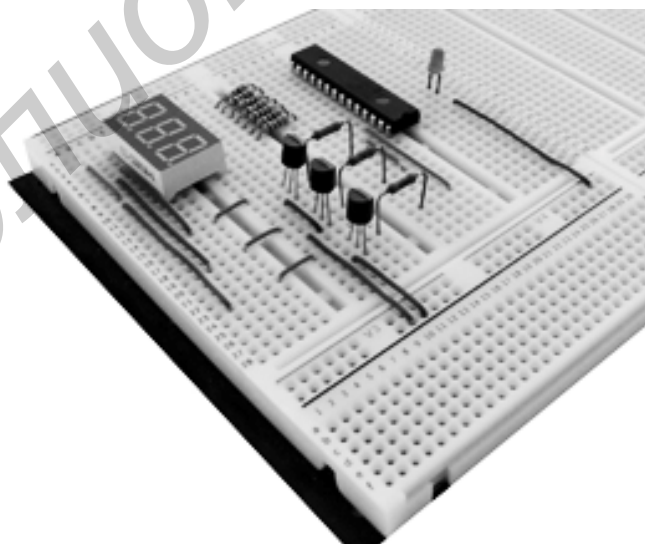


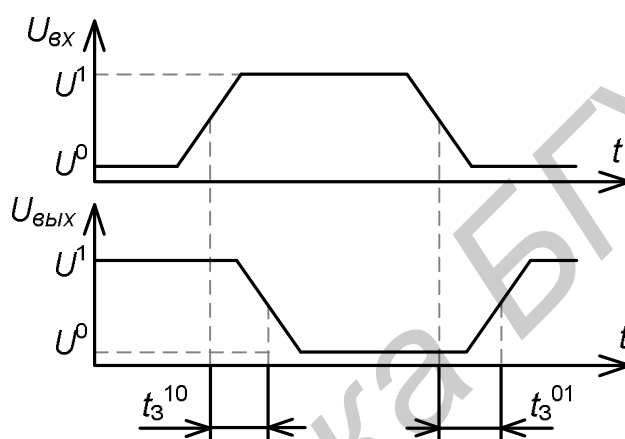
Рис. П1.2. Пример электрической схемы, собранной на наборном поле

Основные параметры логических элементов

Быстродействие характеризует среднее время задержки распространения сигнала через логический элемент и определяется по формуле

$$t_{3, \text{ср}} = (t_3^{01} + t_3^{10}) / 2,$$

здесь t_3^{01} – время задержки переключения логического элемента из состояния лог. 0 (U^0) в состояние лог. 1 (U^1), t_3^{10} – время задержки переключения логического элемента из состояния лог. 1 в состояние лог. 0. Определение этих параметров для логического инвертора показано на следующем рисунке.



Нагрузочная способность показывает, на сколько логических входов может быть нагружен выход данного элемента без нарушения его работоспособности.

Коэффициент объединения по входу определяет максимальное число входов логического элемента. Увеличение числа входов расширяет функциональные возможности, однако при этом ухудшается быстродействие и помехоустойчивость.

Потребляемая мощность определяется следующим образом:

$$P_{\text{ср}} = 0,5 \cdot (P_{\text{откр}} + P_{\text{закр}}),$$

здесь $P_{\text{откр}}$ и $P_{\text{закр}}$ – мощности, потребляемые логическим элементом в открытом (лог. 0) и закрытом (лог. 1) состояниях соответственно.

Уровни логических сигналов для различных серий логических элементов различны. Например, в транзисторно-транзисторной логике для логического нуля установлен диапазон от нуля до 0,5 В, а для логической единицы – от 2,7 до 5 В.

Помехоустойчивость оценивается максимально допустимым напряжением помехи, действующей на входе, не приводящей к ложному переключению логического элемента. Численно помехоустойчивость для конкретной серии элементов можно определить как половину разности между нижней границей логической единицы и верхней границей логического нуля.

**Стандартные цифровые интегральные микросхемы
и их зарубежные аналоги**

Обозначение	Аналог 74XX	Функция
АГ1	74xx121	Одновибратор без перезапуска
АГ3	74xx123	Два ждущих одновибратора с повторным запуском
АГ4	74xx221	Два одновибратора без перезапуска
ГГ1	74xx124	Два генератора, управляемых напряжением
АП3	74xx240	Два 4-канальных буфера (формирователя) с Z-состоянием
АП4	74xx241	Два 4-канальных буфера (магистральных передатчика)
АП5	74xx244	Два 4-канальных буфера с Z-состоянием
АП6	74xx245	8-канальный двунаправленный приемопередатчик
АП9	74xx640	8-разрядный двунаправленный формирователь
ИБ1	74xx148	Приоритетный шифратор 8-3
ИБ2	74xx348	Приоритетный полный шифратор 8-3
ИБ3	74xx147	Приоритетный шифратор 10-4
ИД1	74xx141	Двоично-десятичный дешифратор 4-10
ИД3	74xx 154	Дешифратор-демультиплексор 4-16
ИД4	74xx 155	Сдвоенный дешифратор-демультиплексор 2-4
ИД5	74xx 156	Два дешифратора-демультиплексора 2-4 с общим коллектором (ОК)
ИД6	74xx 42	Двоично-десятичный дешифратор 4-10
ИД7	74xx 138	Дешифратор-демультиплексор 3-8
ИД10	74xx 145	Двоично-десятичный дешифратор-драйвер с ОК
ИД14	74xx 139	Два дешифратора-демультиплексора 2-4
ИД18	74xx 247	Дешифратор двоично-десятичного кода в код семисегментного индикатора
ИЕ2	74xx 90	Асинхронный 4-разрядный счетчик с модулем счета 2, 5, 10
ИЕ4	74xx 92	4-разрядный счетчик-делитель на 2, 3, 6, 12
ИЕ5	74xx 93	Асинхронный 4-разрядный двоичный счетчик с модулем счета 2, 8, 16
ИЕ6	74xx 192	4-разрядный реверсивный двоично-десятичный счетчик
ИЕ7	74xx 193	4-разрядный реверсивный двоичный счетчик
ИЕ8	74xx 97	Делитель частоты с переменным коэффициентом деления
ИЕ9	74xx 160	4-разрядный синхронный двоично-десятичный счетчик с асинхронным сбросом
ИЕ10	74xx 161	4-разрядный синхронный двоичный счетчик с асинхронным сбросом
ИЕ11	74xx 162	4-разрядный двоично-десятичный счетчик с синхронным сбросом
ИЕ12	74xx 190	4-разрядный синхронный реверсивный двоично-десятичный счетчик
ИЕ13	74xx 191	4-разрядный синхронный реверсивный двоичный счетчик

Обозначение	Аналог 74XX	Функция
ИЕ14	74xx 196	Асинхронный 4-разрядный счетчик-делитель на 2, 5, 10
ИЕ15	74xx 197	4-разрядный асинхронный счетчик с предварительной установкой
ИЕ16	74xx 168	4-разрядный синхронный двоично-десятичный реверсивный счетчик с параллельной загрузкой
ИЕ17	74xx 169	4-разрядный синхронный двоичный реверсивный счетчик с параллельной загрузкой
ИЕ18	74xx 163	4-разрядный двоичный счетчик с синхронным сбросом
ИЕ19	74xx 393	Два асинхронных 4-разрядных двоичных счетчика
ИЕ20	74xx 390	Два двоично-десятичных счетчика со сбросом
ИМ1	74xx 80	1-разрядный полный сумматор
ИМ2	74xx 82	2-разрядный полный сумматор
ИМ3	74xx 83	4-разрядный полный сумматор
ИМ5	74xx 183	Два одноразрядных полных сумматора
ИМ6	74xx 283	4-разрядный полный сумматор с ускоренным переносом
ИМ7	74xx 385	4-разрядный последовательный сумматор-вычитатель
ИП2	74xx 180	8-разрядная схема контроля четности
ИП3	74xx 181	АЛУ для двух 4-разрядных слов
ИП4	74xx 182	4-разрядная схема ускоренного переноса
ИП5	74xx 280	9-разрядная схема контроля четности
ИП6	74xx 242	Двунаправленный 4-разрядный буфер с инверсией
ИП7	74xx 243	Двунаправленный 4-разрядный буфер
ИП8	74xx 261	Параллельный умножитель 2x4 разряда
ИП9	74xx 384	8-разрядный последовательно-параллельный умножитель
ИР1	74xx 95	4-разрядный двунаправленный сдвиговый регистр
ИР2	CD4015E	Два универсальных регистра сдвига
ИР8	74xx 164	8-разрядный сдвиговый регистр с последовательным входом и параллельными выходами
ИР9	74xx 165	8-разрядный сдвиговый регистр с параллельными входами и последовательным выходом
ИР10	74xx 166	8-разрядный параллельно-последовательный регистр сдвига
ИР11	74xx 194	4-разрядный реверсивный регистр сдвига
ИР12	74xx 195	4-разрядный реверсивный регистр сдвига
ИР13	74xx 198	8-разрядный реверсивный регистр сдвига
ИР15	74xx 173	4-разрядный регистр с параллельным вводом/выводом данных и Z-состоянием
ИР16	74xx 295	4-разрядный универсальный сдвиговый регистр с параллельно-последовательной записью и Z-состоянием
ИР22	74xx 373	8-разрядный регистр-защелка со статическим управлением и Z-состоянием
ИР23	74xx 374	8-разрядный регистр с динамическим управлением и Z-состоянием
ИР24	74xx 299	8-разрядный реверсивный сдвиговый регистр

Обозначение	Аналог 74XX	Функция
ИР25	74xx 395	4-разрядный сдвиговый регистр
ИР26	74xx 670	Регистровый файл 4x4
ИР27	74xx 377	8-разрядный регистр с разрешением записи
ИР29	74xx 323	8-разрядный сдвиговый регистр
ИР30	74xx 259	8-разрядный регистр хранения с адресацией
ИР32	74xx 170	Регистровый файл 4x4 с ОК
ИР33	74xx 573	8-разрядный буферный регистр
ИР34	74xx 873	Два 4-разрядных регистра
ИР35	74xx 273	8-разрядный регистр хранения со сбросом
ИР37	74xx 574	8-разрядный регистр
ИР38	74xx 874	Два 4-разрядных регистра
ИР40	74xx 533	8-разрядный регистр-защелка с инверсией
ИР41	74xx 534	8-разрядный регистр с инверсией
КП1	74xx 150	16-канальный мультиплексор
КП2	74xx 153	Сдвоенный 4-канальный селектор-мультиплексор 4-1
КП5	74xx 152	8-канальный мультиплексор
КП7	74xx 151	8-канальный мультиплексор 8-1 со стробированием
КП11	74xx 257	4-разрядный 2-канальный мультиплексор
КП12	74xx 253	2-разрядный 4-канальный мультиплексор
КП13	74xx 298	4-разрядный 2-канальный мультиплексор со стробиров.
КП14	74xx 258	4-разрядный 2-канальный мультиплексор с инверсией
КП15	74xx 251	8-канальный селектор-мультиплексор
КП16	74xx 157	4-разрядный 2-канальный селектор-мультиплексор с параллельным выходом
КП17	74xx 353	2-разрядный 4-канальный мультиплексор с инверсией
КП18	74xx 158	4-разрядный 2-канальный мультиплексор с инверсией
КП19	74xx 352	2-разрядный 4-канальный мультиплексор с инверсией
ЛА1	74xx 20	Два логических элемента 4И-НЕ
ЛА2	74xx 30	Логический элемент 8И-НЕ
ЛА3	74xx 00	Четыре логических элемента 2И-НЕ
ЛА4	74xx 10	Три логических элемента 3И-НЕ
ЛА6	74xx 40	Два логических элемента 4И-НЕ с повышенным выходным током
ЛА7	74xx 22	Два логических элемента 4И-НЕ с ОК и повышенным выходным током
ЛА8	74xx 01	Четыре логических элемента 2И-НЕ с ОК
ЛА9	74xx 03	Четыре логических элемента 2И-НЕ с ОК
ЛА10	74xx 12	Три логических элемента 3И-НЕ с ОК
ЛА11	74xx 26	Четыре логических элемента 2И-НЕ с ОК и повышенным выходным напряжением
ЛА12	74xx 37	Четыре логических элемента 2И-НЕ с повышенным выходным током

Обозначение	Аналог 74XX	Функция
ЛА13	74xx 38	Четыре логических элемента 2И-НЕ с ОК и повышенным выходным током
ЛА16	74xx 140	Два логических элемента 4И-НЕ для работы на линию
ЛА19	74xx 104	Логический элемент 12И-НЕ с разрешением
ЛА21	74xx 1000	Четыре логических элемента 2И-НЕ с повышенным выходным током
ЛА22	74xx 1020	Два логических элемента 4И-НЕ с повышенным выходным током
ЛА23	74xx 1003	Четыре логических элемента 2И-НЕ с ОК и повышенным выходным током
ЛА24	74xx 1010	Три логических элемента 3И-НЕ с повышенным выходным током
ЛД1	74xx 60	Два 4-входных расширителя по ИЛИ
ЛЕ1	74xx 02	Четыре логических элемента 2ИЛИ-НЕ
ЛЕ2	74xx 23	Два логических элемента 4ИЛИ-НЕ со стробированием
ЛЕ3	74xx 25	Два логических элемента 4ИЛИ-НЕ со стробированием
ЛЕ4	74xx 27	Три логических элемента 3ИЛИ-НЕ
ЛЕ5	74xx 28	Четыре логических элемента 2ИЛИ-НЕ с повышенным выходным током
ЛЕ6	74xx 128	Четыре логических элемента 2ИЛИ-НЕ с повышенным выходным током
ЛЕ7	74xx 260	Два логических элемента 5ИЛИ-НЕ
ЛИ1	74xx 08	Четыре логических элемента 2И
ЛИ2	74xx 09	Четыре логических элемента 2И с ОК
ЛИ3	74xx 11	Три логических элемента 3И
ЛИ4	74xx 15	Три логических элемента 3И с ОК
ЛИ6	74xx 21	Два логических элемента 4И
ЛЛ1	74xx 32	Четыре логических элемента 2ИЛИ
ЛЛ3	74xx 136	Четыре двухвходовых логических элемента Исключающее ИЛИ с ОК
ЛН1	74xx 04	Шесть инверторов
ЛН2	74xx 05	Шесть инверторов с ОК
ЛН3	74xx 06	Шесть инверторов с ОК и повышенным выходным напряжением
ЛН4	74xx 07	Шесть буферных элементов с ОК
ЛН5	74xx 16	Шесть инверторов с ОК и повышенным выходным напряжением
ЛН6	74xx 366	Шесть инверторов с Z-состоянием и с управлением
ЛП4	74xx 17	Шесть буферных элементов с ОК и повышенным выходным напряжением
ЛП5	74xx 86	Четыре двухвходовых логических элемента Исключающее ИЛИ
ЛП8	74xx 125	Четыре буферных элемента с Z-состоянием и отдельным управлением

Обозначение	Аналог 74XX	Функция
ЛП9	74xx 07	Шесть буферных элементов с общим коллектором и повышенным выходным напряжением
ЛП10	74xx 365	Шесть буферных элементов с Z-состоянием
ЛП11	74xx 367	Шесть буферных элементов с Z-состоянием
ЛП12	74xx 136	Четыре двухходовых логических элемента Иключающее ИЛИ с ОК
ЛП16	74xx 1034	Шесть буферов с повышенным выходным током
ЛП17	74xx 1035	Шесть буферов с ОК и повышенным выходным током
ЛР1	74xx 50	Два элемента 2-2И-2ИЛИ-НЕ
ЛР3	74xx 53	Элемент 2-2-2-3И-4ИЛИ-НЕ
ЛР4	74xx 55	Элемент 4-4И-2ИЛИ-НЕ
ЛР9	74xx 64	Элемент 2-4-2-3И-ИЛИ-НЕ
ЛР10	74xx 65	Элемент 2-4-2-3И-ИЛИ-НЕ с ОК
ЛР11	74xx 51	Элементы 2-2И-2ИЛИ-НЕ и 2-3И-2ИЛИ-НЕ
ЛР13	74xx 54	Элемент 3-2-2-3И-4ИЛИ-НЕ
ПР6	74xx 184	Преобразователь двоично-десятичного кода в двоичный
ПР7	74xx 185	Преобразователь двоичного кода в двоично-десятичный
РП1	74xx 170	Регистровое ЗУ 4x4
РП3	74xx 172	Регистровое ЗУ 8x2 с ОК
СП1	74xx 85	4-разрядный компаратор кодов
ТВ1	74xx 72	JK-триггер с элементом 3И на входе
ТВ6	74xx 107	Два JK-триггера со сбросом
ТВ9	74xx 112	Два JK-триггера с установкой 1 и сбросом
ТВ10	74xx 113	Два JK-триггера с установкой 1
ТВ11	74xx 114	Двойной JK-триггер с общим сбросом
ТВ15	74xx 109	Два универсальных JK-триггера с установкой и сбросом
ТЛ1	74xx 13	Два триггера Шмитта с инверсией и элементом 4И
ТЛ2	74xx 14	Шесть триггеров Шмитта с инверсией
ТЛ3	74xx 132	Четыре триггера Шмитта с инверсией и элементом 2И
ТМ2	74xx 74	Два D-триггера с прямыми и инверсными выходами
ТМ5	74xx 77	Четыре D-триггера типа "защелка"
ТМ7	74xx 75	Четыре D-триггера типа "защелка" с прямыми и инверсными выходами
ТМ8	74xx 175	Четыре D-триггера с прямыми и инверсными выходами
ТМ9	74xx 174	Шесть D-триггеров с общим входом синхронизации
ТР2	74xx 279	Четыре RS-триггера с инверсными входами

Учебное издание

Ходасевич Реональд Григорьевич
Левкович Василий Николаевич
Мартинovich Алексей Васильевич
Каленкович Евгений Николаевич

ЦИФРОВЫЕ УСТРОЙСТВА ЛАБОРАТОРНЫЙ ПРАКТИКУМ

Учебно-методическое пособие

Редактор *Т. Н. Крюкова*
Корректор *И. П. Острикова*
Компьютерная верстка *А. В. Тюхай*

Подписано в печать 26.08.2010.
Гарнитура «Таймс».
Уч.-изд. л. 7,0

Формат 60x84 1/16.
Отпечатано на ризографе.
Тираж 150 экз.

Бумага офсетная.
Усл. печ. л. 6,74.
Заказ 423.

Издатель и полиграфическое исполнение: учреждение образования
«Белорусский государственный университет информатики и радиоэлектроники»
ЛИ №02330/0494371 от 16.03.2009. ЛП №02330/0494175 от 30.04.2009.
220013, Минск, П. Бровки, 6