



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 957273

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 26.03.81 (21) 3263411/18-24

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.09.82. Бюллетень № 33

Дата опубликования описания 17.09.82

(51) М. Кл.³

G 11 C 11/00

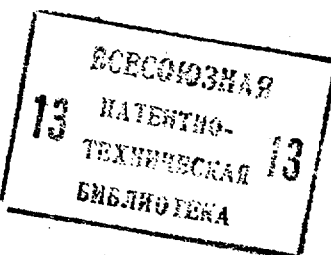
(53) УДК 681.327
(088.8)

(72) Автор
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С КОРРЕКЦИЕЙ ИНФОРМАЦИИ

1

Изобретение относится к запоминающим устройствам и может быть использовано при изготовлении больших интегральных схем запоминающих устройств с произвольной выборкой (ЗУПВ) с матричной организацией.

Известно запоминающее устройство с коррекцией информации, которое содержит матрицу элементов памяти, схемы логики обрамления и коррекции [1].

Недостатком этого устройства является низкая надежность.

Наиболее близким к предлагаемому является запоминающее устройство, содержащее дешифратор адреса слова, соединенный с адресными шинами подматриц матрицы элементов памяти, разрядные шины которой соединены с выходами вентилях и информационными входами блока считывания, управляющие входы которого подключены к выходам дешифратора адреса разряда, к первым входам вентилях, вторые входы которых соединены с шиной разрешения записи, третьи входы — с шиной записи, четвертые входы — с шиной управления и пер-

2

вым входом выходного блока дешифратор адреса подматрицы [2].

Недостатками описанного устройства являются низкая надежность, так как оно позволяет производить коррекцию только одного отказавшего элемента памяти в каждой строке матрицы, и низкое быстродействие в режиме записи информации из-за необходимости проведения контрольного считывания и последующей записи проверочной информации в дополнительные разряды.

Цель изобретения — повышение быстродействия и надежности устройства.

Поставленная цель достигается тем, что в запоминающее устройство с коррекцией информации, содержащее накопитель, блок считывания, блок вывода данных, первую группу элементов И, первый, второй и третий дешифраторы, причем выходы первого дешифратора соединены с адресными шинами накопителя, разрядные шины которого подключены соответственно к первым выходам элементов И первой группы, к вторым выходам элементов И первой группы и информационным входам блока считывания,

управляющие входы которого подключены к выходам второго дешифратора и первым входам элементов И первой группы, вторые и третьи входы которых соответственно объединены и являются входом разрешения записи и входом записи устройства, первый вход блока вывода данных подключен к четвертым входам элементов И первой группы и является управляющим входом устройства, введены четвертый и пятый дешифраторы, блок коррекции, регистр контрольной информации, блок местного управления, группы элементов ИЛИ, шесть групп элементов И и элементы ИЛИ, причем первые входы элементов И второй и третьей групп подключены к выходам блока считывания, первые входы элементов ИЛИ первой группы соединены с выходами элементов И четвертой группы и вторыми входами одних из элементов И второй группы, вторые входы элементов ИЛИ первой группы подключены к выходам элементов И пятой группы и вторым входам одних из элементов И третьей группы, выходы элементов ИЛИ первой группы соединены с пятыми входами одних из элементов И первой группы, первые входы элементов И четвертой группы подключены к первому выходу блока местного управления, второй и третий выходы которого соединены соответственно с пятыми входами других элементов И первой группы и вторыми входами других элементов И второй и третьей групп, выходы элементов И второй и третьей групп подключены соответственно к входам блока коррекции и к входам первого элемента ИЛИ, выходы которых соединены с прямым входом одного и первым входом другого элементов И шестой группы, выходы которых подключены к входам второго элемента ИЛИ, выход которого соединен с вторым входом блока вывода данных, инверсный вход одного и второй вход другого элементов И шестой группы подключены к первому входу одного из элементов И четвертой группы, первые входы элементов И пятой группы соединены с выходами третьего дешифратора и первыми входами соответствующих элементов И седьмой группы, выходы которых подключены к входам четвертого дешифратора, один из выходов которого соединен с вторыми входами элементов И пятой группы, один из выходов регистра контрольной информации подключены соответственно к входам пятого дешифратора и к вторым входам элементов И седьмой группы и входам элементов ИЛИ второй группы, выходы которых соединены с вторыми входами элементов И четвертой группы, входы блока местного управления подключены соответственно к другим выходам четвертого дешифратора и к выходам пятого дешифратора, другие входы и выход регистра контрольной информации и выход блока вывода данных являются соответственно контрольными входами, контроль-

ным и информационным выходами устройства.

Блок местного управления содержит элементы И, третий, четвертый и пятый элементы ИЛИ, причем выходы первого и второго элементов И подключены соответственно к первым входам четвертого и пятого элементов ИЛИ, вторые входы которых соединены соответственно с выходом третьего элемента И и с выходом четвертого элемента И, третьим входом четвертого элемента ИЛИ и первым входом третьего элемента ИЛИ, выходы пятого и шестого элементов И подключены соответственно к третьему входу пятого элемента ИЛИ, к четвертому входу четвертого элемента ИЛИ и второму входу третьего элемента ИЛИ, третий вход которого соединен с четвертым входом пятого элемента ИЛИ и выходом шестого элемента И, первые входы первого, второго и третьего элементов И соединены соответственно с первыми входами пятого, шестого и седьмого элементов И и являются соответственно входами с первого по четвертый блок, вторые входы элементов И с первого по четвертый объединены и являются по четвертый объединены и являются пятым входом блока, вторые входы пятого, шестого и седьмого элементов И объединены и являются шестым входом блока, седьмым входом и первым, вторым и третьим выходами которого являются соответственно четвертый вход третьего элемента ИЛИ и выходы третьего, четвертого и пятого элементов ИЛИ.

Кроме того, блок коррекции содержит восьмую группу элементов И и шестой элемент ИЛИ, входы которого подключены к выходам элементов И восьмой группы, первый и второй входы каждого из которых соединены с входами соответствующих других элементов И восьмой группы и являются входами блока, выходом которого является выход шестого элемента ИЛИ.

На фиг. 1 приведена функциональная схема предлагаемого устройства; на фиг. 2 и 3 — функциональные схемы наиболее предпочтительных вариантов выполнения соответственно блока местного управления и блока коррекции.

Устройство содержит (фиг. 1) первый дешифратор 1, предназначенный для дешифрации адреса слова, накопитель 2 матричного типа, разделенный на подматрицы 3, с адресными 4 и разрядными 5 шинами, блок 6 считывания, первую группу элементов И 7, второй дешифратор 8 с выходами 9, предназначенный для дешифрации адреса разряда, входы 10 разрешения записи, 11 записи и 12 управления устройства.

Устройство содержит также блок 13 вывода данных с выходом 14, первую группу элементов ИЛИ 15, блок 16 местного управления с выходами 17, 18 и 19, вторую

группу элементов И 20, 21, третью 22, четвертую 23 и пятую 24 группы элементов И, первый 25 и второй 26 элементы ИЛИ, третий дешифратор 27, предназначенный для дешифрации адреса подматрицы, четвертый дешифратор 28 с выходом 29, шестую группу элементов И 30, 31, вторую группу элементов ИЛИ 32 с выходами 33 и входами 34 и 35, пятый дешифратор 36, седьмую группу элементов И 37 с выходами 38 и входами 39, регистр 40 контрольной информации со входами 41 и выходами 42 и 43, входы 44—48 блока местного управления и выходы 49 блока считывания, блок 50 коррекции со входами 51 и выходом 52.

Блок местного управления (фиг. 2) содержит первый 53, второй 54, третий 55, четвертый 56 и пятый 57 элементы И, третий 58, четвертый 59 и пятый 60 элементы ИЛИ, шестой 61 и седьмой 62 элементы И. Блок коррекции (фиг. 3) содержит восьмую группу элементов И 63 и шестой элемент ИЛИ 64.

Подматрицы 3 управляемые сигналами с выходов элементов ИЛИ 15, считаются основными, а подматрицы 3, управляемые сигналами с выходов 18 и 19 блока 16 местного управления считаются соответственно первой и второй дополнительными подматрицами. Регистр 40 имеет $(2K+2)$ разрядов, где K — число основных подматриц 3 в накопителе 2.

Предлагаемое устройство работает следующим образом.

Устройство работает в режимах исправления симметричных и асимметричных отказов элементов памяти.

Информация о дефектности основных и дополнительных подматриц 3 хранится в регистре 40 и может заноситься в него в процессе эксплуатации по мере обнаружения отказов элементов памяти, а также при изготовлении, например, путем пережигания плавких перемычек.

Сигналы на выходах 43 регистра 40. В зависимости от наличия дефектных элементов памяти в режиме записи информация заносится в элементы памяти подматриц 3 накопителя 2 различным образом. Если одна основная подматрица 3 накопителя 2 содержит хоть один дефектный элемент, а все остальные подматрицы 3 исправны, то информация заносится в ту из дополнительных подматриц 3, в которой нет дефектных элементов. Если имеется одна основная подматрица 3 с дефектными элементами памяти и, кроме того, имеются дефектные элементы памяти во второй дополнительной подматрице 3, а все остальные подматрицы матрицы 3 исправны, то информация заносится для хранения в первую дополнительную подматрицу 3.

Если имеется одна основная подматрица 3 с дефектными элементами памяти и, кроме того, имеются дефектные элементы памяти

с разными адресами в обоих дополнительных подматрицах 3, т.е. опрашивается не более одного дефектного элемента памяти из дефектных подматриц 3, то информация заносится для хранения в три дефектные подматрицы. Если имеются две основные подматрицы 3 с дефектными элементами памяти, а все остальные исправны, то информация, предназначенная для хранения в первой или второй дефектных основных подматрицах 3, заносится в первую (вторую) дополнительную подматрицу 3.

Если имеются две основные подматрицы 3 с дефектными элементами памяти и, кроме того, имеются дефектные элементы памяти в первой (второй) дополнительной подматрице 3, то при обращении к первой дефектной основной подматрице информация заносится для хранения в ту из дополнительных подматриц 3, в которой нет дефектов, а при обращении ко второй дефектной основной подматрице 3 — в три дефектные подматрицы 3 при условии, что при этом опрашивается одновременно не более одного дефектного элемента памяти. Если имеются три основные подматрицы 3 с дефектными элементами памяти, а все остальные исправны, то при обращении к первой (второй) дефектной основной подматрице 3 информация заносится для хранения в первую (вторую) дополнительную подматрицу, при обращении к третьей дефектной основной подматрице — в три дефектные подматрицы 3 при условии, что при этом опрашивается одновременно не более одного дефектного элемента памяти.

Сигналы на выходах 43 регистра 40 (фиг. 1) указывают на дефекты дополнительных подматриц 3, а информация на выходах 34 и 35 указывает на дефекты основных подматриц 3. Например, в регистре 40 хранится слово 10:01000000:00000000 1: при K , равном восьми. Это значит, что дефектными являются первая дополнительная, вторая и восьмая основные подматрицы 3. Рассмотрим для этого примера занесение информации в накопитель 2.

При записи информации на входы 11, 10 и 12 устройства подаются соответственно сигналы записи, разрешения записи и управления. Одновременно на одном из выходов 9 дешифратора 8 появляется сигнал, который поступает на элементы И 7 одноименных разрядов подматриц 3. Если опрашивается первая основная подматрица 3, которая исправна, поскольку в регистре 40 для этой подматрицы соответствует код «0 0», то на выходе элементов И 37 этого разряда, открытых сигналом с выхода 39 дешифратора 27, появляются нулевые сигналы. Тогда на выходе 29 дешифратора 28 появляется единичный сигнал, а на выходах 17, 18 и 19 блока 16 — нулевые сигналы. Единичный сигнал с выхода 17 открывает элементы И 24, единичный сигнал с выхода 39 дешифратора 27 поступает через элемен-

ты И 24, ИЛИ 15 и пятый вход элемента И 7 на вход первой основной подматрицы 3, и информация с входа 11 заносится в элемент памяти разряда накопителя 2, открытого сигналом с одного из выходов 9 дешифратора 8.

Пусть опрашивается дефектная вторая основная подматрица 3. Поскольку ей соответствует код «10» в регистре 40, то на входах 38 дешифратора 28 появляется комбинация «10». Тогда на выходе 46 дешифратора 28 появляется единичный сигнал, который открывает элементы И 53—56 блока 16 (фиг. 2). Поскольку первая дополнительная подматрица 3 дефектна, то только на выходе элемента И 54 появляется единичный сигнал, который поступает через элемент ИЛИ 60 на выход 19 блока 16 и открывает элементы И 7 второй дополнительной подматрицы 3. При этом поскольку на выходах 17 и 18 блока 16 и выходе 29 дешифратора 28 присутствуют нулевые сигналы, то элементы И 23 и 24 закрыты и, следовательно, закрыты элементы И 7 всех остальных подматриц 3. Таким образом, информация заносится во вторую дополнительную подматрицу 3.

Пусть опрашивается восьмая основная подматрица 3. Поскольку она дефектна, то на входах 38 дешифратора 28 появляется комбинация «01». Тогда на выходе 47 дешифратора 28 появляется единичный сигнал, который открывает элементы И 57, 61 и 62 (фиг. 2). Так как дефектна первая дополнительная подматрица 3, то только на выходе элемента И 61 появляется единичный сигнал, который устанавливает на выходах 17 и 18 блока 16 сигналы. Так как на выходах 33 элементов И 32, соответствующих дефектным подматрицам, присутствуют единичные сигналы, то информация заносится для хранения во вторую, восьмую основные подматрицы 3 и первую дополнительную подматрицу 3 по одному и тому же адресу.

Аналогично записывается информация в накопитель 2 при других возможных случаях расположения дефектных подматриц 3.

Рассмотрим работу устройства в режиме исправления симметричных отказов.

В режиме считывания сигналы на входах 10 и 11 отсутствуют. При этом элементы И 7 закрыты, а сигналы о состоянии опрашиваемых элементов памяти накопителя 2 поступают с выходов 49 блока 6 на входы элементов И 20, 21 и 22, на другие входы которых поступают сигналы с выходов элементов И 23, 24 и с выходов 17 и 18 блока 16.

Если опрашивается исправная основная подматрица 3, то элементы И 23, 31 закрыты сигналом с выхода 17 блока 16, а на выходах 18 и 19 блока 16 присутствуют нулевые сигналы. Тогда элементы И 20, 21 и одни из элементов И 22 закрыты, а дру-

гой из элементов И 22 открыт сигналом с выхода одного из элементов И 24, на вход которого поступает единичный сигнал с выхода 39 дешифратора 27. На выходе этого элемента И 22 появляется сигнал, соответствующий состоянию опрашиваемого элемента памяти, который проходит через открытый элемент И 30 и элементы ИЛИ 25, 26 на выход 14 блока 13.

Если опрашивается, например, дефектная первая основная подматрица 3 (в приведенном примере ей соответствует код «10») на выходах 34 и 35, то элементы И 23, 24 закрыты нулевыми сигналами с выхода 29 дешифратора 28 и выхода 17 блока 16. На выходе 19 блока 16 появляется единичный сигнал, поскольку на выходе элемента И 54 присутствует единичный сигнал. Элементы И 26 и элемент И 31 закрыты, а один из элементов И 25, на который поступает сигнал о состоянии элемента памяти из второй дополнительной подматрицы 3, открыт сигналом с выхода 19. Тогда сигнал о состоянии элемента памяти из второй дополнительной подматрицы 3 проходит через открытый элемент И 30, элемент ИЛИ 26 и блок 13 на выход 14 устройства.

Если, например, опрашивается восьмая дефектная подматрица 3 (ей соответствует код «01») на выходах 34, 35, то элементы И 24 закрыты нулевым сигналом с выхода 29 дешифратора 28. Кроме того, единичный сигнал с выхода 17 блока 16 держит закрытым элемент И 30 и открытым элемент И 31, 23. Тогда один из элементов И 20, 21 открыт для дефектных поднакопителей. Тем самым на входы 51 блока 50 поступают нулевые сигналы от исправных подматриц 3 и сигналы, соответствующие состояниям элементов памяти дефектных подматриц 3. Блок 50 реализует функцию мажоритарного элемента от трех переменных для $(K+2)$ входов. Исправленный сигнал с выхода блока 50 проходит на выход 14 устройства.

Устройство в режиме исправления асимметричных отказов элементов памяти накопителя 2, когда отказавшие элементы памяти находятся в состоянии логического нуля (единицы), работает аналогичным образом, как и при коррекции симметричных отказов. Однако блок 50 реализует функцию ИЛИ, поскольку отказавшие элементы памяти находятся в нулевом состоянии и достаточно одного исправного элемента памяти из трех, чтобы правильно хранить информацию в дефектных подматрицах 3. Наличие асимметричных отказов характерно для динамических ЗУПВ, где элементы памяти представляют собой емкости, преждевременная утечка заряда с которых приводит к появлению дефектных элементов памяти, находящихся в нулевом состоянии.

Технико-экономические преимущества предлагаемого устройства заключаются в его более высоких, по сравнению с прото-

типом; быстродействию и надежности, поскольку в нем возможна коррекция многократных отказов и исключено контрольное считывание с перезаписью информации.

Формула изобретения

1. Запоминающее устройство с коррекцией информации, содержащее накопитель, блок считывания, блок вывода данных, первую группу элементов И, первый, второй и третий дешифраторы, причем выходы первого дешифратора соединены с адресными шинами накопителя, разрядные шины которого подключены соответственно к первым выходам элементов И первой группы, к вторым выходам элементов И первой группы и информационным входам блока считывания, управляющие входы которого подключены к выходам второго дешифратора и первым входам элементов И первой группы, вторые и третьи входы которых соответственно объединены и являются входом разрешения записи и входом записи устройства, первый вход блока вывода данных подключен к четвертым входам элементов И первой группы и является управляющим входом устройства, отличающееся тем, что, с целью повышения быстродействия и надежности устройства, оно содержит четвертый и пятый дешифраторы, блок коррекции, регистр контрольной информации, блок местного управления, группы элементов ИЛИ, шесть групп элементов И и элементы ИЛИ, причем первые входы элементов И второй и третьей групп подключены к выходам блока считывания, первые входы элементов ИЛИ первой группы соединены с выходами элементов И четвертой группы и вторыми входами одних из элементов И второй группы, вторые входы элементов ИЛИ первой группы подключены к выходам элементов И пятой группы и вторым входам одних из элементов И третьей группы, выходы элементов ИЛИ первой группы соединены с пятью входами одних из элементов И первой группы, первые входы элементов И четвертой группы подключены к первому выходу блока местного управления, второй и третий выходы которого соединены соответственно с пятью входами других элементов И первой группы и вторыми входами других элементов И второй и третьей групп, выходы элементов И второй и третьей групп подключены соответственно к входам блока коррекции и к входам первого элемента ИЛИ, выходы которых соединены с прямым входом одного и первым входом другого элементов И шестой группы, выходы которых подключены к входам второго элемента ИЛИ, выход которого соединен с вторым входом блока вывода данных, инверсный вход одного и второй вход другого элементов И шестой группы подключены к первому входу одного из элементов И чет-

вертой группы, первые входы элементов И пятой группы соединены с выходами третьего дешифратора и первыми входами соответствующих элементов И седьмой группы, выходы которых подключены к входам четвертого дешифратора, один из выходов которого соединен с вторыми входами элементов И пятой группы, одни из выходов регистра контрольной информации подключены соответственно к входам пятого дешифратора и к вторым входам элементов И седьмой группы и входам элементов ИЛИ второй группы, выходы которых соединены с вторыми входами элементов И четвертой группы, входы блока местного управления подключены соответственно к другим выходам четвертого дешифратора и к выходам пятого дешифратора, другие входы и выход регистра контрольной информации и выход блока вывода данных являются соответственно контрольными входами, контрольным и информационным выходами устройства.

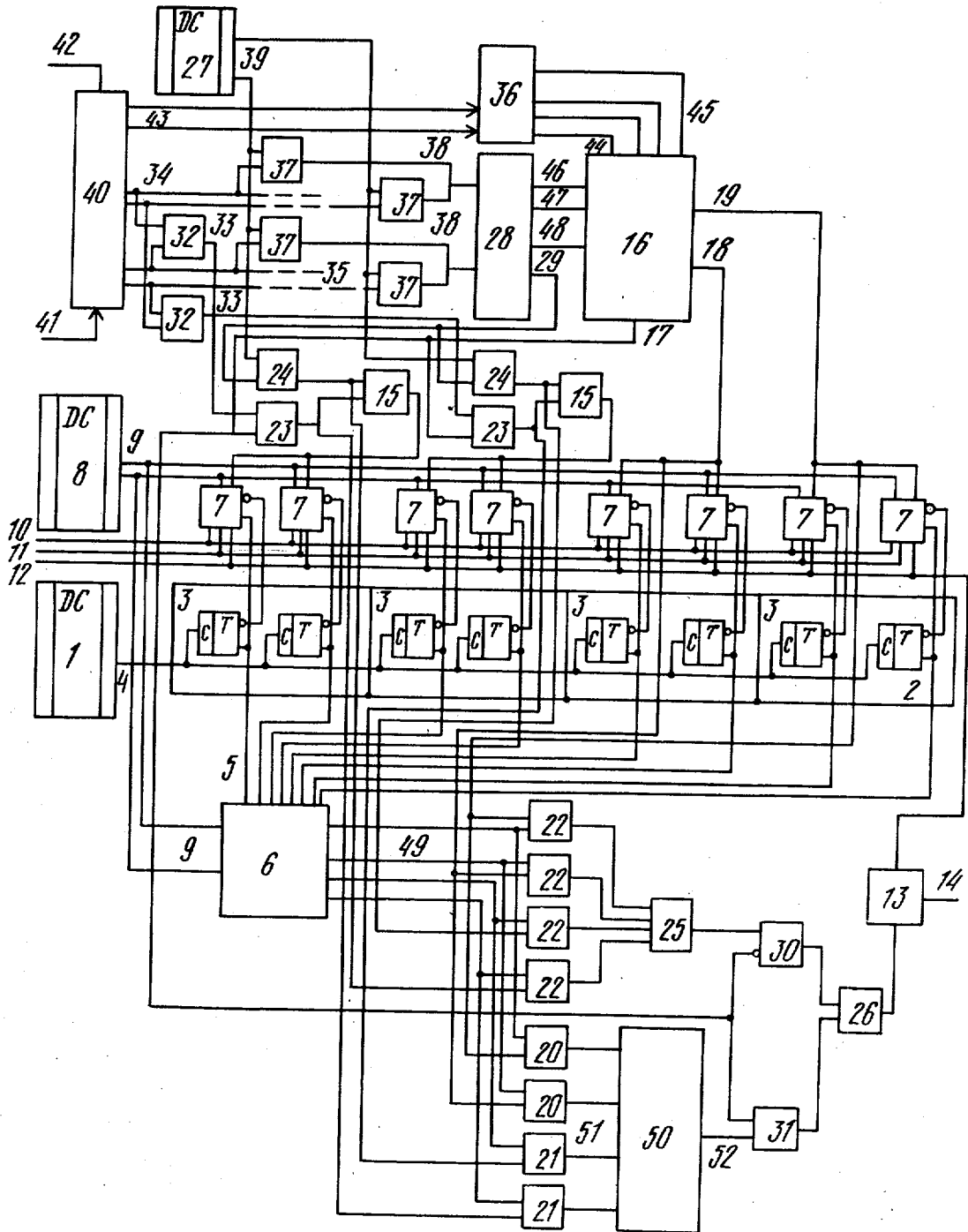
2. Устройство по п. 1, отличающееся тем, что блок местного управления содержит элементы И, третий, четвертый и пятый элементы ИЛИ, причем выходы первого и второго элементов И подключены соответственно к первым входам четвертого и пятого элементов ИЛИ, вторые входы которых соединены соответственно с выходом третьего элемента И и с выходом четвертого элемента И, третьим входом четвертого элемента ИЛИ и первым входом третьего элемента ИЛИ, выходы пятого и шестого элементов И подключены соответственно к третьему входу пятого элемента ИЛИ, к четвертому входу четвертого элемента ИЛИ и второму входу третьего элемента ИЛИ, третий вход которого соединен с четвертым входом пятого элемента ИЛИ и выходом шестого элемента И, первые входы первого, второго и третьего элементов И соединены соответственно с первыми входами пятого, шестого и седьмого элементов И и являются соответственно входами с первого по четвертый блока, вторые входы элементов Ис первого по четвертый объединены и являются пятым входом блока, вторые входы пятого, шестого и седьмого элементов И объединены и являются шестым входом блока, седьмым входом и первым, вторым и третьим выходами которого являются соответственно четвертый вход третьего элемента ИЛИ и выходы третьего, четвертого и пятого элементов ИЛИ.

3. Устройство по пп. 1 и 2, отличающееся тем, что блок коррекции содержит восьмую группу элементов И и шестой элемент ИЛИ, входы которого подключены к выходам элементов И восьмой группы, первый и второй входы каждого из которых соединены с входами соответствующих других элементов И восьмой группы и являются входами блока,

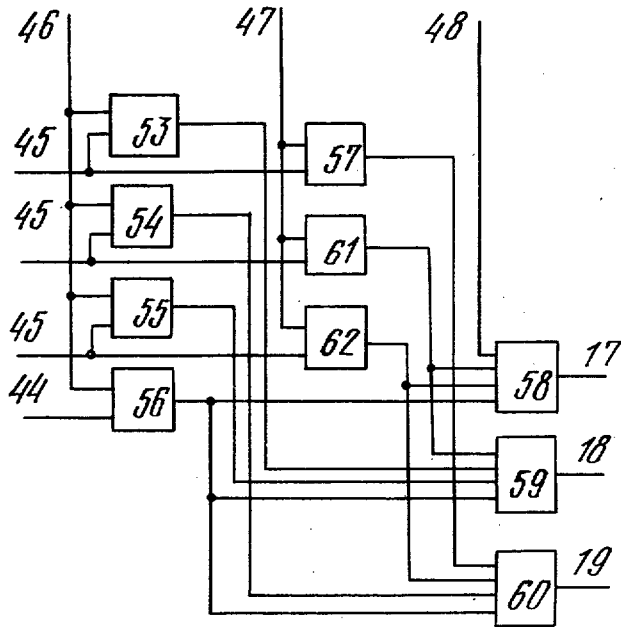
выходом которого является выход шестого элемента ИЛИ.

Источники информации, принятые во внимание при экспертизе

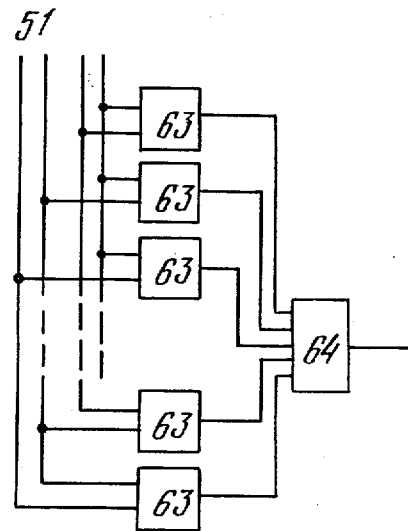
- 1. Авторское свидетельство СССР № 602995, кл. G 11 С 11/00, 1975.
- 2. Авторское свидетельство СССР № 746741, кл. G 11 С 11/00, 1975 (прототип).



Фиг. 1



Фиг. 2



Фиг. 3

Редактор И. Михеева
Заказ 660741

Составитель Т. Зайцева
Техред А. Бойкас
Тираж 622

Корректор М. Шароши
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4