



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11)959167

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 18.12.80 (21) 3219106/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.09.82, бюллетень № 34

Дата опубликования описания 15.09.82

(51) М. Кл.³

G 11 C 29/00

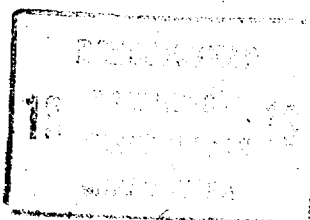
(53) УДК 681.327
(088.8)

(72) Автор
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ОБНАРУЖЕНИЕМ И ИСПРАВЛЕНИЕМ ОШИБОК

1

Изобретение относится к запоминающим устройствам и может быть использовано при производстве больших интегральных схем запоминающих устройств (ЗУ) с произвольной выборкой, с высоким быстродействием и надежностью, имеющих большую площадь кристалла.

Известно устройство, содержащее матрицу элементов памяти, схемы логики обрaмления и коррекции, позволяющие производить коррекцию одного отказавшего элемента памяти в каждой строке матрицы и во всей матрице [1].

Недостатком этого устройства является низкая надежность.

Наиболее близким техническим решением к изобретению является ЗУ с обнаружением и исправлением ошибок, содержащее дешифратор адреса слова, соединенный с адресными шинами матрицы элементов памяти, разрядные шины которой соединены с выходами первых вентилях и информационными входами первого блока считывания, управляющие входы которого с выходами дешифратора адреса разряда, первыми входами первого блока хранения признака ошибки и первыми вхо-

2

дами первых вентилях, вторые входы которых соединены с шиной записи, вторыми входами вторых вентилях, входами J, K, R и JK - триггера и первым входом сумматора по модулю два, третьи входы - с шиной управления, третьими входами вторых вентилях, входы дешифраторов адреса слова и разряда, первым входом выходного блока, четвертые входы - с выходом первого элемента И, первым входом соединенного с шиной разрешения записи, управляющих (счетным) входом JK-триггера, первым входом второго элемента И, управляющим (счетным) входом первого RS-триггера и инвертирующим входом первого элемента И-НЕ, второй вход первого элемента И-НЕ соединен с выходом первого RS-триггера, установочным входом R соединенного с первым элементом ИЛИ, входы первого элемента ИЛИ соединены с выходами первого блока хранения признака ошибки и первыми входами дешифратора обращения к дополнительным элементам памяти, выходы дешифратора обращения к дополнительным элементам памяти соединены с первыми входами вторых вентилях и с управляющими

входами второго блока считывания, информационные входы второго блока считывания соединены с разрядными шинами дополнительных элементов памяти и выходами вторых вентилях, выход второго блока считывания соединен с первым входом третьего элемента И, первый вход четвертого элемента И соединен с выходом первого блока считывания и вторым входом сумматора по модулю два, выходы третьего и четвертого элементов И соединены через второй элемент ИЛИ с вторым входом выходного блока, выход второго элемента И соединен с первым входом третьего элемента ИЛИ, выходом соединенного с четвертыми входами вторых вентилях, выходы сумматоров по модулю два, JK-триггера, первого элемента И-НЕ соединены с входами пятого элемента И, выходом соединенного с первым входом первого блока занесения признака ошибки, второй вход первого блока занесения признака ошибки соединен с шиной установки в нуль, первый и вторые выходы с вторым и третьими входами первого блока хранения признака ошибки [2].

Недостатком этого устройства является то, что в нем производится коррекция всего разряда, если неисправен один или несколько элементов памяти, что требует большого количества дополнительных элементов памяти в матрице, в результате снижается надежность устройства.

Цель изобретения - повышение надежности устройства.

Поставленная цель достигается тем, что в запоминающее устройство с обнаружением и исправлением ошибок, содержащее дешираторы адреса, логические блоки, блоки считывания, матрицу основных запоминающих элементов, дополнительные запоминающие элементы, первый дополнительный накопитель, триггеры, сумматор по модулю два, группы элементов И, блок вывода данных, первый элемент И, элемент ИЛИ и элемент И-НЕ, причем адресные входы основных запоминающих элементов соединены с выходами первого дешилятора адреса, информационные входы - с первыми выходами элементов И первой группы, а выходы с вторыми выходами элементов И первой группы и информационными входами первого блока считывания, выход которого подключен к первому входу сумматора по модулю два и первому входу первого логического блока, первый выход которого подключен к первым входам элементов И второй группы, управляющие входы первого блока считывания соединены с одними из входов второго логического блока, выходами второго дешилятора адреса и первыми входами элементов

И первой группы, вторые входы элементов И первой и второй групп подключены к второму входу сумматора по модулю два и установочным входам первого триггера, третьи входы элементов И первой и второй групп соединены с управляющими входами дешираторов адреса, входами дополнительных запоминающих элементов и первым входом блока вывода данных, второй вход которого подключен к второму выходу первого логического блока, третий выход которого соединен с четвертыми входами элементов И первой группы, четвертые входы элементов И второй группы подключены к выходам элементов И третьей группы и управляющим входам второго блока считывания, информационные входы которого соединены с выходами дополнительных запоминающих элементов и первыми выходами элементов И второй группы, вторые выходы которых подключены к информационным входам дополнительных запоминающих элементов, второй и третий входы первого логического блока соединены соответственно с выходом второго блока считывания и со счетными входами первого и второго триггеров и инверсным входом первого элемента И-НЕ, первые и вторые входы элементов И третьей группы подключены соответственно к выходам первого логического блока и входом первого элемента ИЛИ, выход которого соединен с установочным входом второго триггера, выход которого подключен к прямому входу первого элемента И-НЕ, выход которого и выходы первого триггера и сумматора по модулю два соединены соответственно с входами первого элемента И, выход которого подключен к первому и второму входам первого дополнительного накопителя, выходы которого соединены с другими входами второго логического блока, а третий вход является установочным входом устройства, управляющие входы дешираторов адреса объединены и являются управляющим входом устройства, а счетный вход первого триггера и второй вход сумматора по модулю два - соответственно входом разрешения записи и входом записи устройства, выходом которого является выход блока вывода данных, введены второй дополнительный накопитель, третий триггер, второй и третий элементы И, второй и третий элементы ИЛИ, второй элемент И-НЕ и блок местного управления, адресные входы которого подключены к выходам первого дешилятора адреса, управляющие входы - к выходам второго дополнительного накопителя, а выходы - соответственно к третьему и четвертому входам элементов И третьей группы и входам второго

элемента ИЛИ, выход которого соединен с первым входом второго элемента И и установочным входом третьего триггера, счетный вход которого подключен к счетному входу второго триггера, а выход - к прямому входу второго элемента И-НЕ, инверсный вход которого соединен с инверсным входом первого элемента И-НЕ, а выход - с одним из входов третьего элемента И, другие входы которого подключены к другим входам первого элемента И, а выход соединен с первым входом третьего элемента ИЛИ, выход которого подключен к четвертому входу первого логического блока, пятый вход которого соединен с выходом второго элемента ИЛИ, второй вход которого подключен к выходу первого элемента ИЛИ, второй вход третьего элемента ИЛИ соединен с первым и вторым входами второго дополнительного накопителя, третий и четвертый входы которого подключены соответственно к третьему и четвертому входам первого блока местного управления.

На чертеже изображена функциональная схема предложенного устройства.

Устройство содержит матрицу 1 основных запоминающих элементов 2, первый 3 и второй 4 дешифраторы адреса, первый блок 5 считывания с информационными входами 6, первую группу элементов И 7, первый логический блок 8, вход 9 разрешения записи, второй логический блок 10, вход 11 записи, вторую группу элементов И 12, сумматор 13 по модулю два, первый триггер 14, управляющий вход 15, блок 16 вывода данных, дополнительные запоминающие элементы 17 с выходами 18, второй блок 19 считывания с управляющими входами 20, третью группу элементов И 21, выполняющую функцию дешифратора обращения к дополнительным запоминающим элементам, со входами 22 и 23, первый 24, второй 25 и третий 26 элементы ИЛИ, первый 27 и второй 28 элементы И, второй 29 и третий 30 триггеры, третий элемент И 31, первый 32 и второй 33 элементы И-НЕ, блок 34 местного управления с выходом 35, первый 36 и второй 37 дополнительные накопители. Первый логический блок содержит четвертый элемент И 38, четвертый элемент ИЛИ 39, пятый 40, шестой 41 и седьмой 42 элементы И и пятый элемент ИЛИ 43.

Второй логический блок содержит первую группу элементов памяти 44 и восьмой 45 и девятый 46 элементы И.

Блок местного управления содержит десятый 47 и одиннадцатый 48 элементы И и вторую группу элементов памяти 49.

Первый дополнительный накопитель содержит первый регистр 50 сдвига, двенадцатый 51, тринадцатый 52 и четырнадцатый 53 элементы И, шестой элемент ИЛИ 54, третью группу элементов памяти 55, пятнадцатый 56 и шестнадцатый 57 элементы И.

Второй дополнительный накопитель содержит четвертую группу элементов памяти 58, второй регистр 59 сдвига, семнадцатый 60, восемнадцатый 61, девятнадцатый 62 и двадцатый 63 элементы И, седьмой элемент ИЛИ 64 и двадцать первый элемент 65.

На чертеже обозначены установочный вход 66 и выход 67 устройства.

Количество слов, хранимых в элементах памяти 55 и 58, равно количеству разрядов регистров 50 и 59.

Устройство работает следующим образом.

В исходном состоянии (при включении источника питания) все элементы памяти 44 и 49 блоков 10 и 34 устанавливаются в нулевое состояние нулевым сигналом на входе 66 поочередным опросом разрядов матрицы 1 дешифратором 4. При этом единичные сигналы на выходах элементов ИЛИ 54 и 64 держат открытыми элементы И 45-48, а в регистры 50 и 59 по входу 66 заносится информация "10...0". При изготовлении в элементы памяти 55 и 58 заносится постоянная информация в зависимости от числа исправляемых запоминающих элементов 2 матрицы 1. Так, например при исправлении трех запоминающих элементов 2, в элементах памяти 55 и 58 хранятся три двухзарядных слова "10", "01", "11".

При записи информации на входы 11, 9 и 15 устройства подаются соответственно сигналы записи, разрешения записи и управления. При этом происходит возбуждение выходов дешифраторов 3 и 4 в соответствии с кодом адреса. Возбужденные выходы дешифратора 3 и сигнал на входе 15 подключают запоминающие элементы 2 накопителя 1 выбранного слова в запоминающие элементы 17 к входам 6 и 18 блоков 5 и 19, кроме того, возбужденные выходы дешифраторов 3 и 4 подключают элементы памяти 44 и 49 к элементам ИЛИ 24 и 25 и к входам элементов И 21. При этом, если опрашивается элемент 2 матрицы 1, который не был дефектен в предыдущих тактах работы, то либо в блоке 10, либо в блоке 34, либо в обоих блоках 10 и 34 хранится число "10...0". На выходах элементов И 21 устанавливаются нулевые сигналы, а на выходе элемента И 28 устанавливается нулевой сигнал, который откроет элемент И 42. При этом

сигнал разрешения записи на входе 9 открывает элементы И 7 для записи входной информации в матрицу 1. В то же время, нулевой сигнал с выхода триггера 14 поступает через элементы И 27 и 31, элемент ИЛИ 26 на второй вход элемента ИЛИ 39, на первый вход которого поступает нулевой сигнал с выхода элемента И 38. На выходе элемента ИЛИ 39 устанавливается нулевой сигнал, который удерживает элементы И 12 в закрытом состоянии.

При снятии сигнала разрешения записи запись информации в опрашиваемый элемент 2 матрицы 1 и информации с выходов элементов ИЛИ 24 и 25 и триггеров 20 и 30 прекращается, и происходит контрольное считывание записанной информации с опрашиваемого элемента 2 матрицы 1 и сравнение ее на сумматоре 13 с входной информацией на входе 11. Наряду с этим, при снятии сигнала разрешения записи на выходе триггера 14, появляется единичный сигнал, который открывает элементы И 27 и 31, на входах которых присутствуют либо нулевые сигналы, либо нулевой и единичный сигналы, соответствующие нулевому, или нулевому и единичному сигналам на выходах триггеров 29 и 30. Тогда, если опрашивается исправный запоминающий элемент 2, то на выходе сумматора 13 и выходах элементов И 27 и 31 устанавливаются нулевые сигналы, которые, проходя через элементы ИЛИ 54 и 64, закрывают элементы 45-48, а проходя через элементы И 51 и 60, закрывают элементы И 52 и 56 и не приводят к сдвигу информации в регистрах 50 и 59. На выходе элемента ИЛИ 39 по-прежнему устанавливается нулевой сигнал, удерживающий элементы И 12 в закрытом состоянии.

В случае, если опрашивается дефектный запоминающий элемент 2 и на выходах триггеров 29 и 30 устанавливаются нулевые сигналы, указывающие на то, что в элементах памяти 44 и 49 блоков 10 и 34 хранятся нулевые сигналы, то на выходе сумматора 13 и выходах элементов И 27 и 31 появляются единичные сигналы, которые проходят через элементы И 54 и 64, элементы И 51 и 60, элементы ИЛИ 26 и 39, открывают элементы И 45-48, элементы И 12 и элементы И 52, 56, 61 и 62. При первоначальном обнаружении дефектного запоминающего элемента 2 опрашивается первая строка элементов памяти 55 и 58 (поскольку в регистрах 50 и 59 хранится число "10...0"). Хранимое число в элементах памяти 55 и 58 перезаписывается в элементы памяти 44 и 49 опрашиваемого разряда и слова и одновременно, поступая на входы элементов

И 21, открывает один из элементов И 12. При этом происходит запись входной информации со входа 11 в дополнительный запоминающий элемент 17. После снятия сигнала записи на выходе 14 появляется нулевой сигнал, который, проходя через элементы И 27, 31, 51 и 60, сдвигает на один разряд информацию в регистрах 50 и 60, сдвиг информации в которых осуществляется по заднему фронту счетного сигнала. После этого в регистрах 50 и 59 хранятся числа "010...0".

Если в следующих тактах работы устройства опрашивается второй дефектный запоминающий элемент 2 из другого разряда и слова матрицы 1, то работа устройства происходит аналогично выше описанному, но в элементы памяти 44 и 49 этого разряда и слова записывается число, хранящееся во второй строке элементов памяти 55 и 58. Поскольку это число отличается от числа, хранимого в первой строке, то и входная информация заносится в следующий дополнительный запоминающий элемент 17. Информация в регистрах 50 и 59 при этом сдвигается еще на один разряд, т.е. в них будет храниться число "0010...0".

Если же в следующих тактах работы устройства опрашивается следующий дефектный элемент 2 матрицы 1, причем на выходе одного из триггеров 29 или 30 установится единичный сигнал, то на выходе одного из элементов И 27 или 31 появится нулевой сигнал, а на выходе другого из элементов И 27 или 31 - единичный сигнал. Тем самым, в элементы памяти 44 и 49 (находящиеся в нулевом состоянии) записывается число, хранимое в опрашиваемой строке элементов памяти 55 и 58. Входная информация заносится в следующий запоминающий элемент 17. Информация в одном из регистров 50 и 59 при этом сдвигается еще на один разряд.

Например, в запоминающие элементы 17 входная информация заносится по адресу 1010, 1001, 1011, 0110, 0101, 0111, 1110, 1101, 1111 при исправлении трех отказавших элементов 2 матрицы 1.

Если при записи информации опрашивается дефектный элемент памяти, обращение к которому произошло в предыдущих тактах, что определяется наличием единичных сигналов в элементах памяти 44 и 49, то на выходе элементов ИЛИ 24 и 25 появятся единичные сигналы, которые, проходя через элементы И 28 и 42 закроют элементы И 7 для записи информации, а проходя через элементы И 28 и 38 и элемент ИЛИ 39, откроют элементы

И 12 для записи входной информации в запоминающие элементы 17. После снятия сигнала разрешения записи на выходе элементов И-НЕ 32 и 33 устанавливаются нулевые сигналы, которые удерживают закрытыми элементы И 45-48, элементы И 52, 56, 61 и 62, в результате информация в регистрах 50 и 59 остается без изменения.

В режиме считывания сигналы по входам 11 и 9 отсутствуют. При этом элементы И 7, 19, 45-47 и 49 заперты, а сигнал о состоянии опрашиваемого элемента 2 матрицы 1 поступает с выхода блока 6 на первый вход элемента И 41. На второй вход элемента И 40 поступает сигнал с выхода блока 19.

Если опрашивается исправный элемент 2, то в элементах памяти 44 и 49 опрашиваемого разряда и слова хранятся либо нулевые числа, либо нулевое около из них. Тогда на выходе элемента И 28 устанавливается нулевой сигнал. Этот сигнал открывает элемент И 41 и закрывает элемент И 40, тем самым на выходе элемента ИЛИ 43 и на выходе блока 16 появляется сигнал с исправного элемента 2 матрицы 1.

Если же опрашивается дефектный элемент 2, то в элементах памяти 44 и 49 опрашиваемого разряда и слова хранится отличное от нуля число, и на выходах элементов И 24, 25 и 28 устанавливаются единичные сигналы. Кроме того, на одном из выходов 20 элементов И 21 появляется единичный сигнал, который опрашивает один из запоминающих элементов 17, и на выходе блока 19 появляется сигнал, который, проходя через элемент И 40, элемент ИЛИ 43 и блок 16, появляется на выходе 67 устройства.

Технико-экономическое преимущество предложенного устройства заключается в его более высокой надежности, так как в нем используется значительно меньше, чем в известном, дополнительных запоминающих элементов.

Формула изобретения

Запоминающее устройство с обнаружением и исправлением ошибок, содержащее дешифраторы адреса, логические блоки, блоки считывания, матрицу основных запоминающих элементов, дополнительные запоминающие элементы, первый дополнительный накопитель, триггеры, сумматор по модулю два, группы элементов И, блок вывода данных, первый элемент И, элемент ИЛИ и элемент И-НЕ, причем адресные входы основных запоминающих элементов соединены с выходами первого дешифратора адреса, информационные входы

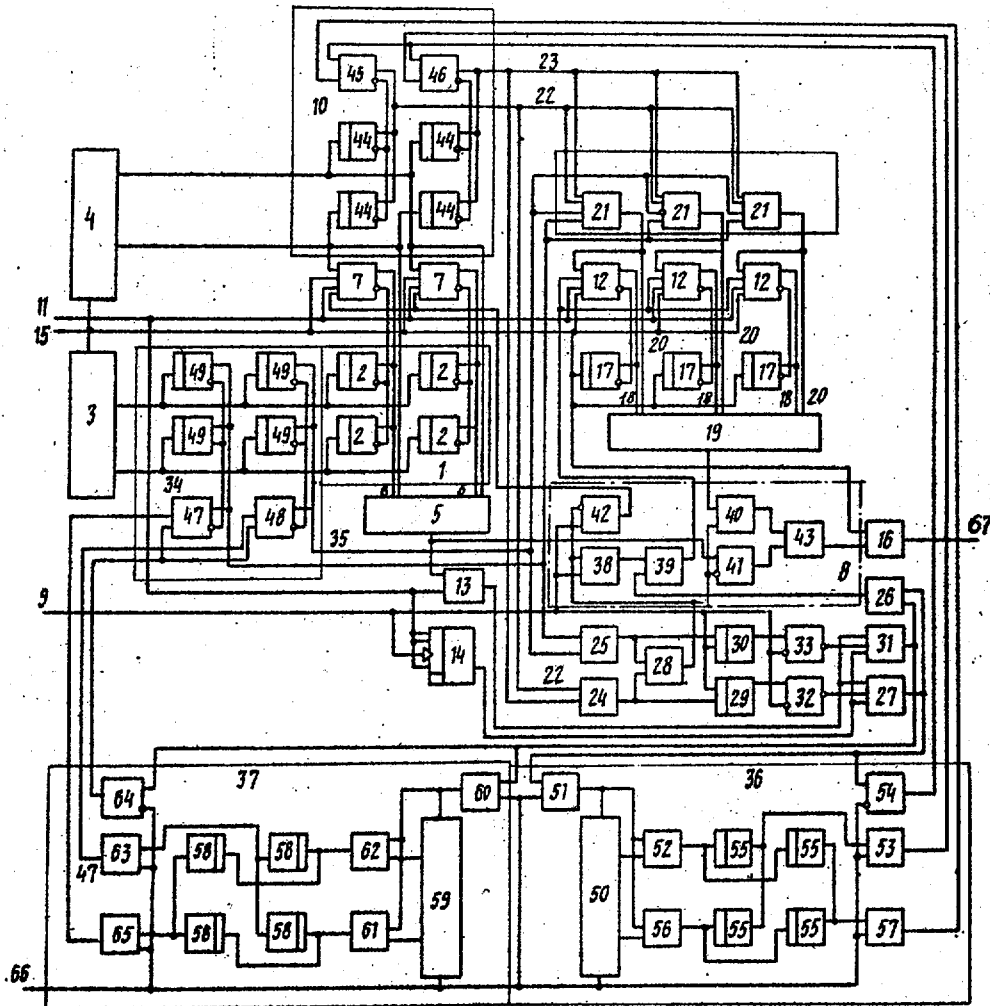
с первыми выходами элементов И первой группы, а выходы - с вторыми выходами элементов И первой группы и информационными входами первого блока считывания, выход которого 5 подключен к первому входу сумматора по модулю два и первому входу первого логического блока, первый выход которого 10 подключен к первым входам элементов И второй группы, управляющие входы первого блока считывания соединены с одними из входов второго логического блока, выходами второго дешифратора адреса и первыми входами 15 элементов И первой и второй групп подключены к второму входу сумматора по модулю два и установочным входам первого триггера, третьи входы 20 элементов И первой и второй групп соединены с управляющими входами дешифраторов адреса, входами дополнительных запоминающих элементов и первым входом блока вывода данных, второй вход которого 25 подключен к второму выходу первого логического блока, третий выход которого соединен с четвертыми входами элементов И первой группы, четвертые входы элементов И второй группы подключены к выходам элементов И третьей группы и управляющим входам второго блока считывания, информационные входы 30 которого соединены с выходами дополнительных запоминающих элементов и первыми выходами элементов И второй группы, вторые выходы которых 35 подключены к информационным входам дополнительных запоминающих элементов, второй и третий входы первого логического блока соединены соот- 40 ветственно с выходом второго блока считывания и со счетными входами первого и второго триггеров и инверсным входом первого элемента И-НЕ, первые и вторые входы элементов И 45 третьей группы подключены соответственно к выходам второго логического блока и входам первого элемента ИЛИ, выход которого соединен с установочным входом второго триггера, выход которого 50 подключен к прямому входу первого элемента И-НЕ, выход которого и выходы первого триггера и сумматора по модулю два соединены соответственно с входами первого элемента И, выход которого 55 подключен к первому и второму входам первого дополнительного накопителя, выходы которого соединены с другими входами второго логического блока, а 60 третий вход является установочным входом устройства, управляющие входы дешифраторов адреса объединены и являются управляющим входом устройства, а счетный вход первого триггера и второй вход сумматора по мо- 65

дулю два - соответственно входом разрешения записи и входом записи устройства, выходом которого является выход блока вывода данных, отличающееся тем, что с целью повышения надежности устройства, оно содержит второй дополнительный накопитель, третий триггер, второй и третий элементы И, второй и третий элементы ИЛИ, второй элемент И-НЕ и блок местного управления, адресные входы которого подключены к выходам первого дешифратора адреса, управляющие входы - к выходам второго дополнительного накопителя, а выходы - соответственно к третьему и четвертому входам элементов И третьей группы и входам второго элемента ИЛИ, выход которого соединен с первым входом второго элемента И и установочным входом третьего триггера, счетный вход которого подключен к счетному входу второго триггера, а выход - к прямому входу второго элемента И-НЕ, инверсный вход которого соединен с инверсным входом первого элемента И-НЕ,

а выход - с одним из входов третьего элемента И, другие входы которого подключены к другим входам первого элемента И, а выход соединен с первым входом третьего элемента ИЛИ, выход которого подключен к четвертому входу первого логического блока, пятый вход которого соединен с выходом второго элемента ИЛИ, второй вход которого подключен к выходу первого элемента ИЛИ, второй вход третьего элемента ИЛИ соединен с первым и вторым входами второго дополнительного накопителя, третий и четвертый входы которого подключены соответственно к третьему и четвертому входам первого блока местного управления.

Источники информации,

- 20 приняты во внимание при экспертизе
1. Авторское свидетельство СССР № 602995, кл. С 11 С 29/00, 1976.
 2. Авторское свидетельство СССР (заявка № 2883238/18-24), кл. С 11 С 29/00, 1980 (прототип).



ВНИИПИ Заказ 7050/70 Тираж 622 Подписное

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4