



Государственный комитет  
СССР  
по делам изобретений  
и открытий

# О П И С А Н И Е ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 769539

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 10.10.77 (21) 2539722/18-24

с присоединением заявки № —

(23) Приоритет —

(43) Опубликовано 07.10.80. Бюллетень № 37

(45) Дата опубликования описания 07.10.80

(51) М. Кл.<sup>3</sup>  
G 06 F 7/52

(53) УДК 681.325  
(088.8)

(72) Авторы  
изобретения

Б. Г. Лысиков и А. А. Шостак

(71) Заявитель

Минский радиотехнический институт

### (54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ

1

Изобретение относится к области вычислительной техники и может быть использовано при разработке быстродействующих арифметических устройств.

Известно устройство для умножения типа, содержащее регистры множимого и множителя, блок формирования частичных произведений и блок суммирования частичных произведений [1]. Недостатком такого устройства является большое количество оборудования.

Наиболее близким по технической сущности к изобретению является устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор, одноразрядные узлы умножения, блок управления и блоки переключения выходов разрядов регистра множимого, причем входы накапливающего сумматора подключены к выходам одноразрядных узлов умножения, первые входы которых соединены с выходом первого разряда регистра множителя, а вторые входы через блоки переключения выходов разрядов регистра множимого — к выходам пар смежных разрядов регистра множимого [2].

Наличие блоков переключения выходов разрядов регистра множимого вносит некоторую временную задержку в передачу сигналов с выходов регистра множимого

2

на входы одноразрядных узлов умножения, что снижает быстродействие устройства.

Целью изобретения является повышение быстродействия устройства.

5 Поставленная цель достигается тем, что в устройстве для умножения, содержащем регистры множимого и множителя, накапливающий сумматор,  $m/2$  одноразрядных узлов умножения ( $m$ -разрядность множимого) и блок управления, выходы которого соединены с управляющими входами регистра множителя и накапливающего сумматора, первые входы одноразрядных узлов умножения соединены с выходом первого разряда регистра множителя, а выходы — со входами накапливающего регистра, второй вход  $i$ -го одноразрядного узла умножения ( $i=1, \dots, m/2$ ) соединен с выходом  $(2i-1)$ -го разряда регистра множимого, вход  $(2i-1)$ -го разряда регистра множимого подключен к выходу  $2i$ -го разряда того же регистра, вход которого соединен с выходом  $(2i-1)$ -го разряда регистра множимого, а управляющий вход регистра множимого подключен к выходу блока управления.

20 Устройство в принципе может быть использовано для умножения чисел, представленных в произвольной системе счисления. Однако наибольший эффект такое

устройство может дать при перемножении двоично-кодированных чисел в системе счисления с основанием  $Q=2^k$ . Каждая цифра в такой системе представляется набором  $K$  двоичных цифр, а каждая связь в устройстве представляет собой  $K$  шин, по которым передаются сигналы двоичных цифр. Умножение двух  $m$ -разрядных двоично-кодированных чисел в системе счисления с основанием  $Q=2^k$  эквивалентно перемножению двух  $m \cdot K$ -разрядных двоичных чисел. Таким образом, при использовании данного устройства для умножения принципиально может быть достигнуто повышение быстродействия при перемножении двоичных чисел. Возможно также использование данного устройства при перемножении  $b$ -ично-кодированных чисел в системе счисления с основанием  $L=b^k$ .

На чертеже изображена структурная схема устройства для умножения (показан случай использования двоично-кодированной системы счисления с основанием  $Q=2^k$ ).

Устройство содержит регистры множимого и множителя 1 и 2, каждый из которых содержит  $m$   $2^k$ -ичных или (что то же самое) двоичных разрядов ( $n=m \cdot k$ ), накапливающий сумматор 3, блок управления 4, одноразрядные узлы умножения 5.  $2^k$ -ичные разряды 6 регистра множимого 1 соединены между собой таким образом, что вход  $(2i-1)$ -го разряда соединен с выходом  $2i$ -го разряда, а вход  $2i$ -го разряда соединен с выходом  $(2i-1)$ -го разряда ( $i=1, \dots, m/2$ ). Перезапись содержимого четных разрядов в нечетные и наоборот производится по управляющему сигналу, поступающему с выхода блока управления 4. Выходы блока управления 4 соединены также с управляющими входами регистра множителя 2 и сумматора 3 (цепи сдвига на  $K$  разрядов в регистре множителя 2 и сумматоре 3 на чертеже не показаны). Одноразрядные узлы умножения 5 формируют произведения  $2^k$ -ичных цифр множимого на очередную  $2^k$ -ичную цифру множителя. Разрядность такого произведения —  $2^k$  двоичных разряда. Выходы одноразрядных узлов умножения 5 подключены ко входам сумматора 3.

Регистры множимого и множителя 1 и 2 могут быть построены по известным схемам с использованием двухтактных  $D$ -триггеров, сумматор 3 — на базе  $УК$ -триггеров со схемой образования параллельных переносов. Одноразрядные узлы умножения 5 реализованы в виде логических шифраторов  $k$ -разрядных двоичных кодов сомножителей в 2.  $K$ -разрядный двоичный код их произведения. В определенных случаях может оказаться целесообразным реализация узлов 5 в виде сочетания  $l$ -разрядных шифраторов ( $l \leq k/2$ ) и суммирующей

схемы либо реализация их на базе пирамиды полных сумматоров с целью обеспечения однородности их структуры.

Устройство для умножения работает следующим образом.

В исходном состоянии в регистре 1 хранится  $n$ -разрядное ( $n$ -число двоичных разрядов) множимое, в регистре 2 —  $n$ -разрядный множитель, сумматор 3 обнулен (множимое и множитель представлены в виде правильных дробей прямыми кодами). Каждый такт работы устройства здесь рассматривается состоящим из двух полутактов. Пусть, множимое

$X=0,1011101100011000=0,ABCД$ , множитель  $Y=0,1001.1000.0001.0100=0,abcd$  (для определенности  $k$  здесь принято равным четырем). Предположим, что к началу первого такта на выходах узлов 5 сформированы  $2 \cdot k$ -разрядные произведения  $d \cdot B$  и  $d \cdot D$ . Тогда в первом полутакте первого такта производится передача  $2 \cdot k$ -разрядных произведений  $d \cdot B$  и  $d \cdot D$  на входы сумматора 3, и осуществляется их суммирование с содержимым сумматора 3 (в первом полутакте содержимое сумматора равно нулю), после чего в сумматоре 3 осуществляется однократный сдвиг на  $K$  разрядов в сторону младших разрядов.

Параллельно с этим во времени в регистре 1 множимого под действием устройства управления был осуществлен попарно-реверсивный сдвиг, т. е. множимое в регистре 1 было представлено в виде  $x'=BADС$ , после чего на выходах узлов 5 были сформированы  $2 \cdot k$ -разрядные произведения  $d \cdot A$  и  $d \cdot D$ . Итак, к концу первого полутакта в сумматоре 3 осуществлен сдвиг информации в сторону младших разрядов, а на выходах узлов 5 сформированы  $2 \cdot k$ -разрядные произведения  $d \cdot A$  и  $d \cdot C$ .

Во втором полутакте первого такта осуществляется передача  $2 \cdot k$ -разрядных произведений  $d \cdot A$  и  $d \cdot C$  на входы сумматора 3, и осуществляется их суммирование с содержимым сумматора 3 (по окончании суммирования сдвиг информации в сумматоре 3 не производится). К концу второго полутакта в сумматоре 3 фактически сформировано частное произведение множимого  $X$  на  $K$  младших разрядов множителя  $Y$ . Одновременно с этим во времени в регистре 2 множителя был осуществлен однократный сдвиг информации в сторону его младших разрядов, а в регистре 1 множимого осуществлен повторный попарно-реверсивный сдвиг, т. е. множимое в регистре было представлено в виде  $ABCD$ , после чего на выходах узлов 5 были сформированы  $2 \cdot k$ -разрядные произведения  $c \cdot B$  и  $c \cdot D$ . Далее процесс повторяется циклически.

За счет того, что в данном устройстве исключены блоки переключения выходов разрядов регистра множимого, а сдвиг

в регистре 1 производится одновременно с приемом числа в сумматор 3, длительность одного такта несколько сокращена, что в целом повышает быстродействие устройства.

#### Формула изобретения

Устройство для умножения, содержащее регистры множимого и множителя, накапливающий сумматор,  $m/4$  одноразрядных узлов умножения ( $m$  — разрядность множимого) и блок управления, выходы которого соединены с управляющими входами регистра множителя и накапливающего сумматора, первые входы одноразрядных узлов умножения соединены с выходом первого разряда регистра множителя, а выходы — со входами накапливающего регистра, отличающееся тем, что, с целью повышения быстродействия, вто-

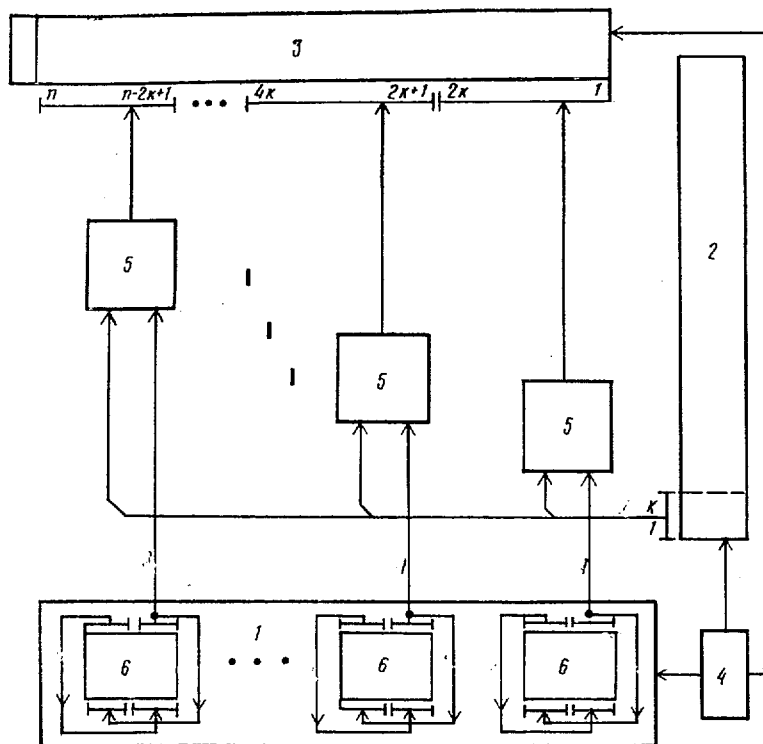
рой вход  $i$ -го одноразрядного узла умножения ( $i=1, \dots, m/2$ ) соединен с выходом  $(2i-1)$ -го разряда регистра множимого, вход  $(2i-1)$ -го разряда регистра множимого подключен к выходу  $2i$ -го разряда того же регистра, вход которого соединен с выходом  $(2i-1)$ -го разряда регистра множимого, а управляющий вход регистра множимого подключен к выходу блока управления.

Источники информации,

принятые во внимание при экспертизе

1. Прангишвили И. В. и др. Микроэлектроника и однородные структуры для построения логических и вычислительных устройств. М., «Наука», 1967, с. 180, рис. 4.37.

2. Авторское свидетельство СССР № 383044, кл. G 06 F 7/38, 1970 (прототип).



Составитель В. Березкин

Редактор Л. Утехина

Техред И. Заболотнова

Корректор Т. Трушкина

Заказ 2258/1

Изд. № 524

Тираж 798

Подписное

НПО «Поиск» Государственного комитета СССР по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Типография, пр. Сапунова, 2