



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 01.12.80 (21) 3212426/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.09.82. Бюллетень № 36

Дата опубликования описания 30.09.82

(11) 962914

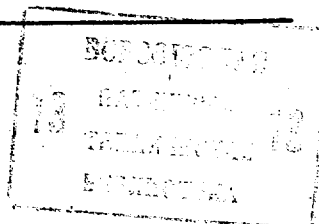
(51) М. Кл.³

G 06 F 5702

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Н.И.Цупрев и Л.М.Трубицын



(71) Заявитель

Минский радиотехнический институт

(54) ПРЕОБРАЗОВАТЕЛЬ ЦЕЛЫХ КОМПЛЕКСНЫХ
ЧИСЕЛ В ДВОИЧНЫЙ КОД

1

Изобретение относится к цифровой вычислительной технике и может быть использовано в вычислительных машинах и системах для выполнения операций над комплексными числами.

Известно устройство для перевода целых комплексных чисел в двоичный код, содержащее блок памяти для хранения двоичных кодов действительной и мнимой частей комплексного числа, блок арифметических операций [1].

Недостаток известного устройства состоит в относительно большом объеме аппаратуры и сравнительно низком быстродействии.

Наиболее близким к предлагаемому является устройство перевода целых комплексных чисел в двоичный код, состоящее из двух приемных регистров для n -разрядных двоичных кодов действительной и мнимой частей, двух сумматоров для формирования действительной и мнимой частей i -го частного, двух сдвигающих регистров, осуществляющих деление на два, сумматора для получения модуля суммы действительной и мнимой частей i -го частного, сдвигающего регистра для получения остатка ϵ_i от деления на два содержимого сумматора, являющегося

2

очередным разрядом получаемого комплексного числа, блока инверторов для получения обратного кода мнимой части i -го частного, входного регистра и блока управления [2].

Длительность процедуры преобразования в известном устройстве равна

$$t_{p1} = T_T \cdot n, \quad (1)$$

где T_T - длительность одного такта процедуры перевода;

n - количество тактов процедуры перевода (т.е. количество разрядов комплексного числа).

Причем основное время каждого такта расходуется главным образом на суммирование, так как время суммирования, связанное с длительным процессом выработки и распространения переноса в сумматорах, значительно превосходит время выполнения остальных операций (сдвиг, инвертирование и т.д.). Следовательно, приближенно

$$t_{p1} \approx T_{\Sigma 1} \cdot n, \quad (2)$$

где $T_{\Sigma 1}$ - длительность процедуры сложения на двоичном сумматоре.

30

Основной недостаток известного устройства состоит в низкой скорости его работы.

Цель изобретения - повышение скорости перевода целых комплексных чисел в единый двоичный код.

Поставленная цель достигается тем, что в преобразователь целых комплексных чисел в двоичный код, содержащий регистры мнимой и действительной части, выходной регистр и распределитель импульсов, введены четыре регистра, четырнадцать групп элементов И, первая и вторая группы элементов ИЛИ, первый и второй сумматоры с основанием $p=-1+j$, причем прямые выходы i -х разрядов регистра действительной части ($i=4k, k=1-\lfloor \frac{n}{4} \rfloor$), где n - число разрядов входного кода, соединены с первыми входами $2i$ -х элементов И первой группы, прямые выходы $(i+1)$ -х разрядов регистра действительной части подключены к первым входам $2(i+1)$ -х и $2(i+1)+1$ -х элементов И первой группы, прямые выходы $(i+2)$ -х разрядов регистра действительной части соединены с первыми входами $(2i+4)$ -х элементов И второй группы, прямые выходы $(i+3)$ -х разрядов регистра действительной части соединены с входами $(2i+6)$ -х и $(2i+7)$ -х элементов И второй группы, прямые выходы i -х разрядов регистра мнимой части соединены с первыми входами $2i$ -х и $(2i+1)$ -х элементов И третьей группы, прямые выходы $(i+3)$ -х разрядов регистра мнимой части соединены с первыми входами $(2i+6)$ -х элементов И третьей группы, прямые выходы $(i+1)$ -х разрядов регистра мнимой части соединены с входами $(2i+2)$ -х элементов И четвертой группы, прямые выходы $(i+2)$ -х разрядов регистра мнимой части соединены с первыми входами $(2i+4)$ -х и $(2i+5)$ -х элементов И четвертой группы, первые входы остальных элементов И первой, второй, третьей и четвертой групп соединены с входом логического нуля преобразователя, первый выход распределителя импульсов соединен с вторыми входами всех элементов И первой, второй, третьей и четвертой групп, выходы которых соединены с соответствующими входами первого, второго, третьего и четвертого регистров соответственно, прямые и инверсные выходы разрядов первого регистра соединены с первыми входами элементов И пятой и шестой групп соответственно, прямые и инверсные выходы разрядов второго регистра соединены с первыми входами элементов И седьмой и восьмой групп соответственно, прямые и инверсные выходы разрядов третьего регистра соединены с первыми входами элементов И девятой и десятой групп соответственно, прямые и инверсные

выходы четвертого регистра соединены с первыми входами элементов И одиннадцатой и двенадцатой групп соответственно, вторые входы элементов И пятой, шестой, седьмой, восьмой, девятой, десятой, одиннадцатой и двенадцатой групп соединены соответственно с вторым, третьим, четвертым, пятым, шестым, седьмым, восьмым и девятым выходами распределителя импульсов, первый выход которого соединен с первыми входами ρ -х ($\rho=3m; m=1-\lfloor \frac{n+8}{3} \rfloor$) и $(\rho+1)$ -х элементов ИЛИ

первой и второй групп, первые входы остальных элементов ИЛИ первой и второй групп соединены с входом логического нуля преобразователя, вторые, третьи, четвертые и пятые входы элементов ИЛИ второй группы соединены соответственно с выходами элементов И девятой, десятой, одиннадцатой и двенадцатой групп, выходы элементов ИЛИ первой и второй групп соединены с счетными входами первого и второго сумматоров с основанием ($p=-1+j$) соответственно, выходы которых соединены соответственно с первыми входами элементов И тринадцатой и четырнадцатой групп, вторые входы которых соединены соответственно с десятым и одиннадцатым выходом распределителя импульсов, выходы элементов И тринадцатой группы соединены с входами выходного регистра, вторые, третьи, четвертые, пятые и шестые входы элементов ИЛИ первой группы соединены соответственно с выходами элементов И пятой, шестой, седьмой, восьмой и четырнадцатой групп.

Кроме того, сумматор с основанием $p=-1+j$ состоит из идентичных разрядов, каждый из которых содержит трехвходовый элемент ИЛИ, триггер, дифференцирующий элемент, формирователь импульсов и два последовательно соединенных элемента задержки, выходы которых являются первым и вторым выходами переноса разряда сумматора с основанием $p=-1+j$, информационный вход и первый и второй входы переноса которого соединены с первым, вторым и третьим входами элемента ИЛИ, выход которого соединен с счетным входом триггера, выход триггера является разрядным выходом сумматора с основанием $(-1+j)$ и соединен с входом дифференцирующего элемента, выход которого через формирователь импульсов соединен с входом первого элемента задержки.

На фиг.1 представлена функциональная схема преобразователя целых комплексных чисел в двоичный код; на фиг.2 - блок-схема распределителя импульсов; на фиг.3 - приведена блок-схема одного разряда сумматора с основанием $p=-1+j$.

Преобразователь целых комплексных чисел в двоичный код содержит (фиг.1) регистры 1 и 2 для действительной и мнимой частей, группы элементов И 3-6, регистры 7-10, группы 11-18 элементов И, группы 19-20 элементов ИЛИ, сумматоры 21-22 с основанием $p=-1+j$, группы 23-24 элементов И, выходной регистр 25, распределитель 26 импульсов.

Все необходимые управляющие сигналы вырабатываются распределителем импульсов, содержащим (фиг.2) триггер 27 операции, триггер 28 знака действительной части, триггер 29 знака мнимой части комплексного числа, формирователь 30 импульсов, элементы И 31-34, элементы задержки 35-41.

Ниже представлено соответствие номеров выходов распределителя импульсов управляющим сигналам.

Номера выходов	Управляющие сигналы
1	У1
2	У2
3	У2 (задержанный)
4	У3
5	У3 (задержанный)
6	У4
7	У4 (задержанный)

8	У5
9	У5 (задержанный)
10	У6
11	У7

Разряд сумматора (i -й) в системе счисления с основанием $p=-1+j$ состоит (см. фиг.3) из трехвходового элемента ИЛИ 42, выход которого соединен с счетным входом триггера 43 и схемы формирования переноса, в состав которой входят элемент 44 дифференцирования, состоящий из конденсатора, резистора и диода, формирователя 45 импульса и элементы 46-47 задержки. Шестивходовой элемент ИЛИ группы 19 является расширителем по входу сумматора. Через него на i -й вход сумматора последовательно поступают i -е разряды слагаемых.

Метод, положенный в основу работы устройства перевода целых комплексных чисел в единый двоичный код, состоит в раздельном преобразовании действительной и мнимой частей и последующем сложении полученных кодов по правилам сложения в системе счисления с основанием $p=-1+j$.

Построим таблицы соответствия между положительными степенями числа 2 действительной и мнимой частей с учетом знаков при них и их кодами в едином двоичном коде.

Пусть a - действительная часть, b - мнимая часть.

Т а б л и ц а 1

+ a	+ a =+(2 ⁱ)	ЕДК
	876543210	16.15.14.13.12.11.10.98.76.54.32.10
+1	000000001	0 0 0 0 0 0 00000000001
+2	000000010	0 0 0 0 0 0 00000001100
+4	000000100	0 0 0 0 0 0 00111010000
+8	000001000	0 0 0 0 0 0 00111000000
+16	000010000	0 0 0 0 0 0 00100000000
+32	000100000	0 0 0 0 0 1 10000000000
+64	001000000	1 1 1 0 1 0 00000000000
+128	010000000	1 1 1 0 0 0 00000000000
+256	100000000	1 0 0 0 0 0 00000000000

Т а б л и ц а 2

- a	- a = -(2 ⁱ)	ЕДК
	876543210	20.19.18.17.16.15.14.13.12.11.10.98.76.54.32.10
-1	- 000000001	0 0 0 0 0 0 0 0 0 0 0 00000011101
-2	- 000000010	0 0 0 0 0 0 0 0 0 0 0 00000011100
-4	- 000000100	0 0 0 0 0 0 0 0 0 0 0 00000010000
-8	- 000001000	0 0 0 0 0 0 0 0 0 0 0 00011000000
-16	- 000010000	0 0 0 0 0 0 0 0 0 1 1 10100000000
-32	- 000100000	0 0 0 0 0 0 0 0 0 1 1 10000000000
-64	- 001000000	0 0 0 0 0 0 0 0 0 1 0 00000000000
-128	- 010000000	0 0 0 0 0 1 1 0 0 0 0 00000000000
-256	- 100000000	1 1 1 0 1 0 0 0 0 0 0 00000000000

Т а б л и ц а 3

+ в	+ в = +(2 ⁱ)	ЕДК
	876543210	17.16.15.14.13.12.11.10.98.76.54.32.10
+1	000000001	0 0 0 0 0 0 0 0 00000000011
+2	000000010	0 0 0 0 0 0 0 0 00001110100
+4	000000100	0 0 0 0 0 0 0 0 00001110000
+8	000001000	0 0 0 0 0 0 0 0 00001000000
+16	000010000	0 0 0 0 0 0 0 0 01100000000
+32	000100000	0 0 0 1 1 1 0 10000000000
+64	001000000	0 0 0 1 1 1 0 00000000000
+128	010000000	0 0 0 1 0 0 0 00000000000
+256	100000000	1 1 0 0 0 0 0 00000000000

Т а б л и ц а 4

- в	- в = -(2 ⁱ)	ЕДК
	876543210	18.17.16.15.14.13.12.11.10.98.76.54.32.10

-1	- 000000001	0 0 0 0 0 0 0 0 0 00000000111
-2	- 000000010	0 0 0 0 0 0 0 0 0 00000000100
-4	- 000000100	0 0 0 0 0 0 0 0 0 00000110000
-8	- 000001000	0 0 0 0 0 0 0 0 0 11101000000
-16	- 000010000	0 0 0 0 0 0 0 0 0 11100000000
-32	- 000100000	0 0 0 0 0 0 0 0 0 10000000000
-64	- 001000000	0 0 0 0 0 1 1 0 0 00000000000
-128	- 010000000	1 1 1 0 1 0 0 0 0 00000000000
-256	- 1100000000	1 1 1 0 0 0 0 0 0 00000000000

Для формирования кода "А" действительной части с знаком (+) по осно-

ванию $p=-1+j$ сформируем два операнда А1 и А2 следующим образом

А1 (табл.1)

№ разрядов 1615141312111009080706050403020100
ж 0 0 0 0 ж ж 0 ж 0 0 0 0 ж ж 0 ж

Разряды действительной части с номерами $i=4k(k=0,1,...)$ переписываются в разряды операнда А1 с номерами $n=2i$, разряды действительной части с номерами $i=4k+1(k=0,1,2,...)$ переписываются в разряды операнда А1 с номерами $n=2i$ и $n=2i+1$. Остальные раз-

ряды операнда А1 заполняют нулями.

Операнд А2 формируется из оставшихся разрядов действительной части, но коды степеней, соответствующих данным разрядам, берутся со знаком (-) (табл.2).

А2

№ разрядов А2 201918171615141312111009080706050403020100
ж 0 0 0 0 ж ж 0 ж 0 0 0 0 ж ж 0 ж 0 0 0

Разряды действительной части с номерами $i=4k+2(k=0,1,...)$ переписываются в разряды операнда А2 с номерами $n=2i$, разряды действительной части с номерами $i=4k+3(k=0,1,2,...)$ переписываются в разряды операнда А2 с номерами $n=2i$ и $n=2i+1$. Остальные

разряды операнда А2 заполняются нулями.

Для того, чтобы получить код "А" действительной части комплексного числа по основанию $p=-1+j$ со знаком (+) необходимо операнд А2 вычесть по правилам вычитания в системе счисле-

ния с основанием $p=-1+j$ из операнда $A1$.

При этом происходит следующее

$$A = A1 - (-A2)$$

Но, так как знак (-) при $A2$ является его составной частью, т.е. непосредственно входит в его состав (табл.2) из учета условий формирования, то знаки (-) взаимно уничтожаются в процессе вычитания. В результа-

V1 (табл.3)

№ разрядов V1 17161514131211109876543210.
 ж ж 0 ж 0 0 0 0 ж ж 0 ж 0 0 0 0 0

Разряды мнимой части с номерами $i=4k(k=0,1,2,...)$ переписываются в разряды операнда $V1$ с номерами $m=2i$ и $n=2i+1$, разряды мнимой части с номерами $i=4k+3(k=0,1,2,...)$ переписываются

20

сываются в разряды операнда $V1$ с номерами $m=2i$.

Остальные разряды операнда $V1$ заполняются нулями.

V2 (табл.4)

№ разрядов V2 17161514131211109876543210.
 0 0 0 0 ж ж 0 ж 0 0 0 0 ж ж 0 ж 0 0

Разряды мнимой части с номерами $i=4k+1(k=0,1,2,...)$ переписываются в разряды операнда $V2$ с номерами $m=2i$, разряды мнимой части с номерами $i=4k+2(k=0,1,2,...)$ переписываются в разряды операнда $V2$ с номерами $m=2i$ и $m=2i+1$.

30

$V1=11$
 $V2=10000110100$
 С учетом знака (+) при мнимой части X "в" $V=V1-V2=111010001000111$

Для получения кода "В" мнимой части необходимо из операнда $V1$ вычесть операнд $V2$, если знак мнимой части (+), или из операнда $V2$ вычесть операнд $V1$, если знак мнимой части (-).

35

$V1 - \quad \quad \quad 11$
 $V2 - \quad 10000110100$

 10000110100
 $\quad \quad \quad \uparrow 11101$
 $\quad \quad \quad 11101$
 1110111101

Для получения кода по основанию $p=-1+j$ необходимо сложить полученные коды действительной и мнимой частей по правилам сложения в данной системе счисления.

45

$V - 111010001000111$
 $X=A+V=111010010101010110$

Пример. № разрядов 543210..543210.
 $X=-110101+j100111$
 $A1=110100000001$
 $A2=10000$

С учетом знака (-) при действительной части X "а" $A=A2-A1=1000111001101$

50

$- A2 - \quad \quad \quad 10000$
 $A1 - \quad 110100000001$

 110100000001
 $\quad \quad \quad 11101 \quad 11101$
 $\quad \quad \quad 11101$
 $\quad \quad \quad 11101$

 1000100001101
 +
 $\quad \quad \quad 1100$

 $A=1000111001101$

55

В предлагаемом устройстве операция вычитания заменена операцией сложения. При этом код вычитаемого разбивается на триады, старшую триаду при необходимости дополняют нулями. Количество нулей может быть произвольным, но при этом суммарная разрядность кода вычитаемого должны быть кратной трем. Разряды вновь полученного кода вычитаемого инвертируются и к этому коду прибавляется код коррекций $N=...1110100101010110$

Пример. Пусть $X=000...000 \ 000 \ 001$

$\bar{X} = 111 \dots 111 \ 111 \ 110$
 $111 \dots 111 \ 111 \ 110$
 +
 $011 \dots 011 \ 011 \ 011$

 $000 \dots 000 \ 011 \ 101$

одновременно из всех разрядов сумматора, д) сначала в сумме учитывается 0100 составляющая переноса, затем 1000.

Пример 2.

```

      1011
      +
      1011
      -----
      0000
      +
      101100
      1011000
      -----
      1110100
      +
      100
      1000
      -----
      0010100
      1100
      +
      1100
      -----
      1010010100
      100
      +
      1000
      -----
      111010010100
  
```

Такой принцип предложен для того, чтобы исключить возможность возникновения переноса в переносе в i -м разряде, что соответственно усложняло бы схему сумматора.

На примере видно, что в данной системе счисления возможно аддитивное переполнение. Максимальное число разрядов, на которое может увеличиться разрядность суммы равно 8. Поэтому разрядность сумматоров равна $n+8$.

Максимальное время сложения на сумматоре (из временной диаграммы, фиг.4) равно

$$T = 4T_i(n+8) \approx 4T_i n,$$

где T_i - длительность импульса.

Максимальное время работы обычного двоичного сумматора, построенного по аналогичному принципу равно

$$T = 2T_i \cdot n$$

Оценим быстродействие предлагаемого устройства перевода целых комплексных чисел в единый двоичный код. Основное время затрачивается на выполнение операций сложения. Коды действительной и мнимой частей формируются параллельно.

$$t_{PA} = t_{PM} \approx 2T_{\Sigma 1},$$

где t_{PA} - время перевода действительной части;

t_{PM} - время перевода мнимой части;

$T_{\Sigma 1}$ - время суммирования на сумматоре в системе счисления с основанием $p = -1+j$.

Еще одна операция сложения необходима для получения единого двоичного кода комплексного числа. Тогда

$$t_{P2} \approx 3T_{\Sigma 1}, \quad (3)$$

где t_{P2} - время перевода.

Так как быстродействие двоичного сумматора в 2 раза больше быстродействия сумматора в системе счисления с основанием $p = -1+j$, то формула (3) будет выглядеть следующим образом

$$t_{P2} \approx 6 \cdot T_{\Sigma 1}, \quad (4)$$

где $T_{\Sigma 1}$ - длительность процедуры сложения на двоичном сумматоре.

Сравним выражение (2) и (4)

$$m = \frac{t_{P1}}{t_{P2}} = \frac{n \cdot T_{\Sigma 1}}{6 \cdot T_{\Sigma 1}} \approx \frac{n}{6} \text{ (раз)}. \quad (5)$$

При достаточно большом n выигрыш быстродействия очевиден.

Формула изобретения

1. Преобразователь целых комплексных чисел в двоичный код, содержащий регистры мнимой и действительной части, выходной регистр и распределитель импульсов, отличающийся тем, что, с целью повышения быстродействия, в него введены четыре регистра, четырнадцать групп элементов И, первая и вторая группы элементов ИЛИ, первый и второй сумматоры с основанием $p = -1+j$, причем прямые выходы i -х разрядов регистра действительной части ($i=4k, k=1-\lfloor \frac{n}{4} \rfloor$), где n - число разрядов входного кода, соединены с первыми входами $2i$ -х элементов И первой группы, прямые выходы $(i+1)$ -х разрядов регистра действительной части подключены к первым входам $2(i+1)$ -х и $2(i+1)+1$ -х элементов И первой группы, прямые выходы $(i+2)$ -х разрядов регистра действительной части соединены с первыми входами $(2i+4)$ -х элементов И второй группы, прямые выходы $(i+3)$ -х разрядов регистра действительной части соединены с входами $(2i+6)$ -х и $(2i+7)$ -х элементов И второй группы, прямые выходы i -х разрядов регистра мнимой части соединены с первыми входами $2i$ -х и $(2i+1)$ -х элементов И третьей группы, прямые выходы $(i+3)$ -х разрядов регистра мнимой части соединены с первыми входами $(2i+6)$ -х элементов И третьей группы, прямые выходы $(i+1)$ -х разрядов регистра мнимой части соединены с входами $(2i+2)$ -х элементов И четвертой группы, прямые выходы $(i+2)$ -х разрядов регистра мнимой части соединены с первыми входами $(2i+4)$ -х и $(2i+5)$ -х элементов И четвертой группы, первые входы остальных элементов И первой,

второй, третьей и четвертой групп соединены с входом логического нуля преобразователя, первый выход распределителя импульсов соединен с вторыми входами всех элементов И первой, второй, третьей и четвертой групп, выходы которых соединены с соответствующими входами первого, второго, третьего и четвертого регистров соответственно, прямые и инверсные выходы разрядов первого регистра соединены с первыми входами элементов И пятой и шестой групп соответственно, прямые и инверсные выходы разрядов второго регистра соединены с первыми входами элементов И седьмой и восьмой групп соответственно, прямые и инверсные выходы разрядов третьего регистра соединены с первыми входами элементов И девятой и десятой групп соответственно, прямые и инверсные выходы четвертого регистра соединены с первыми входами элементов И одиннадцатой и двенадцатой групп соответственно, вторые входы элементов И пятой, шестой, седьмой, восьмой, девятой, десятой, одиннадцатой и двенадцатой групп соединены соответственно с вторым, третьим, четвертым, пятым, шестым, седьмым, восьмым и девятым выходами распределителя импульсов, первый выход которого соединен с первыми входами \bar{E} -х $\left(\bar{E}=3m; m=1-\frac{n+8}{3}\right)$ и $(E+1)$ -х элементов ИЛИ первой и второй групп, первые входы остальных элементов ИЛИ первой и второй групп соединены с входом логического нуля преобразователя, вторые, третьи, четвертые и пятые входы элементов ИЛИ второй группы соединены соответственно с выходами элементов И девятой, десятой, одиннадцатой и двенадцатой групп, выходы элементов ИЛИ первой и второй групп соединены с счетными входами первого и второго сумматоров с основанием $(p=-1+j)$ соответственно, 5

выходы которых соединены соответственно с первыми входами элементов И тринадцатой и четырнадцатой групп, вторые входы которых соединены соответственно с десятым и одиннадцатым выходом распределителя импульсов, выходы элементов И тринадцатой группы соединены с входами выходного регистра, вторые, третьи, четвертые, пятые и шестые входы элементов ИЛИ первой группы соединены соответственно с выходами элементов И пятой, шестой, седьмой, восьмой и четырнадцатой групп.

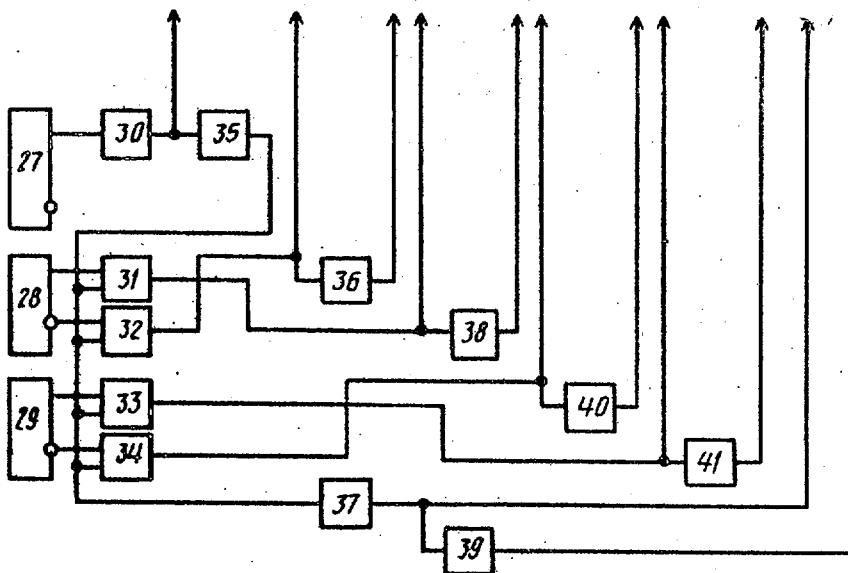
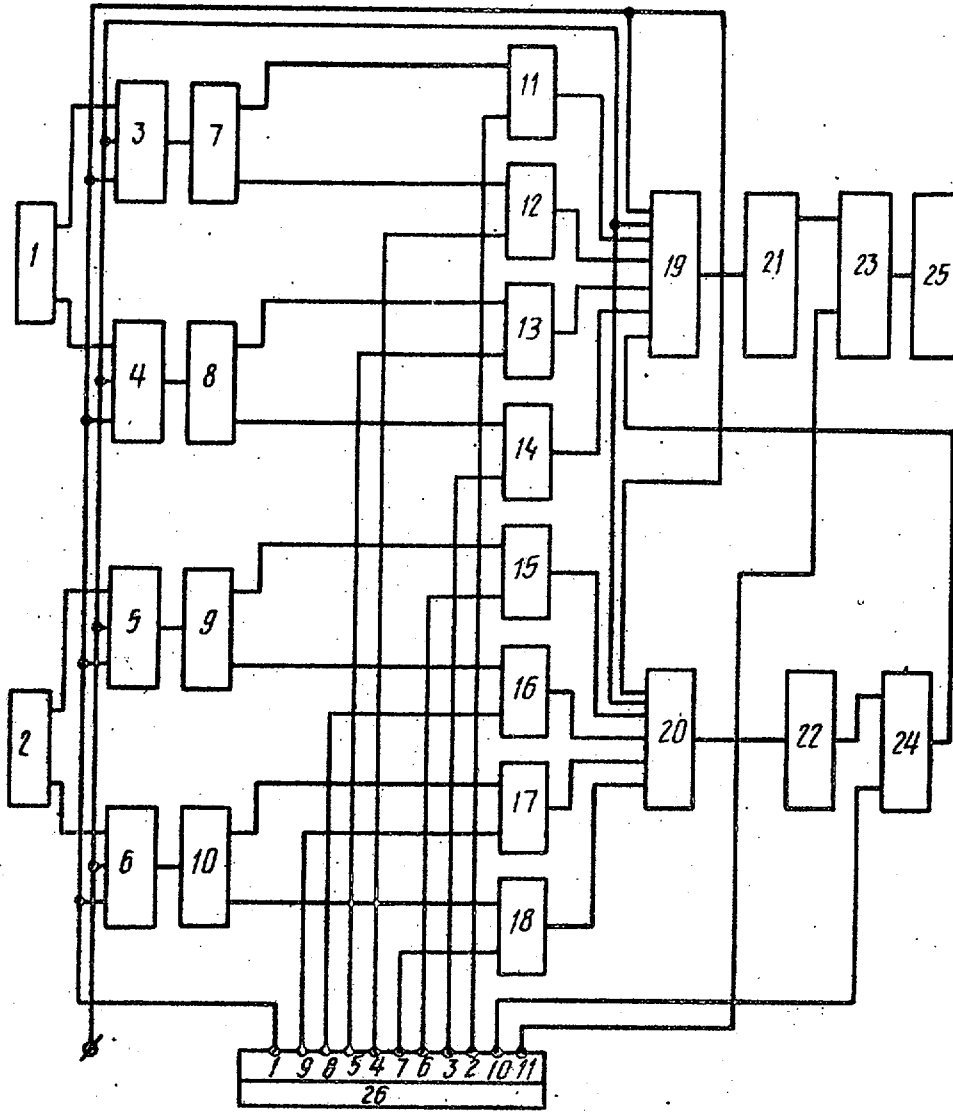
2. Преобразователь по п.1, отличающийся тем, что в нем сумматор с основанием $p=-1+j$ состоит из идентичных разрядов, каждый из которых содержит трехвходовой элемент ИЛИ; триггер, дифференцирующий элемент, формирователь импульсов и два последовательно соединенных элемента задержки, выходы которых являются первым и вторым выходами переноса разряда сумматора с основанием $p=-1+j$, информационный вход и первый и второй входы переноса которого соединены с первым, вторым и третьим входами элемента ИЛИ, выход которого соединен с счетным входом триггера, выход триггера является разрядным выходом сумматора с основанием $(-1+j)$ и соединен с входом дифференцирующего элемента, выход которого через формирователь импульсов соединен с входом первого элемента задержки.

Источники информации,

принятые во внимание при экспертизе

1. Хмельник С.И. Позиционное кодирование комплексных чисел. - "Вопросы радиоэлектроники". Сер. XII, вып. 9, 1966.

2. Акушкин И.Я., Амербаев В.М., Пак И.Т. Основы машинной арифметики комплексных чисел. Алма-Ата, "Наука" 1970, с.87-103 (прототип).



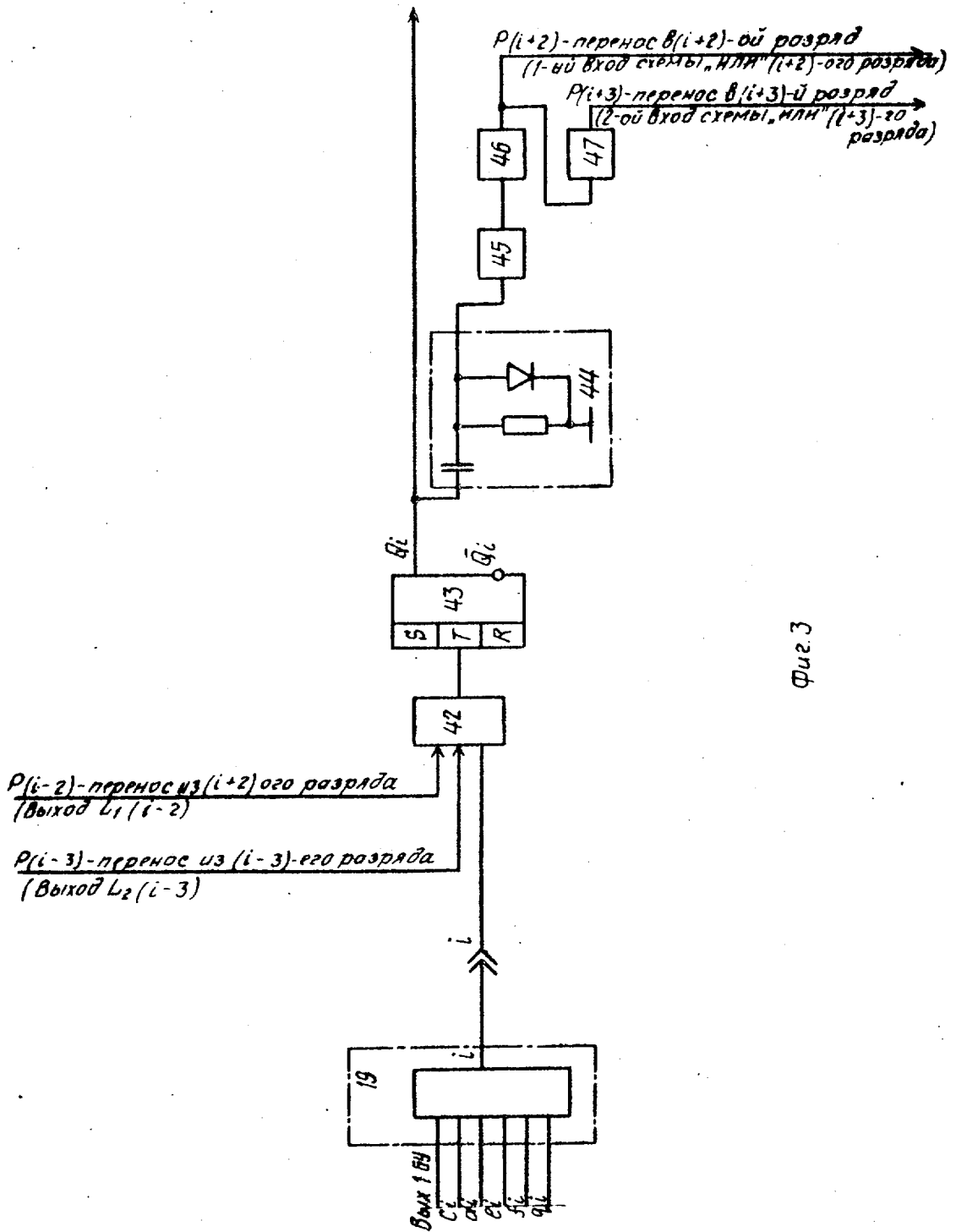


Fig. 3

Составитель М. Аршавский
 Редактор Ю. Середя Техред С. Мигунова Корректор А. Гриценко

Заказ 7513/68 Тираж 731 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4