



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 06.03.81 (21) 3256760/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.10.82. Бюллетень № 37

Дата опубликования описания 07.10.82

(11) 964736

(51) М. Кл.³

G 11 C 29/00

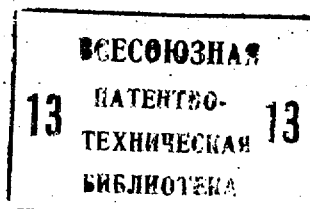
(53) УДК 681.327
(088.8)

(72) Автор
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ИСПРАВЛЕНИЕМ
ОШИБОК

Изобретение относится к запоминающим устройствам и может быть использовано при создании систем памяти на базе интегральных микросхем памяти (ИМП) со словарной организацией.

Известно запоминающее устройство с исправлением ошибок, в котором для автоматического исправления ошибок, возникающих из-за отказов ИМП, подлежащие хранению данные кодируются с помощью кодов, исправляющих ошибки. Устройство содержит избыточные разряды кодирующие и декодирующие блоки [1].

Однако в этом устройстве число избыточных разрядов, необходимых для исправления ошибок в слове, велико и высока сложность кодирующих и декодирующих блоков.

Наиболее близким по технической сущности к предлагаемому изобретению является запоминающее устройство, содержащее накопитель, первые входы которого соединены с выходами адресного блока, вторые входы накопителя соединены с выходами блока записи, первые, вторые, третьи и четвертый входы блока записи соединены соответственно с шинами записи информации и входами блока кодирования, с выходами блока

кодирования, с инверсными выходами первого регистра и с выходами элемента ИЛИ, входы первого регистра соединены с выходами накопителя, входами блока вычисления синдрома и первыми входами блока сравнения, вторые входы блока сравнения соединены с прямыми выходами первого регистра и с первыми входами корректирующих сумматоров по модулю два, выходы блока вычисления синдрома соединены с входами регистра, выходами соединенного с входами элемента ИЛИ. Устройство позволяет производить коррекцию отказавших разрядов при использовании помехоустойчивого кода [2].

Однако известное устройство требует большое число дополнительных разрядов элементов памяти при коррекции четырех или восьми отказов в слове, а также требует сложных кодирующих и декодирующих схем.

Целью изобретения является повышение надежности устройства.

Поставленная цель достигается тем, что в запоминающее устройство с исправлением ошибок, содержащее адресный блок, накопитель, блок записи, первый и второй регистры числа, блок кодирования, схему сравнения, форми-

рователь проверочных сигналов, сумматоры по модулю два и элемент ИЛИ, причем входы накопителя подключены к выходам адресного блока и блока записи, одни из входов которого и входы блока кодирования объединены и являются одними из входов устройства, а другие входы блока записи соединены соответственно с выходами блока кодирования и элементов ИЛИ и инверсными выходами первого регистра числа, прямые выходы которого подключены к одним из входов схемы сравнения и к первым входам сумматоров по модулю два, выходы накопителя соединены с входами первого регистра числа, другими входами схемы сравнения и входами формирователя проверочных сигналов, выходы которого подключены к входам второго регистра числа, выходы которого соединены с входами элемента ИЛИ, введены элементы И и элементы И-НЕ, входы которых подключены к выходам схемы сравнения, а выходы соединены с первыми входами элементов И, вторые входы которых подключены к выходам второго регистра числа, третьи входы - к выходу элемента ИЛИ, а выходы элементов И соединены с вторыми входами сумматоров по модулю два.

На чертеже изображена структурная схема запоминающего устройства.

Запоминающее устройство содержит адресный блок 1, соединенный адресными шинами 2 с первыми входами накопителя 3. Вторые входы накопителя соединены с выходами 4 блока 5 записи. Входы блока 5 записи соединены соответственно с шинами 6 записи и входами блока 7 кодирования, с инверсными выходами 9 первого регистра 10, числа с выходом 11 элемента ИЛИ 12 и входами элементов И 13. Входы регистра 10 соединены с выходами накопителя 14, входами формирователя 15 проверочных сигналов и одними из входов схемы 16 сравнения. Другие входы схемы 16 сравнения соединены с прямыми выходами 17 регистра 10 и с первыми входами корректирующих сумматоров 18 по модулю два. Выходы формирователя 15 соединены с выходами 19 второго регистра 20 числа, выходами соединенного с входами 21 элемента ИЛИ 12 и одними из входов элементов И 13. Другие входы элементов И 13 соединены с выходами 22 элементов И-НЕ 23. Входы элементов И-НЕ соединены с выходами 24 схемы 16 сравнения. Выходы элементов И 13 соединены с вторыми входами 25 сумматоров 18 по модулю два. Выходы 26 сумматоров 18 являются выходами устройства.

Блоки 7 кодирования и формирователя 15 состоят из сумматоров по модулю два.

Блок 5 записи разрешает запись информации в накопитель 3 или с шин записи 6 или с инверсных выходов 9 регистра 10 и может быть реализован на элементах 2-2И-2ИЛИ.

В режиме записи информации устройство работает следующим образом.

Двоичное кодовое слово A длины $k + b$, первые $k = bn$ разрядов которого являются информационными, а последние b разрядов контрольными, помещается в накопитель 3 по адресу, поступающему из адресного блока 1. В блоке 7 кодирования происходит вычисление контрольных символов путем суммирования по модулю два блоков по b разрядов в каждом.

Пример 1. Пусть $k = 16$,

$b = 4$, тогда $n = \frac{16}{4} = 4$, т.е. при построении накопителя с длиной слова в 16 разрядов используется четыре ИМП с четырьмя шинами записи-считывания каждая и пусть в накопитель записывается информация 1 0 0 0 1 1 0 0 0 0 1 0 1 1 1 1.

Тогда в контрольные разряды записывается информация 1 0 0 1, т.е. в накопитель заносится слово 1 0 0 0 1 1 0 0 0 0 1 0 1 1 1 1 1 0 0 1.

В режиме считывания информации выходные данные подаются на формирователь 15 и одновременно записываются в регистр 10. Формирователем 15 вырабатывается признак (синдром), записываемый во второй регистр 20, который равен нулю, если ошибок нет, и не равен нулю в противном случае.

Если в считываемом слове ошибок нет, то на выходе элемента ИЛИ 12 будет нулевой сигнал, который устанавливает на выходах 25 элементов И 13 нулевые сигналы. Тогда на выходе 26 устройства поступят сигналы с прямых выходов 17 первого регистра 10 без изменения.

Если же в считываемом слове имеются ошибки в разрядах из-за отказа любой одной ИМП, то на выходе элемента ИЛИ 12 появится единичный сигнал, который разрешит повторную запись инвертированной считанной информации с выходов 9 первого регистра 10 в накопитель 3. После этого производится контрольное считывание хранимой инвертированной информации по тому же адресу и сравнение ее в схеме сравнения 16 с хранимой неинвертированной информацией в регистре 10. Запись считанной инвертированной информации в регистр 10 и вычисленного формирователем 15 синдрома в регистр 20 не происходит, т.е. в регистрах 10 и 20 хранится информация, относящаяся к неинвертированному слову. Тогда как минимум на одном из выходов 24 схемы 16 сравнения появится нулевой сигнал,

если искаженным является один из $k = bp$ информационных разрядов. В этом случае на одном из выходов 22 одного из p элементов И-НЕ 23 появится единичный сигнал, который откроет один из элементов И 13, относящиеся к искаженному блоку информации. Поскольку элементы И 13 открыты единичным сигналом с выхода элемента ИЛИ 12, то на выходе одних из элементов И 13 появятся сигналы, отображающие ненулевой синдром неинвертированного слова. При сложении на сумматорах 18 по модулю два этого синдрома с информацией, относящейся к этому блоку, происходит коррекция считываемой информации из искаженного блока (отказавшей ИМП).

Если же искаженными являются контрольные разряды, то на выходах 24 схемы 16 сравнения будут единичные сигналы, а на выходах 22 элементов И-НЕ 23 - нулевые сигналы. Тем самым элементы И 13 будут закрыты и информация, считываемая с регистра 10, поступит на выходы 26 устройства без изменения.

Пример 2. Пусть в примере 1 информация искажена в первом блоке из-за отказа этой ИМП, т.е. в регистр 10 с выхода накопителя 3 записаны число 1 1 1 1 1 1 0 0 0 1 0 1 1 1 1 1 0 0 1. В регистр 20 запишется вычисленный формирователь 15 синдром 0 1 1 1.

При записи в накопитель 3 инвертированного слова 0 0 0 0 0 0 1 1 1 1 0 1 0 0 0 0 0 1 1 0 с выходов 14 при контрольном считывании на схему 16 сравнения поступит слово 1 1 1 1 0 0 1 1 1 1 0 1 0 0 0 0 0 1 1 0. Информация в первом блоке совпадает в схеме 16 сравнения с информацией, считываемой с регистра 10, так как элементы памяти в данной ИМП находятся постоянно в единичном состоянии. Тем самым на выходе одного из элементов И-НЕ 23 появится единичный сигнал, который откроет один из элементов И 13. Тогда на сумматорах 18 произойдет суммирование синдрома из регистра 20 и информации из искаженного блока, т.е. $0 1 1 1 + 1 1 1 1 = 1 0 0 0$, что соответствует исходной подлежащей хранению информации в этом блоке.

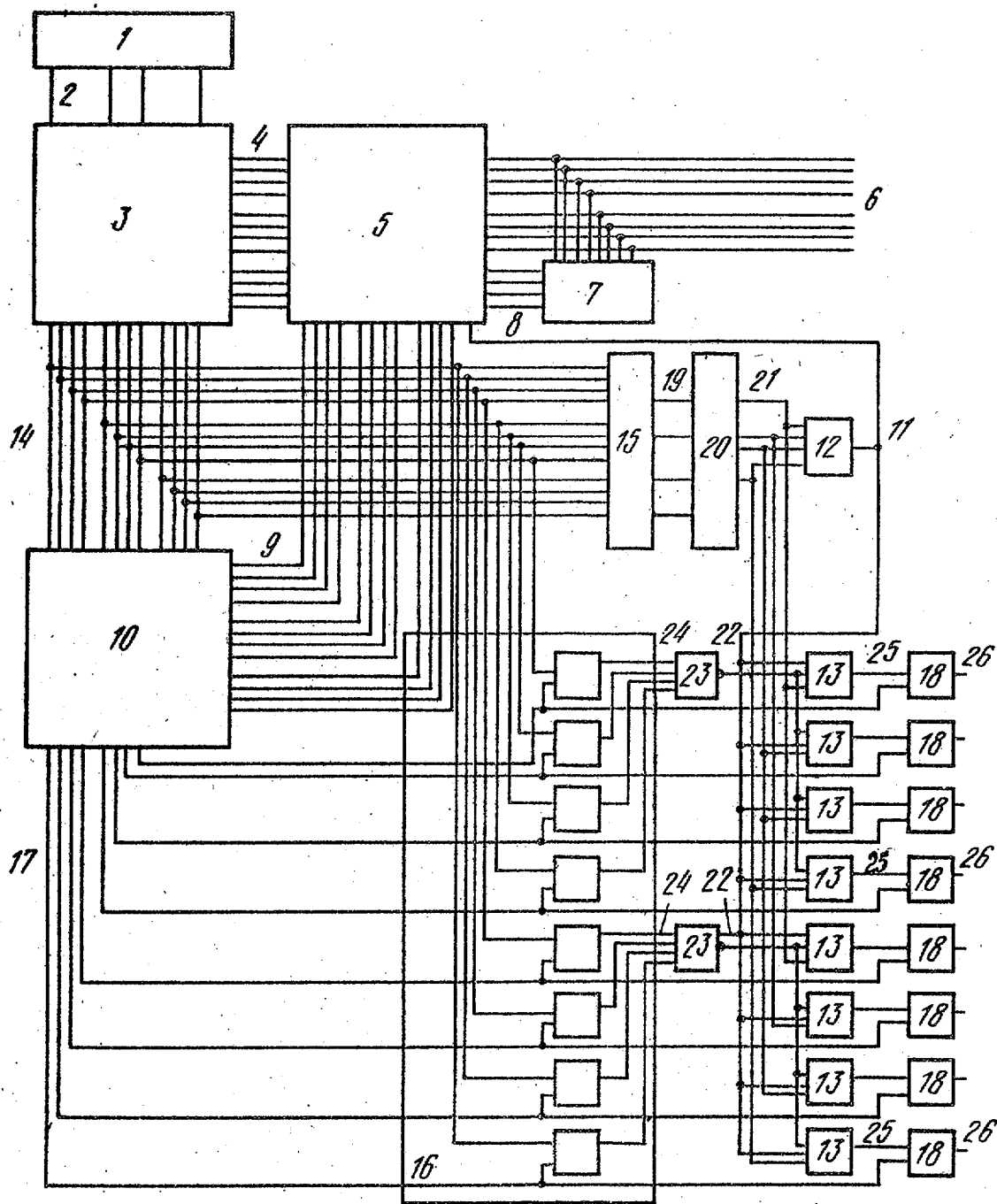
Таким образом, предлагаемое устройство выполняет те же функции, что и известное, но более эффективно с точки зрения числа дополнительных вводимых контрольных разрядов и сложности кодирующих и декодирующих схем.

Формула изобретения

10 Запоминающее устройство с исправлением ошибок, содержащее адресный блок, накопитель, блок записи, первый и второй регистры числа, блок кодирования, схему сравнения, формирователь 15 проверочных сигналов, сумматоры по модулю два и элемент ИЛИ, причем входы накопителя подключены к выходам адресного блока и блока записи, одни из входов которого и входы блока кодирования объединены и являются одними из входов устройства, а другие входы блока записи соединены соответственно с выходами блока кодирования и элемента ИЛИ и инверсными выходами 25 первого регистра числа, прямые выходы которого подключены к одним из входов схемы сравнения и к первым входам сумматоров по модулю два, выходы накопителя соединены с входами первого регистра числа, другими входами 30 схемы сравнения и входами формирователя проверочных сигналов, выходы которого подключены к входам второго регистра числа, выходы которого соединены с входами элемента ИЛИ, отличающиеся тем, что, с целью повышения надежности устройства, оно содержит элементы И и элементы И-НЕ, входы которых подключены к выходам 40 схемы сравнения, а выходы соединены с первыми входами элементов И, вторые входы которых подключены к выходам второго регистра числа, третьи входы - к выходу элемента ИЛИ, а выходы элементов И соединены с вторыми входами сумматоров по модулю два.

Источники информации,

принятые во внимание при экспертизе
1. Вычислительная техника. Экспресс-пресс-информация, 1978, № 36, с.5-11.
2. Самофалов К. Г., Корнейчук В.И., Городний А. В. Структурно-логические методы повышения надежности запоминающих устройств. М., "Машиностроение", 1976, с. 101-106 (прототип).
55



Составитель В. Рудаков
 Редактор Л. Филиппова Техред Т. Маточка Корректор В. Бутяга

Заказ 7641/34 Тираж 622 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4