



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 972590

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 13.04.81 (21) 3271168/18-24

[51] М. Кл.³

с присоединением заявки №

G 11 с 11/00

(23) Приоритет -

Опубликовано 07.11.82. Бюллетень № 41

[53] УДК 681.327

Дата опубликования описания 07.11.82

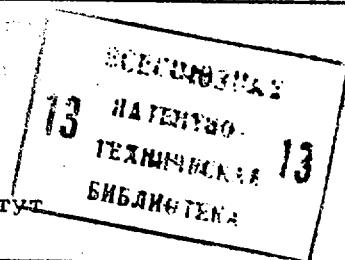
(088.8)

(72) Авторы
изобретения

В. К. Конопелько

(71) Заявитель

Минский радиотехнический институт



(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО

Изобретение относится к запоминающим устройствам и может быть использовано при создании систем памяти на базе интегральных запоминающих устройств.

Известно устройство, содержащее накопитель, схемы логики обрамления и коррекции, в котором при неразрушающем считывании информации необходимо повторно инвертировать слово и произвести его запись в накопитель [1].

Недостатком этого устройства является низкое быстродействие.

Наиболее близким техническим решением к изобретению является запоминающее устройство, содержащее накопитель, одни входы которого соединены с выходами адресного блока, выходы накопителя соединены с входами регистра кодового слова, входами блока коррекции информации и первыми входами сумматоров по модулю два, вторыми входами соединенных с первыми выходами блока коррекции информации, вторые выходы которого соединены с входами блока определения допустимого числа ошибок, выходом соединенного с входом триггера, одни выходы сумматоров по модулю два соединены с первыми входами выходного регистра, вторым

входом соединенного с соответствующим выходом сумматора по модулю два, входной регистр, первые входы которого соединены с шинами записи информации, шиной записи нуля и входами блока кодирования, вторые входы входного регистра соединены с выходами блока кодирования [2].

Недостатком этого устройства является то, что в нем в режиме записи производится контрольное считывание независимо от наличия и допустимого числа ошибок, что снижает его быстродействие.

Целью изобретения является повышение быстродействия устройства.

Поставленная цель достигается тем, что в запоминающее устройство, содержащее накопитель, одни из входов которого соединены с выходами адресного блока, а выходы подключены ко входам буферного регистра, входам блока коррекции информации и первым входам сумматоров по модулю два, блок кодирования информации, счетчик ошибок, триггер, входной и выходной регистры, причем вторые входы сумматоров по модулю два соединены с одними из выходов блока коррекции информа-

ции, другие выходы которого подклю-
чены ко входам счетчика ошибок, выход
которого соединен с входом триггера,
информационные входы выходного ре-
гистра подключены к выходам первого,
второго и третьего сумматоров по мо-
дулю два, а управляющий вход выход-
ного регистра соединен с выходом чет-
вертого сумматора по модулю два,
одни из входов и выходы блока коди-
рования информации подключены к од-
ним из выходов и входов входного
регистра, другие входы которого
соединены с другими входами блока ко-
дирования информации и являются вхо-
дами устройства, введен мультиплек-
сор, одни из входов которого подклю-
чены соответственно к инверсным выхо-
дам буферного регистра и к выходу
триггера, а другие входы - к другим
выходам входного регистра, выходы
мультиплексора соединены с другими
входами накопителя.

На чертеже представлена функцио-
нальная схема предложенного устрой-
ства.

Устройство содержит накопитель 1
со входами 2, адресный блок 3, вхо-
ды 4, мультиплексор 5 со входами
6-8, входной регистр 9, буферный
регистр 10, триггер 11, входы 12 и
вход 13, предназначенные соответ-
ственно для записи информации и ну-
левого сигнала, блок 14 кодирова-
ния с выходами 15, блок 16 коррек-
ции информации со входами 17, пер-
вый 18.1, второй 18.2, третий 18.3
и четвертый 18.4 сумматоры по моду-
лю два, выходы 19 и 20 блока кор-
рекции информации, счетчик 21 оши-
бок с выходом 22, выходной регистр
23 с информационными 24 и управляю-
щим 25 входами и выходами 26.

Устройство работает следующим
образом.

В режиме записи информации устрой-
ство работает обычным образом. Дан-
ные, поступающие по входам 12, до-
полненные нулевым символом на вхо-
де 13, поступают на входы регистра 9
и блока 14. Блок 14 вычисляет зна-
чения проверочных разрядов, которые
одновременно с информацией, посту-
пающей по входам 12 и 13, помещают-
ся в регистр 9 и далее в накопитель 1
по адресу, вычисленному блоком 3. При
этом на выходе 7 триггера 11 - нуле-
вой сигнал.

В режиме считывания информации
из ячейки накопителя 1 перезаписыва-
ется в регистр 10 и одновременно по-
ступает в блок 16. При этом возмож-
ны следующие случаи: в слове нет
ошибок, имеется допустимое число оши-
бок или больше допустимого числа.
Если в слове нет ошибок, т.е. вычис-
ленный блоком 16 и поступающий на вы-
ходы 20 код равен нулю ($S=0$), в

этом случае в триггер 11 запишется
нулевой сигнал и на выходах 19 бло-
ка 16 также будут нулевые сигналы.
Считываемое слово через сумматоры
18.1-18.4 и регистр 23 поступает
без изменения на выходы 26 устройст-
ва.

Если в слове имеется допустимое
число ошибок, тогда на выходах 20
код не равен нулю, но на выходе 22
блока 21 вновь нулевой сигнал, кото-
рый запишется в триггер 11. На выхо-
дах 19 блока 16 появится сигнал, кото-
рый исправит на сумматорах 18 ошибоч-
но считываемую информацию на правиль-
ную. При этом на выходе 25 четвертого
сумматора 18.4 будет нулевой сигнал
и слово без изменения поступит на
выходы 26 устройства.

Если в считываемом слове ошибок
больше, чем их допустимое, но обна-
руживаемое кодом число, тогда на вы-
ходах 20 код не равен нулю и на вы-
ходе 22 блока 21 появится единичный
сигнал, который запишется в триггер
11 и разрешит повторную запись в на-
копитель 1 инвертированного кодового
слова из регистра 10. При повторном
считывании инверсного слова блок 16
вычислит значение кода S на выхо-
дах 20. Если при этом $S \neq 0$ и на вы-
ходе 22 блока 21 будет вновь единич-
ный сигнал, то это означает, что
произошла некорректируемая ошибка.
Если же $S \neq 0$ и на выходе 22 блока 21
будет нулевой сигнал, то считыва-
емое инверсное слово корректируется
сигналами с выходов 19 блока 16. При
этом на выходе 25 сумматора 18.4
появится единичный сигнал. Этот сиг-
нал произведет инвертирование счи-
тываемого слова в регистре 23 и тем
самым слово поступит на выходы 26
устройства правильным. На этом цикл
считывания окончен. При повторном
обращении к данному слову через ка-
кой-то промежуток времени при считы-
вании по значению сигнала на выхо-
де 25 сумматора 18.4 можно опреде-
лить, каким хранится слово: инверти-
рованным или нет. (Для того, чтобы
инверсное слово также было кодовым,
необходимо, чтобы используемый
код содержал слово, состоящее из од-
них единиц или в порождающей матри-
це кода в приведенно-ступенчатом ви-
де все столбцы имели нечетное число
единиц).

Поясним сказанное примером с ис-
пользованием удлиненного кода Хем-
минга с кодовым расстоянием d , рав-
ным четырем, и проверочной матри-
цей H :

$$H = \begin{pmatrix} 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 1 \end{pmatrix}$$

Применение данного кода в устройстве позволяет исправить один отказ, один сбой элементов памяти или два отказа элементов памяти. При появлении одной ошибки $S \neq 0$ и имеет нечетный вес, при появлении двойной ошибки $S \neq 0$ и имеет четный вес, что определяется блоком 21, который выдает на выход 22 в первом случае нулевой сигнал, во втором случае — единичный. При этом в считываемом слове либо нет ошибок, либо есть одна ошибка, либо появилось две ошибки.

Рассмотрим случай, когда появилось две ошибки.

Пусть они вызваны отказами элементов памяти. Тогда в триггер 11 запишется единичный сигнал и инверсное слово с регистра 10 запишется повторно в накопитель 1. При повторном считывании код инверсного слова равен нулю ($S \neq 0$), так как несогласованная с состоянием отказавших элементов памяти информация стала согласованной. Однако на выходе 25 сумматора 18.4 появится единичный сигнал, который произведет инвертирование инверсного считываемого слова в регистре 23, и исправленное слово поступит правильным на выходе 26 устройства.

Пусть ошибки вызваны одним отказом и одним сбоем элементов памяти. В этом случае в триггер 11 запишется единичный сигнал и инверсное слово с выходов 6 регистра 10 запишется в накопитель 1. При повторном считывании код инверсного слова не равен нулю ($S \neq 0$), но на выходе блока 21 будет нулевой сигнал, обозначающий наличие одной ошибки в слове, так как несогласованная с состоянием отказавшего элемента памяти информация стала согласованной, а инвертирование разряда с ошибкой из-за сбоя элемента памяти, не позволило сделать информацию согласованной, поскольку элемент памяти исправен. Тогда на сумматорах 18.1-18.4 произойдет исправление ошибки из-за сбоя элемента памяти сигналами с выходов 19 блока 16. При этом на выходе 25 сумматора 18.4 будет единичный сигнал, который проинвертирует инверсное считываемое слово в регистре 23. С выходов 26 регистра 23 будет считываться исправленное слово.

Таким образом, в случаях, когда ошибок нет или число ошибок меньше или равно их допустимому числу, не производится контрольного считывания

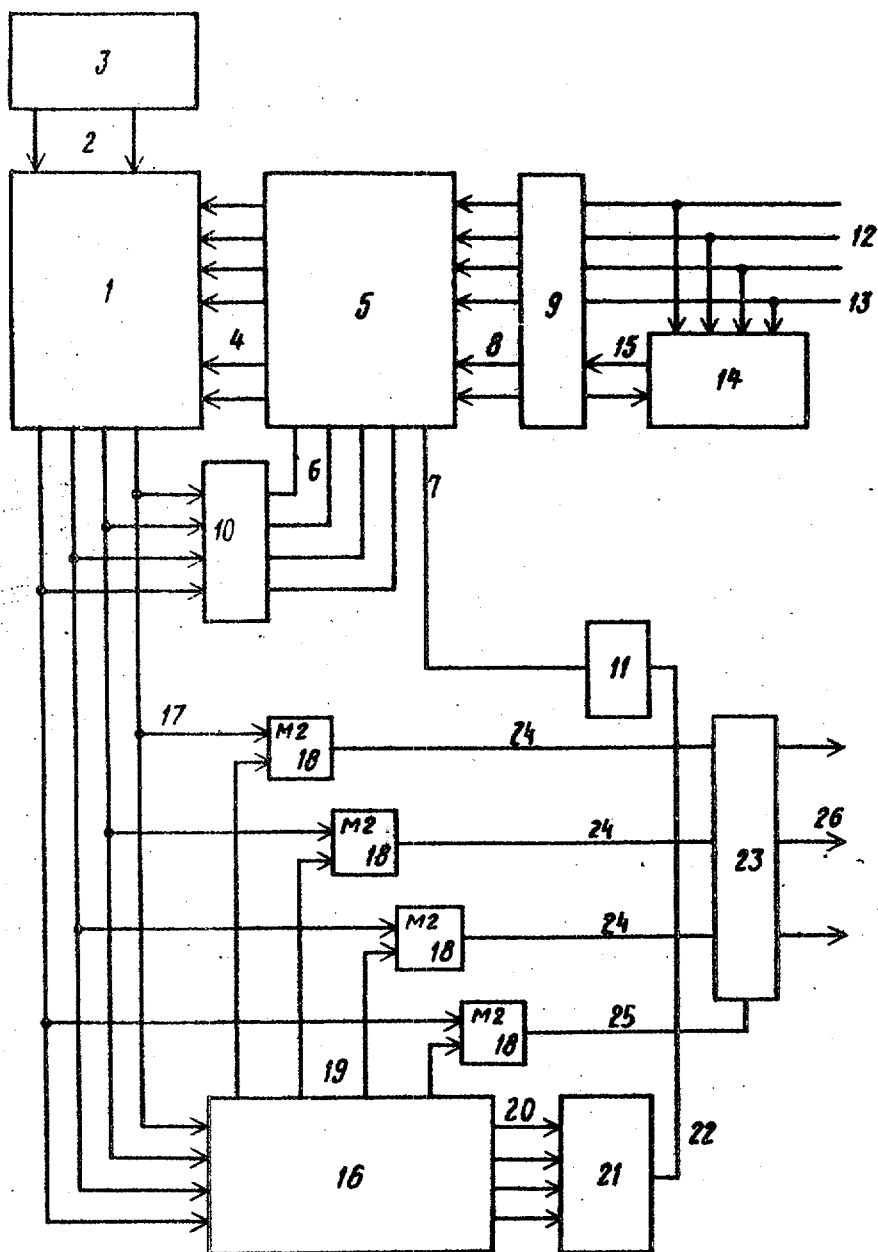
в режиме записи, как в известном устройстве, а слово поступает на выход скорректированным и время записи — считывания информации из устройства уменьшено на один цикл контрольного считывания информации.

Технико-экономический эффект предложенного устройства заключается в его более высоком быстродействии по сравнению с известным.

Формула изобретения

15 Запоминающее устройство, содержащее накопитель, один из входов которого соединены с выходами адресного блока, а выходы подключены к входам буферного регистра, входам блока коррекции информации и первым входам сумматоров по модулю два, блок кодирования информации, счетчик ошибок, триггер, входной и выходной регистры, причем вторые входы сумматоров по модулю два соединены с одними из выходов блока коррекции информации, другие выходы которого подключены к входам счетчика ошибок, выход которого соединен с входом триггера, информационные выходы выходного регистра подключены к выходам первого, второго и третьего сумматоров по модулю два, а управляющий вход выходного регистра соединен с выходом четвертого сумматора по модулю два, один из входов и выходы блока кодирования информации подключены к одним из выходов и входов входного регистра, другие входы которого соединены с другими входами блока кодирования информации и являются входами устройства, отличающиеся тем, что, с целью повышения быстродействия устройства, в него введен мультиплексор, один из входов которого подключены соответственно к инверсным выходам буферного регистра и к выходу триггера, а другие входы — к другим выходам входного регистра, выходы мультиплексора соединены с другими входами накопителя.

50 Источники информации, принятые во внимание при экспертизе
1. Самофалов К.Г., Корнейчук В.И., Городний А.В. Структурно-логические методы повышения надежности запоминающих устройств. М., "Машиностроение", 1976, с.51-63.
55 2. Авторское свидетельство СССР по заявке № 2926461/18-24, кл. G 11 С 11/00, 03.03.81 (прототип).



Составитель Т.Зайцева

Редактор Н.Гунько

Техред А.Ач

Корректор М.Демчик

Заказ 8526/45

Тираж 622

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПП "Патент", г. Ужгород, ул. Проектная, 4