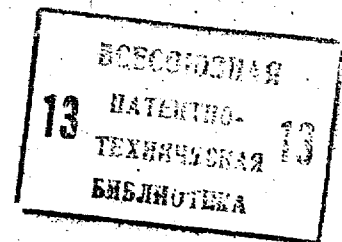




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3370846/18-24  
(22) 29.12.81  
(46) 07.04.83. Бюл. № 13  
(72) В.К. Конопелько, В.В. Лосев,  
П.П. Урбанович и Е.А. Верниковский  
(71) Минский радиотехнический инсти-  
тут  
(53) 681.327(088.8)  
(56) 1. Микроэлектроника. Сб. статей  
под ред. Лукина Ф.А., вып. 5, М.,  
"Советское радио", 1972, с.128-150.  
2. Авторское свидетельство СССР  
№ 598118, кл. G 11 C 11/00,  
G 11 C 29/00, 1978 (прототип).

(54) (57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО,  
содержащее накопитель, числовые ши-  
ны которого соединены с выходами  
дешифратора адреса строк, входы ко-  
торого подключены к выходам регистра  
адреса строк, входы которого соеди-  
нены с одними из выходов коммутато-  
ра, другие выходы которого соединены  
с входами регистра адреса столбцов,  
выходы которого подключены к входам  
дешифратора адреса столбцов, выходы  
которого соединены с входами элемен-  
тов ИЛИ, первыми входами элементов  
И и управляющими входами блока счи-  
тывания, выход которого соединен с  
первым входом первого сумматора по  
модулю два, второй вход которого  
подключен к выходу первого блока

коррекции, одни из входов которого  
соединены с выходами элементов ИЛИ  
и одними из входов второго блока  
коррекции, другие входы которого под-  
ключены соответственно к выходу  
первого сумматора по модулю два, к  
вторым, к третьим и к четвертым вхо-  
дам элементов И, выходы которых сое-  
динены с одними из разрядных шин  
накопителя, выходы второго блока  
коррекции подключены к другим разряд-  
ным шинам накопителя, выходы которо-  
го соединены с информационными вхо-  
дами блока считывания и входами бло-  
ка контроля, вторые, третьи и четвер-  
тые входы элементов И являются соот-  
ветственно входом разрешения записи,  
входом записи и управляющим входом  
устройства, а выход первого суммато-  
ра по модулю два является выходом  
устройства, отличающееся  
тем, что, с целью повышения быстро-  
действия устройства, в него введены  
группа триггеров и первый триггер,  
выход которого соединен с управляющи-  
ми входами триггеров группы, информа-  
ционные входы которых подключены к  
выходам блока контроля, а выходы -  
к другим входам первого блока коррек-  
ции, управляющий и установочные  
входы триггера соединены соответ-  
ственно с вторыми и с четвертыми входа-  
ми элементов И.

Изобретение относится к вычислительной технике, в частности к запоминающим устройствам, и может быть использовано при изготовлении больших интегральных схем запоминающих устройств.

Известно запоминающее устройство, содержащее накопитель, дешифраторы строк и столбцов, блок считывания, элемент И, шины записи, разрешения записи и управления [1].

Недостатком этого устройства является низкая надежность.

Из известных устройств наиболее близким техническим решением к предлагаемому является запоминающее устройство, содержащее накопитель, числовыми шинами соединенный с выходами дешифратора строк, входы которого соединены с выходами регистра адреса строки, входами соединенного с первыми выходами регистра адреса строки, входами соединенного с первыми выходами коммутирующего блока, вторые выходы коммутирующего блока соединены с регистром адреса столбца, выход которого соединен с дешифратором столбцов, выходные шины накопителя соединены с входами блоков считывания и контроля, выход блока считывания подключен к второму входу сумматора по модулю два, первым входом соединенного с выходом первого блока коррекции, вторые входы первого блока коррекции соединены с выходами блока кодирования и первыми входами второго блока коррекции, выходы которого соединены с другими разрядными шинами накопителя, вторые входы второго блока коррекции соединены с шинами записи, разрешения записи и управления, а третий вход его — с выходом сумматора по модулю два, входы блока кодирования соединены с выходами дешифратора столбцов, управляющими входами блока считывания и с элементами И, связанными с шинами записи, разрешения записи, управления и одними из разрядных шин накопителя [2].

Недостатком этого устройства является низкое быстродействие, так как в нем не эффективно используется время между вводом адреса строки и адреса столбца, поскольку для занесения в триггер хранения информации состояния опрашиваемого элемента памяти необходимо ждать прихода адреса столбца.

Цель изобретения — повышение быстродействия запоминающего устройства.

Поставленная цель достигается тем, что в запоминающее устройство, содержащее накопитель, числовые шины которого соединены с выходами дешифратора адреса строк, входы которого подключены к выходам регистра адре-

са строк, входы которого соединены с одними из выходов коммутатора, другие выходы которого соединены с входами регистра адреса столбцов, выходы которого подключены ко входам дешифратора адреса столбцов, выходы которого соединены с входами элементов ИЛИ, первыми входами элементов И и управляющими входами блока считывания, выход которого соединен с первым входом первого сумматора по модулю два, второй вход которого подключен к выходу первого блока коррекции, одни из входов которого соединены с выходами элементов ИЛИ и одними из входов второго блока коррекции, другие входы которого подключены соответственно к выходу первого сумматора по модулю два, к вторым, к третьим и к четвертым входам элементов И, выходы которых соединены с одними из разрядных шин накопителя, выходы второго блока коррекции подключены к другим разрядным шинам накопителя, выходы которого соединены с информационными входами блока считывания и входами блока контроля, вторые, третьи и четвертые входы элементов И являются соответственно входом разрешения записи, входом записи и управляющим входом устройства, а выход первого сумматора по модулю два является выходом устройства, введены группа триггеров и первый триггер, выход которого соединен с управляющими входами триггеров группы, информационные входы которых подключены к выходам блока контроля, а выходы — к другим входам первого блока коррекции, управляющий и установочные входы триггера соединены соответственно с вторыми и с четвертыми входами элементов И.

На чертеже представлена функциональная схема предлагаемого устройства.

Устройство содержит накопитель 1 с числовыми шинами 2, дешифратор 3 адреса строк, регистр 4 адреса строк, коммутатор 5, регистр 6 адреса столбцов, дешифратор 7 адреса столбцов, выходы 8 накопителя, блок 9 считывания, блок 10 контроля, первый сумматор 11 по модулю два, группа триггеров 12 с управляющими входами 13, триггер 14, первый блок 15 коррекции, состоящий из сумматоров 16 по модулю два и первого элемента И 17. На чертеже обозначены также управляющие входы 18 блока считывания. Устройство содержит также элементы ИЛИ 19, предназначенные для кодирования про- верочных сигналов для столбцов накопителя, элементы И 20, вход 21 разрешения записи, вход 22 записи и управляющий вход 23 устройства, одну из разрядных шин 24 накопителя, второй блок 25 коррекции, содержащий группу

элементов И 26, первый 27 и второй 28 сумматоры по модулю два, второй элемент И 29, элемент НЕ 30, второй 31 и третий 32 триггеры и третий сумматор 33 по модулю два, выход 34 устройства, другие разрядные шины 35, запоминающие элементы 36 накопителя и сумматоры 37 по модулю два блока контроля.

Устройство работает следующим образом.

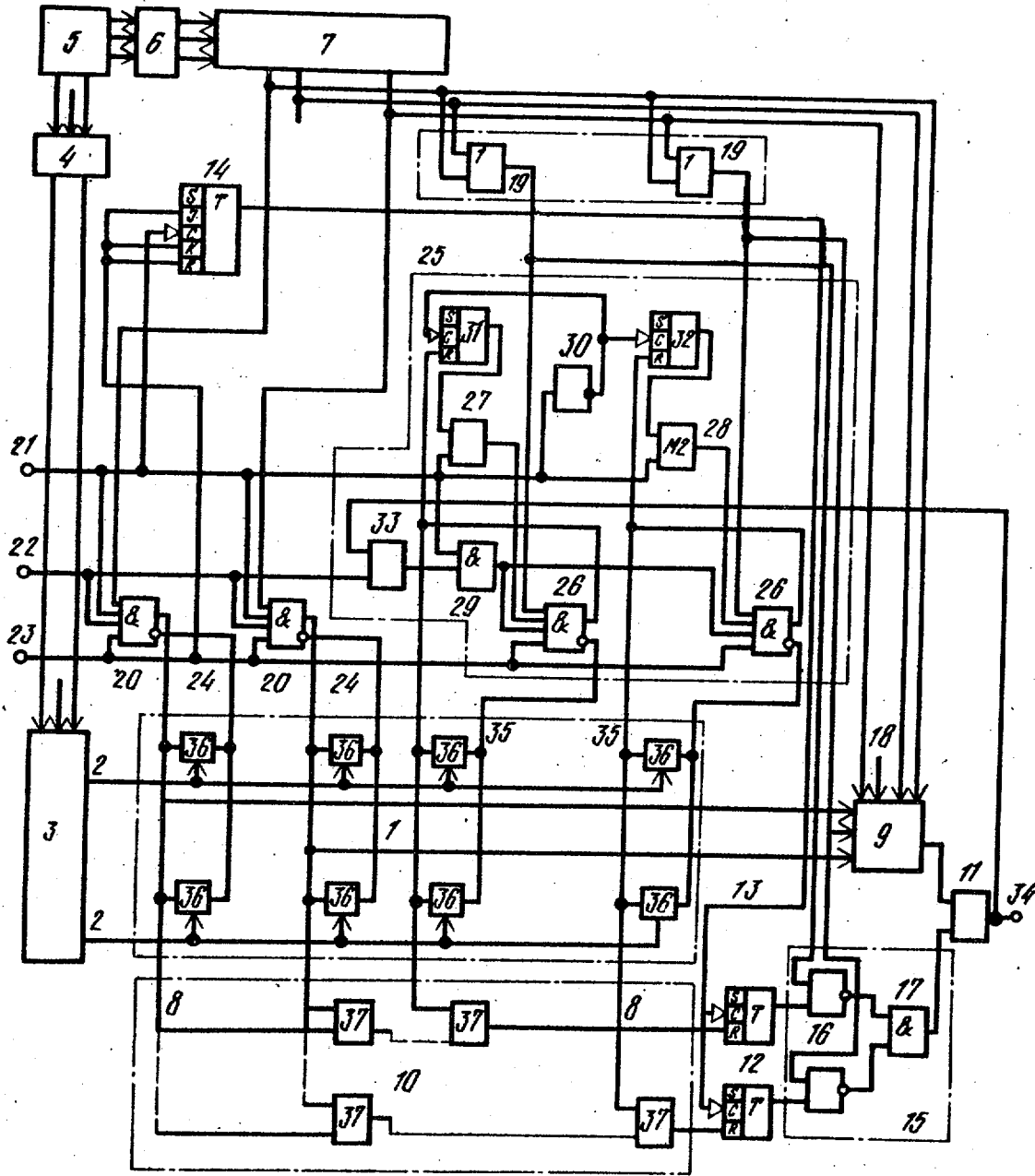
При записи информации на входы 22 и 23 устройства подаются сигналы записи и управления. При этом в соответствии с кодом адреса строки, поступающим через коммутатор 5 и регистр 4 на вход дешифратора 3, происходит возбуждение одной из числовых шин 2 накопителя 1. Возбужденная числовая шина 2 отпирает разрядные шины 24 и 35 элементов 36 памяти спрашиваемой строки накопителя 1 и подключает выходы 8 к блоку 10. Блок 10 вычисляет контрольные соотношения кода Хемминга. Результатом вычисления является проверочный код, который равен нулю при отсутствии ошибок в опрашиваемой строке накопителя 1 и не равен нулю в противном случае. Вычисленный проверочный код помещается в триггеры 12. Параллельно с вычислением проверочного кода и записью его в триггеры 12 происходит перезапись хранимой в проверочных разрядах опрашиваемой строки информации в триггеры 31 и 32 блока 25. После подачи кода адреса столбца через выходы коммутатора 5 для записи его в регистр 6 и последующего возбуждения выхода дешифратора 7, сигнал с этого выхода формируется на элементах ИЛИ 19 сигналы, соответствующие проверочному коду опрашиваемого столбца накопителя 1, которые поступают на вторые входы сумматоров 16. Сигнал разрешения записи на входе 21, поступающий на управляющий вход триггера 14, формируется на выходе его сигнал управления триггерами 12 и сформированный блоком 10 проверочный код с выходов триггеров 12 поступает на входы сумматоров 16 для сравнения с проверочным кодом опрашиваемого столбца. Если информация, хранимая в спрашиваемом элементе 36 памяти накопителя 1 искажена, т.е. выходные сигналы блока 10 не равны нулю и совпадают с выходными сигналами элементов ИЛИ 19, то на выходе элемента И 17 будет единичный сигнал, который инвертиру-

ет в сумматоре 11 сигнал о состоянии опрашиваемого элемента 36 памяти, снимаемый с выхода блока 9.

Кроме того, сигналы о состояниях элементов 36 памяти проверочных разрядов опрашиваемой строки накопителя 1 по шинам 35 записываются для хранения в триггеры 31 и 32. С выхода 34 сигнал поступает на сумматор 33, где сравнивается с сигналом на входе 22. На выходе сумматора 33 будет единичный сигнал если опрашиваемый для записи элемент 36 памяти накопителя 1 должен изменить свое состояние, и нулевой — в противном случае. При изменении состояния опрашиваемого элемента 36 памяти нарушаются условия, задаваемые контрольными соотношениями кода Хемминга. Поэтому для правильного их выполнения требуется изменить состояние тех элементов 36 памяти проверочных разрядов опрашиваемой строки, которые зависят от состояния опрашиваемого элемента 36 памяти накопителя 2. На выходах элементов ИЛИ 19 формируются эти сигналы и поступают на первые входы элементов И 26. На третьи входы элементов И 26 при поступлении сигнала разрешения записи по входу 21 и изменении состояния опрашиваемого элемента 36 памяти накопителя 1 поступает единичный сигнал с выхода элемента И 29, который отпирает элементы И 26. При этом вместе с записью новой информации в опрашиваемый элемент 36 памяти накопителя происходит запись инвертированной на сумматорах 27 и 28 блока 25 информации, хранимой в триггерах 31 и 32.

Таким образом, после установления кода адреса столбца происходит формирование на элементах ИЛИ 19 проверочного кода для этого столбца и сравнение его с проверочным кодом, хранимым в триггерах 12, коррекция считываемого сигнала и запись проверочной информации в проверочные разряды накопителя 1. В предлагаемом запоминающем устройстве, выполняющем те же функции, что и прототип, быстроедействие выше вследствие того, что в нем происходит вычисление проверочного кода и занесение его для хранения в триггеры 12.

Технико-экономическое преимущество предлагаемого устройства заключается в его более высоком быстродействии по сравнению с прототипом.



Составитель Т. Зайцева  
 Редактор Н. Гришанова      Техред С. Мигунова      Корректор Л. Боклан

---

Заказ 2495/39      Тираж 592      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4