



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 999062

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 14.09.81 (21) 3335706/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.02.83, Бюллетень № 7

Дата опубликования описания 25.02.83

(51) М: Кл.³

G 06 F 15/332

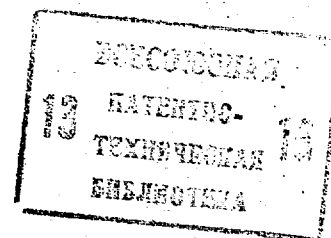
(53) УДК 681.32
(088.8)

(72) Авторы
изобретения

А.И. Шемаров и А.Е. Леусенко

(71) Заявитель

Минский радиотехнический институт



(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ АДРЕСОВ ПРОЦЕССОРА БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ

1
Изобретение относится к области вычислительной техники и может быть использовано при построении устройств, использующих в своей работе алгоритм быстрого преобразования Фурье (БПФ): спектроанализаторах, генераторах широкополосного случайного процесса, эхо- и гидролокаторах, синтезаторах речевых сигналов и т.д.

Известно устройство формирования адресов, реализующее алгоритм БПФ, содержащее узел реконфигурации счетчика, выход которого соединен с управляющим входом счетчика, блок выдачи адресов, первый информационный вход которого соединен с выходом счетчика, а выход - с выходом устройства, причем вход узла реконфигурации счетчика, первый и второй счетные входы счетчика и первый управляющий вход блока выдачи адресов соединены соответственно с первым, вторым, третьим и четвертым выходами

2
блока, регистр и группу элементов ИЛИ, выход регистра и группы элементов ИЛИ соединены соответственно с пятым, шестым, седьмым и первым входами устройства.

5
10
15
20
На второй, третий, четвертый, пятый, шестой, седьмой входы устройства подаются управляющие сигналы, которые вырабатываются блоком управления устройства. На первый вход устройства поступает информация о номере слоя алгоритма БПФ, в котором в данный момент времени функционирует устройство. Для формирования этой информации устройство должно содержать второй счетчик и дешифратор, причем выход второго счетчика соединен с входом дешифратора, выход которого соединен с первым входом устройства [1].

Недостатками этого блока являются сложность его построения и невозможность реализации перекрытия цик-

лов обращения к памяти и циклов выполнения операций алгоритма БПФ в арифметическом устройстве, которое предполагает в течение времени обработки текущей пары операндов N , запись в память обработанной пары операндов $N-1$ и извлечение из памяти пары операндов $N+1$, которая будет обработана в следующем цикле.

Наиболее близким к изобретению по технической сущности является устройство для формирования адресов процессора быстрого преобразования Фурье, содержащее первый и второй счетчики, дешифратор, регистр и блок управления, первый, второй и третий выходы которого соединены соответственно с суммирующим, вычитающим и тактовым входами первого реверсивного счетчика, выход переноса и выход заема которого соединены соответственно с суммирующим и вычитающим входами второго реверсивного счетчика, выходы которого соединены с входами дешифратора, выход старшего разряда которого подключен к первому входу блока управления, второй вход которого является тактовым входом устройства, а четвертый выход блока управления соединен с тактовым входом регистра, выходы которого являются выходами устройства, а также N узлов блокировки, каждый из которых содержит элемент ИЛИ-НЕ, элемент И-НЕ и два сумматора по модулю два, причем выход элемента ИЛИ-НЕ подключен к первому входу первого сумматора по модулю два, выход которого соединен с первым входом второго сумматора по модулю два, второй вход первого сумматора по модулю два соединен с выходом элемента И-НЕ, первый вход которого объединен с первым входом элемента ИЛИ-НЕ, при этом второй вход элемента ИЛИ-НЕ i -го ($i=1, N$) узла блокировки соединен с i -м ($i=1, N$) информационным выходом первого реверсивного счетчика, второй вход элемента И-НЕ i -го ($i=1, N$) узла блокировки соединен с пятым выходом блока управления, второй вход второго сумматора по модулю два i -го ($i=1, N$) узла блокировки соединен с шестым выходом блока управления, а выход второго сумматора по модулю два i -го ($i=1, N$) узла блокировки соединен с i -ым ($i=1, N$) информационным входом регистра и i -м ($i=1, N$) информационным входом

первого реверсивного счетчика, причем i -й выход ($i=0, N-1$) дешифратора подключен к первому входу элемента ИЛИ-НЕ $i+1$ -го ($i=0, N-1$) узла блокировки [2].

Недостатками известного устройства являются невысокое быстродействие, сложность блока управления, а также большое количество управляющих сигналов, вырабатываемых блоком управления, что нежелательно при применении устройства управления микропрограммного типа.

Цель изобретения - повышение быстродействия устройства.

Эта цель достигается тем, что устройство для формирования адресов процессора быстрого преобразования Фурье, содержащее первый и второй счетчики, регистр и блок управления, первый и второй выходы которого соединены соответственно с входом суммирования и входом вычитания первого счетчика, выход переноса и выход заема которого соединены соответственно с входом суммирования, и входом вычитания второго счетчика, третий выход блока управления соединен с тактовым входом регистра, выходы которого являются выходами устройства, содержит N мультиплексоров, группу элементов И и элемент И-НЕ, причем выходы второго счетчика соединены с соответствующими входами элемента И-НЕ и первыми входами соответствующих элементов И группы, вторые входы которых объединены и соединены с четвертым выходом блока управления, первый вход которого является тактовым входом устройства, второй вход блока управления соединен с выходом элемента И-НЕ, выходы элементов И группы соединены с управляющими входами соответствующих мультиплексоров, причем информационные входы j -го ($j=1, N-1$) мультиплексора X_j ($i=0, j-1$) соединены между собой и подключены к j -му ($j=1, N-1$) разрядному выходу первого счетчика, информационный вход j -го ($j=0, N-1$) мультиплексора X_j ($i=j$) соединен с выходом младшего разряда первого счетчика, информационные входы j -го ($j=0, N-2$) мультиплексора X_j ($i=j+1, N-1$) соединены между собой и с $j+1$ -м ($j=0, N-2$) разрядным выходом первого счетчика, информационный вход j -го ($j=0, N-1$) мультиплексора X_j ($i=N$) соединен с инверсным разрядным выхо-

дом j ($j=0, N-1$) первого счетчика, выход j -го ($j=0, N-1$) мультиплексора соединен с информационным входом D_j ($j=0, N-1$) регистра.

Блок управления содержит счетчик, элемент 4И-4И-3И/ИЛИ, элемент 4И-4И/ИЛИ и элемент 2И-НЕ, причем первый вход блока соединен с тактовым входом счетчика, первым и вторым входами элемента 4И-4И/ИЛИ, первым, вторым и третьим входами элемента 4И-4И-3И/ИЛИ, второй вход блока соединен с четвертым входом элемента 4И-4И-3И/ИЛИ, третьим входом элемента 4И-4И/ИЛИ и первым входом элемента 2И-НЕ, выход элемента 4И-4И-3И/ИЛИ является первым выходом блока, выход элемента 4И-4И/ИЛИ является вторым выходом блока, выход элемента 2И-НЕ является четвертым выходом блока, первый выход счетчика соединен с пятым и шестым входами элемента 4И-4И-3И/ИЛИ и четвертым входом элемента 4И-4И/ИЛИ, второй выход счетчика соединен с седьмым и девятым входами элемента 4И-4И-3И/ИЛИ, пятым и шестым входами элемента 4И-4И/ИЛИ и вторым входом элемента 2И-НЕ, третий выход счетчика соединен с десятым и одиннадцатым входами элемента 4И-4И-3И/ИЛИ и с седьмым и восьмым входами элемента 4И-4И/ИЛИ, первый выход счетчика является третьим выходом блока.

На фиг. 1 представлена функциональная схема устройства; на фиг. 2 функциональная схема блока управления; на фиг. 3 - временные диаграммы работы блока управления.

Устройство для формирования адресов алгоритма быстрого преобразования Фурье содержит блок 1 управления, первый счетчик 2, представляющий собой N -разрядный реверсивный счетчик, второй счетчик 3, представляющий собой M -разрядный реверсивный счетчик (где $M = \text{int} \log_2 \log_2 2^{(N+1)}$), группу элементов И4, N мультиплексоров $N+1$ канал в один канал 5, регистр 6 и M -входовой элемент И-НЕ 7.

Блок управления 1 содержит счетчик 8, элемент 4И-4И-3И/ИЛИ 9, элемент 4И-4И/ИЛИ 10, элемент 2И-НЕ 11.

Устройство для формирования адресов алгоритма быстрого преобразования Фурье работает следующим образом.

В первоначальном состоянии все счетчики обнулены. На тактовый вход

счетчика 8 поступают тактовые импульсы, по отрицательному перепаду которых счетчик переключается в новое состояние. Управляющие сигналы вырабатываются комбинационной схемой, состоящей из элементов 9-11, согласно временной диаграмме, представленной на фиг. 3, где ТИ - тактовые импульсы; А1-А4 - разрядные выходы счетчика 8; 12 - сигнал на втором входе блока 1 управления; 13 - сигнал на первом выходе блока 1 управления; 14 - сигнал на втором выходе блока 1 управления; 15 - сигнал на третьем выходе блока 1 управления; 16 - сигнал на четвертом выходе блока 1 управления.

Рассмотрим функционирование устройства при обработке n -й пары i -го слоя алгоритма БПФ. Пусть в данном цикле (12 тактов) будет обработана n -я пара i -го слоя алгоритма БПФ. Во время обработки n -й пары операндов должна быть адресована $n-1$ -я пара операндов для записи в запоминающее устройство (эта пара была обработана в предыдущем цикле) и $n+1$ -я пара операндов для считывания их из запоминающего устройства (эта пара будет обработана в следующем цикле). Номеру слоя соответствует состояние второго счетчика 3. В соответствии с этим состоянием (на третьем выходе блока 1 управления присутствует уровень логической единицы) мультиплексоры 5 данных передают информацию с разрядных выходов первого счетчика 2 на свои выходы в следующем порядке: i -й слой $2^1; 2^2; 2^3 \dots 2^{i-1}; 2^0; 2^1; 2^{i+1} \dots 2^{N-1}$, т.е. в порядке, соответствующем адресам i -го слоя алгоритма БПФ. На выходе элемента И-НЕ 7 присутствует уровень логической единицы. Назначение элемент И-НЕ 7 - дешифрация состояния второго счетчика 3, соответствующего специальному слою алгоритма БПФ. Хотя цикл работы устройства состоит из 12 тактов (цикл работы известного устройства - 8 тактов), это не означает, что устройство теряет быстроедействие, так как отсутствует микрооперация параллельного занесения информации в первый счетчик 2, а это дает возможность подавать на суммирующий и вычитающий входы данного счетчика импульсы более высокой частоты.

В первом, втором и третьем тактах на втором выходе блока 1 управления вырабатываются сигналы, по положительному перепаду которых из первого счетчика 2 производится вычитание трех единиц, чем адресуется первый операнд $n-1$ -й пары операндов. Кроме того, в третьем такте на третьем выходе блока управления вырабатывается сигнал, по отрицательному перепаду которого в регистр 6 заносится адрес первого операнда $n-1$ -й пары. В четвертом и пятом тактах управляющие сигналы не вырабатываются. В шестом такте на первом выходе блока 1 управления вырабатывается сигнал, по положительному перепаду которого в первый счетчик 2 добавляется единица, чем производится адресация второго операнда $n-1$ -й пары. Кроме того, в шестом такте на третьем выходе блока управления вырабатывается сигнал, по отрицательному перепаду которого в регистр 6 заносится адрес второго операнда $n-1$ -й пары. В седьмом, восьмом и девятом тактах на первом выходе блока 1 управления вырабатываются сигналы, по положительному перепаду которых в первый счетчик 2 добавляются три единицы, чем адресуется первый операнд $n+1$ -й пары операндов. Кроме того, в девятом такте на третьем выходе блока 1 управления вырабатывается сигнал, по отрицательному перепаду которого в регистр 6 заносится адрес первого операнда $n+1$ -й пары. В десятом и одиннадцатом тактах управляющие сигналы не вырабатываются. В двенадцатом такте на первом выходе блока 1 управления вырабатывается сигнал, по положительному перепаду которого в первый счетчик 2 добавляется единица, чем адресуется второй операнд $n+1$ -й пары. Кроме того, на третьем выходе в двенадцатом такте блока 1 управления вырабатывается сигнал, по отрицательному перепаду которого в регистр 6 заносится адрес второго операнда $n+1$ -й пары.

Цикл повторяется снова и снова, пока не будут обработаны все пары операндов по всем слоям алгоритма БПФ, после чего устройство начинает вырабатывать адреса специального слоя безизбыточного алгоритма БПФ. При этом второй счетчик 3 устанавливается в состояние $[N]$, которое де-

шифрируется элементом И-НЕ 7, на выходе которого, соединенном с вторым входом блока 1 управления, появляется уровень логического нуля и этим разрешается появление уровня логического нуля на четвертом выходе блока 1 управления. С помощью мультиплексоров 5 на входах регистра 6 появляется информация с разрядных выходов первого счетчика 2 в следующем порядке.

Если на четвертом выходе блока 1 управления присутствует уровень логической единицы, то

$$2^0; 2^1; 2^2 \dots 2^{n-1}; 2^n; 2^{n+1}; \dots \dots 2^{N-1}$$

Если на четвертом выходе блока 1 управления присутствует уровень логического нуля, то

$$2^0; 2^1; 2^2 \dots 2^{n-1}; 2^n; 2^{n+1} \dots \dots 2^{N-1}$$

т.е. прямой или инверсный код первого счетчика 2.

Пусть в данном цикле необходимо обработать n -ую пару операндов специального слоя (адреса $[n]$ и $[2^N-n]$). Во время обработки n -й пары операндов должны быть адресованы $n-1$ -я пара операндов (адреса $[n-1]$ и $[2^N-n+1]$), обработанная в предыдущем цикле, и $n+1$ -я пара (адреса $[n+1]$ и $[2^N-n-1]$), которая будет обработана в следующем цикле.

В первом и втором тактах блоком 1 управления вырабатываются сигналы на втором выходе, по положительному перепаду которых из первого счетчика 2 вычитаются две единицы, чем адресуется второй операнд $n-1$ -й пары $[2^N-n+1]$. В третьем такте блоком 1 управления вырабатывается сигнал на третьем выходе, по отрицательному перепаду которого в регистр 6 заносится адрес второго операнда $n-1$ -й пары. В четвертом, пятом и шестом тактах на четвертом выходе блока 1 управления появляется уровень логического нуля. Кроме того, в шестом такте вырабатывается сигнал на первом выходе блока 1 управления, по положительному перепаду которого в первый счетчик 2 добавляется единица, чем адресуется первый операнд $n-1$ -й пары $[n-1]$, также в шестом такте вырабатывается сигнал на третьем выходе блока 1 управления, по отрицательному перепаду которого в регистр 6 заносится адрес первого операнда $n-1$ -й пары. В седьмом

и восьмом тактах управляющие сигналы не вырабатываются. В девятом такте на первом выходе блока 1 управления вырабатывается сигнал, по положительному перепаду которого в первый счетчик 2 добавляется единица, чем адресуется второй операнд $n+1$ -й пары $[2^N - n - 1]$. Кроме того, в девятом такте на третьем выходе блока 1 управления вырабатывается сигнал, по отрицательному перепаду которого в регистр 6 заносится адрес второго операнда $n+1$ -й пары. В десятом, одиннадцатом и двенадцатом тактах на четвертом выходе блока 1 управления появляется уровень логического нуля. Кроме того, в двенадцатом такте на первом выходе блока 1 управления вырабатывается сигнал, по положительному перепаду которого в первый счетчик 2 добавляется единица, чем адресуется первый операнд $n+1$ -ой пары $[n+1]$, также в двенадцатом такте на третьем выходе блока 1 управления вырабатывается сигнал, по отрицательному перепаду которого в регистр 6 заносится адрес первого операнда $n+1$ -й пары.

Цикл повторяется снова и снова, пока не будут обработаны все пары операндов безызбыточного алгоритма БПФ. После чего устройство заканчивает работу - все адреса безызбыточного алгоритма БПФ реализованы.

После обнуления первого счетчика 2, второго счетчика 3 и счетчика 8 блока 1 управления устройство для формирования адресов процессора быстрого преобразования Фурье снова готово к работе.

Таким образом, изобретение позволяет повысить быстродействие и упростить управление устройством.

Формула изобретения

1. Устройство для формирования адресов процессора быстрого преобразования Фурье, содержащее первый и второй счетчики, регистр и блок управления, первый и второй выходы которого соединены соответственно с входом суммирования и входом вычитания первого счетчика, выход переноса и выход заема которого соединены соответственно с входом суммирования и входом вычитания второго счетчика, третий выход блока

управления соединен с тактовым входом регистра, выходы которого являются выходами устройства, отличающееся тем, что, с целью повышения быстродействия, оно содержит N мультиплексоров, группу элементов И и элемент И-НЕ, причем выходы второго счетчика соединены с соответствующими входами элемента И-НЕ и первыми входами соответствующих элементов И группы, вторые входы которых объединены и соединены с четвертым выходом блока управления, первый вход которого является тактовым входом устройства, второй вход блока управления соединен с выходом элемента И-НЕ, выходы элементов И группы соединены с управляющими входами соответствующих мультиплексоров, причем информационные входы j -го ($j=1, N-1$) мультиплексора X_j ($i=0, j-1$) соединены между собой и подключены к j -му ($j=1, N-1$) разрядному выходу первого счетчика, информационный вход j -го ($j=0, N-1$) мультиплексора X_j ($i=j$) соединен с выходом младшего разряда первого счетчика, информационные входы j -го ($j=0, N-2$) мультиплексора X_j ($i=j+1, N-1$) соединены между собой и с $j+1$ -м ($j=0, N-2$) разрядным выходом первого счетчика, информационный вход j -го ($j=0, N-1$) мультиплексора X_j ($i=N$) соединен с инверсным разрядным выходом j ($j=0, N-1$) первого счетчика, выход j -го ($j=0, N-1$) мультиплексора соединен с информационным входом D_j ($j=0, N-1$) регистра.

2. Устройство по п. 1, отличающееся тем, что блок управления содержит счетчик, элемент 4И-4И-3И/ИЛИ, элемент 4И-4И/ИЛИ и элемент 2И-НЕ, причем первый вход блока соединен с тактовым входом счетчика, первым и вторым входами элемента 4И-4И/ИЛИ, первым, вторым и третьим входами элемента 4И-4И-3И/ИЛИ, второй вход блока соединен с четвертым входом элемента 4И-4И-3И/ИЛИ, третьим входом элемента 4И-4И/ИЛИ и первым входом элемента 2И-НЕ, выход элемента 4И-4И-3И/ИЛИ является первым выходом блока, выход элемента 4И-4И/ИЛИ является вторым выходом блока, выход элемента 2И-НЕ является четвертым выходом блока, первый выход счетчика соединен с пятым и шестым входами элемента

4И-4И-3И/ИЛИ и четвертым входом элемента 4И-4И/ИЛИ, второй выход счетчика соединен с седьмым, восьмым и девятым входами элемента 4И-4И-3И/ИЛИ, пятым и шестым входами элемента 4И-4И/ИЛИ и вторым входом элемента 2И-НЕ, третий выход счетчика соединен с десятым и одиннадцатым входами элемента 4И-4И-3И/ИЛИ и с седьмым и восьмым входами элемента

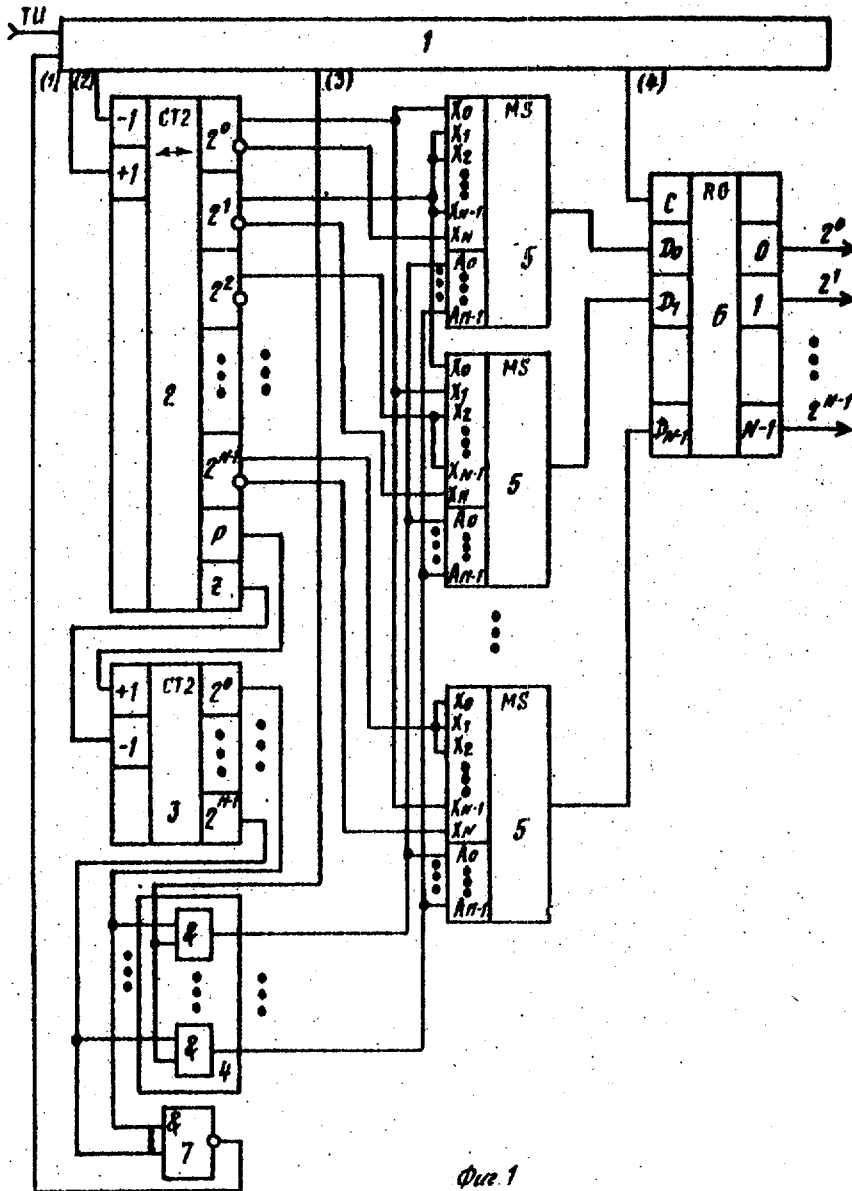
4И-4И/ИЛИ, первый выход счетчика является третьим выходом блока.

Источники информации,

5 принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 548863, кл. G06 F 15/332, 1976.

2. Авторское свидетельство СССР по заявке № 2979625/24, кл. G06 F 15/332, 1981 (прототип).



Фиг. 1

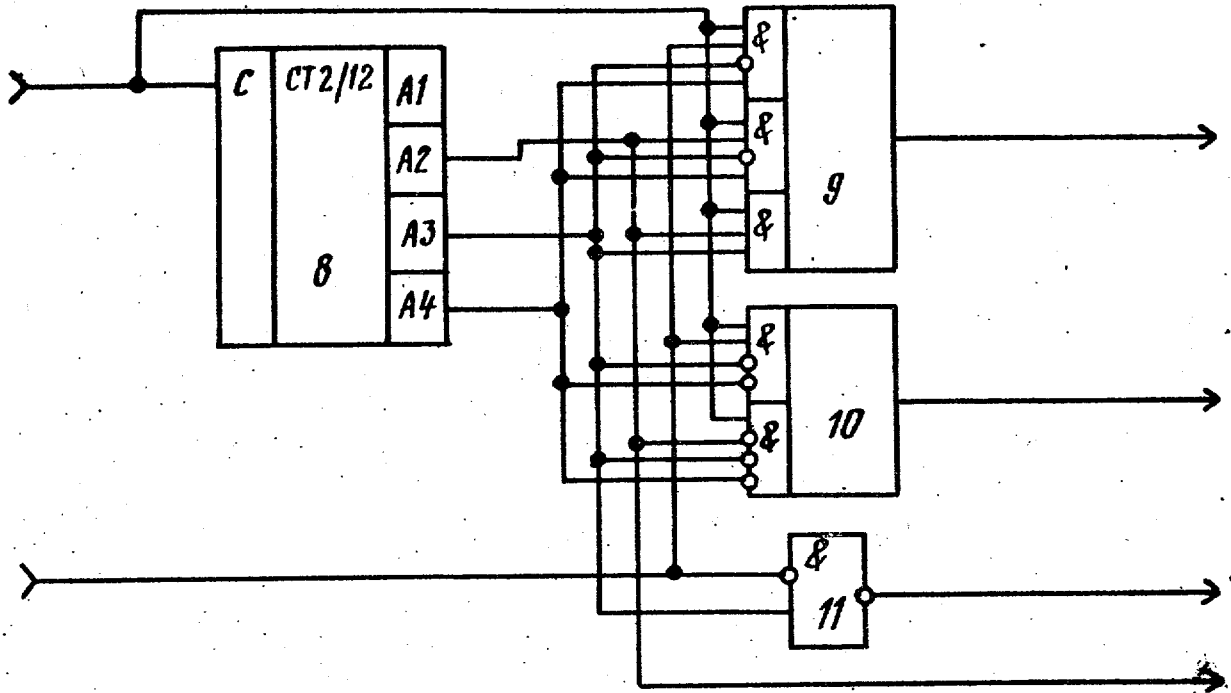


Fig. 2

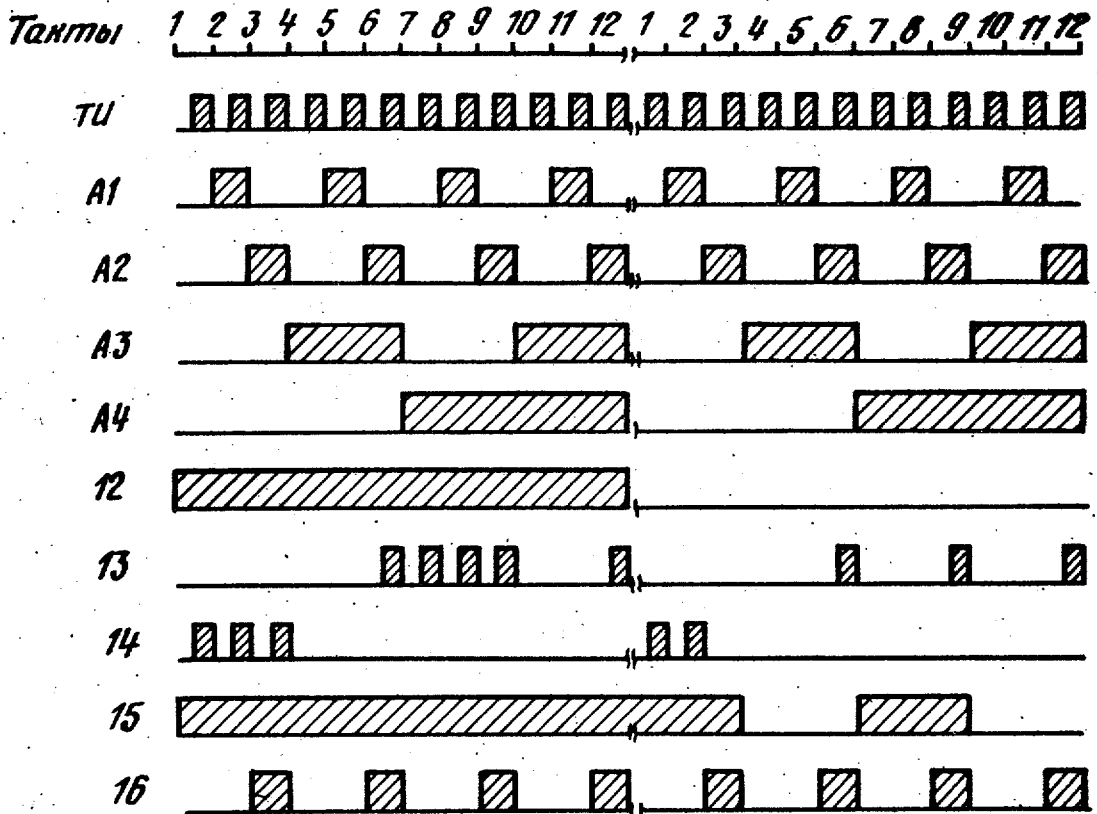


Fig. 3

Составитель А. Баранов

Редактор Л. Филиппова
Заказ 1158/73

Техред М. Гергель
Тираж 704

Корректор М. Шароши
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4