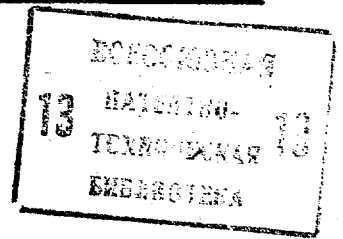




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3369432/18-24  
 (22) 22.12.81  
 (46) 23.04.83. Бюл. № 15  
 (72) В. К. Конопелько  
 (71) Минский радиотехнический институт  
 (53) 681.327.6(088.8)
- (56) 1. Патент США № 3568153, кл. G 11 C 29/00, опублик. 1972.  
 2. Валкер В. К., Сандберг С. Е. и Блок С. И. Надежность ЗУ для космических применений со схемой коррекции одиночной ошибки и стертости. - "Экспресс-информация (серия: вычислительная техника)", 1980, № 5, с. 5-11 (прототип).
- (54) (57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО, содержащее накопитель, одни информационные входы которого подключены к выходам шифратора, выходы накопителя подключены к одним входам первого блока коррекции ошибок и к входам первого блока вычисления синдрома, выход которого подключен к первому входу второго блока вычисления синдрома, к первому входу блока контроля и к первому входу регистра, второй вход которого подключен к адресуемому входу накопителя и является адресным входом устройства, другие входы первого блока коррекции ошибок подключены к выходам первого дешифратора, входы которого подключены к выходам второго блока вычисления синдрома, второй вход второго блока вычисления синдрома подключен к первому входу регистра и к входу второ-

го дешифратора, выход которого подключен к первому входу второго блока коррекции ошибок, второй вход второго блока коррекции ошибок подключен к выходу первого блока коррекции ошибок, а выход второго блока коррекции ошибок является информационным входом устройства, третий вход и второй выход регистра подключены соответственно к первому выходу и второму входу блока контроля, второй выход которого является управляющим выходом устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения надежности устройства, оно содержит элементы И, элемент ИЛИ, элемент НЕ, триггер и коммутатор, первый вход которого является информационным входом устройства, второй вход коммутатора подключен к выходу первого блока коррекции ошибок, выход коммутатора подключен к второму информационному входу накопителя и к входу шифратора, третий вход коммутатора подключен к третьему выходу блока контроля, к входу элемента НЕ и к первым входам первого и второго элементов И, выходы которых подключены к входам элемента ИЛИ, выход элемента ИЛИ подключен к четвертому входу регистра, четвертый выход блока контроля подключен к вторым входам первого и второго элементов И, выход элемента НЕ подключен к первому входу триггера, выход которого подключен к третьему входу второго элемента И, второй вход триггера является соответствующим управляющим входом устройства.

(19) SU (11) 1014042 A

Изобретение относится к вычислительной технике и может быть использовано при создании систем памяти повышенной надежности.

Известны запоминающие устройства со словарной организацией, которые содержат накопитель, схемы логики обращения и коррекции однократных отказов в слове [1].

Недостатком этих устройств является низкая и недостаточная для многих применений надежность из-за коррекции только однократных ошибок в словах накопителя.

Наиболее близким техническим решением к изобретению является запоминающее устройство, содержащее входные шины данных, блок кодирования, соединенный выходами с вторыми входами накопителя, выходными шинами соединенного с входами блока вычисления синдрома и с первыми входами второго блока коррекции ошибок, выходы блока вычисления синдрома соединены с первыми входами блока получения второго признака, первыми входами блока определения ошибок и первыми входами регистра хранения признаков, вторыми входами соединенного с шиной адреса и третьими входами накопителя, третий вход регистра хранения признака соединен с первым выходом блока определения ошибок, первый и второй выходы регистра хранения признака соединены соответственно с вторым входом блока определения ошибки и вторым входом блока получения второго признака, а также входом первого блока декодирования признаков, выход блока получения второго признака соединен с входом второго блока декодирования признаков, выходы первого и второго блоков декодирования признаков соединены соответственно с вторыми входами первого и второго блоков коррекции ошибок, первые входы первого блока коррекции ошибок соединены с выходами второго блока коррекции ошибок, выходы первого блока коррекции ошибок и третий выход блока определения ошибок является соответственно выходами данных и выходом прерывания, второй выход блока определения ошибок и четвертый вход регистра хранения признаков. Такое устройство позволяет производить коррекцию одиночной ошибки (отказа элемента памяти или его сбоя) и стертости (известной ошибки элемента памяти при считывании (декодировании)) [2].

Однако это устройство не позволяет производить коррекцию последующего отказа или сбоя элемента памяти в слове после появления первого сбоя элемента памяти и второго отказа или сбоя элемента памяти.

Целью изобретения является повышение надежности устройства.

Поставленная цель достигается тем, что в запоминающее устройство, содержащее накопитель, одни информационные входы которого подключены к выходам шифратора, выходы накопителя подключены к одним входам первого блока коррекции ошибок и к входам первого блока вычисления синдрома, выход которого подключен к первому входу второго блока вычисления синдрома, к первому входу блока контроля и к первому входу регистра, второй вход которого подключен к адресному входу накопителя и является адресным входом устройства, другие входы первого блока коррекции ошибок подключены к выходам первого дешифратора, входы которого подключены к выходам второго блока вычисления синдрома, второй вход второго блока вычисления синдрома подключен к первому выходу регистра и к входу второго дешифратора, выход которого подключен к первому входу второго блока коррекции ошибок, второй вход второго блока коррекции ошибок подключен к выходу первого блока коррекции ошибок, а выход второго блока коррекции ошибок является информационным входом устройства, третий вход и второй выход регистра подключены соответственно к первому выходу и к второму входу блока контроля, второй выход которого является управляющим выходом устройства, введены элементы И, элемент ИЛИ, элемент НЕ, триггер и коммутатор, первый вход которого является информационным входом устройства, второй вход коммутатора подключен к выходу первого блока коррекции ошибок, выход коммутатора подключен к второму информационному входу накопителя и к входу шифратора, третий вход коммутатора подключен к третьему выходу блока контроля, к входу элемента НЕ и к первым входам первого и второго элементов И, выходы которых подключены к входам элемента ИЛИ, выход элемента ИЛИ подключен к четвертому входу регистра, четвертый выход блока контроля подключен к вторым входам первого и второго элементов И, выход элемента НЕ подключен к первому входу триггера, выход которого подключен к третьему входу второго элемента И, второй вход триггера является соответствующим управляющим входом устройства.

Введенные элементы и связи позволяют производить коррекцию последующего отказа или сбоя элемента памяти в слове после появления первого сбоя элемента памяти и второго отказа или сбоя элемента памяти

при том же числе избыточных разрядов.

На фиг. 1 изображена блок-схема запоминающего устройства; на фиг. 2 - блок-схема блока контроля.

Устройство содержит накопитель 1 с входами 2 и 3, коммутатор 4, шифратор 5, выходы 6 накопителя, блок 7 вычисления синдрома, блок 8 коррекции ошибок, входы 9 блока 10 вычисления синдрома, блок 11 контроля, регистр 12, адресные входы 13, вход 14 регистра 12, выход 15 блока 11 контроля, элемент И 16, элемент И 17, элемент НЕ 18, триггер 19, управляющий вход 20, выход 21 триггера, выход 22 блока 11 контроля, элемент ИЛИ 23, вход 24 регистра, выходы 25 и 26 регистра, дешифратор 27, выход 28 блока 10, дешифратор 29, выход 30 дешифратора 27, выход 31 дешифратора 29, блок 32 коррекции ошибок, выходы 33 блока 8 коррекции ошибок, информационные входы 34, информационные выходы 35 и управляющий выход 36.

Блок 11 контроля содержит элемент ИЛИ 37, элементы И 38-40 и последовательно соединенные сумматоры 41 по модулю два.

Единичный сигнал на выходе элемента ИЛИ 37 говорит о наличии ошибки в считываемом слове, т.е. о том, что синдром  $S$  не равен нулю ( $S \neq 0$ ). Единичный сигнал на выходе 22 блока указывает на то, что в слове произошла ошибка кратности один ( $t=1$ ) при  $S \neq 0$ . Синдром  $S \neq 0$  и нулевой сигнал на выходе 22 указывает на появление ошибки кратности два ( $t=2$ ). Единичный сигнал на выходе элемента И 39 разрешает выдачу хранимого признака в регистре 12 на выход 26 при опросе слова, содержащего двойную ошибку ( $t=2$ ), и с хранимым синдромом первой ошибки в регистре 12 (т.е. единичным сигналом на входе 25). Единичный сигнал на выходе элемента И 40 указывает на опрос слова, содержащего единичную ошибку при пустом регистре 12.

Шифратор 5 состоит из сумматоров по модулю два и формирует проверочные символы согласно кодирующей матрице удлиненного кода Хемминга с кодовым расстоянием  $d = 4$ .

Первый 8 и второй 32 блоки коррекции ошибок состоят из корректирующих сумматоров по модулю два, производящих исправление сигналов в ошибочных разрядах слова.

Дешифраторы 27 и 29 определяют по поступающим на их входы синдромам, в каком разряде произошла ошибка.

Блок 10 вычисления синдрома состоит из сумматоров по модулю два для каждого разряда синдрома, поступа-

ющего на его входы, и реализует операцию суммирования хранимого в регистре 12 синдрома о единичной ошибке с синдромом о двойной ошибке, поступающим с выхода 9 блока 7.

Входы 9, 13, 24 и 14 регистра 12, предназначенного для хранения признаков, служат соответственно для ввода данных, адресации, разрешения записи и разрешения считывания данных на выход 26. Выход 25 регистра 12 служит для вывода информации о ненулевом содержании регистра по опрашиваемому адресу в блок 11.

Устройство работает следующим образом.

При записи входные информационные данные со входов 34 помещаются через коммутатор 4 в накопитель 1 и одновременно подаются в шифратор 5, который формирует значения проверочных разрядов удлиненного кода Хемминга с кодовым расстоянием  $d = 4$ . Вычисленные символы проверочных разрядов помещаются в накопитель вместе со значениями информационных разрядов.

При чтении выходные данные с выходов 6 подаются на блок 7 вычисления синдрома и одновременно на входы блока 8 коррекции ошибок. При наличии ошибки ее признак (синдром) вырабатывается на выходах 9 блоком 7. При первоначальном появлении ошибки вычисленный синдром не равен нулю и имеет нечетный вес, о чем свидетельствует единичный сигнал на выходе 22 блока 11. Кроме того, с регистра 12 снимается нулевой сигнал на первом выходе 25, а блок 11 контроля вырабатывает на выход 14 нулевой сигнал, который запрещает выдачу признака из регистра 12. Тем самым на выход 28 блока 10 вычисления синдрома поступает без изменения вычисленный блоком 7 синдром, который дешифрируется дешифратором 29, производит исправление в блоке 8 коррекции первой появившейся ошибки. Исправленные информационные символы поступают непосредственно на вторые входы 33 коммутатора 4 и через блок 32 коррекции без изменения на выход 35 устройства. Одновременно на вход коммутатора 4, на входы элемента И 16, на установочный вход триггера 19 через элемент НЕ 18 поступают единичные сигналы с выходов 15 и 22 блока 11 контроля ошибки, появляющейся только в случае нулевого сигнала на выходе 25 регистра 12 и синдрома с нечетным весом с выхода 9. В результате на выходе элемента ИЛИ 23 появится единичный сигнал, который разрешит запись признака синдрома с выхода 9 в регистр 12, и, кроме того, будет происходить перезапись

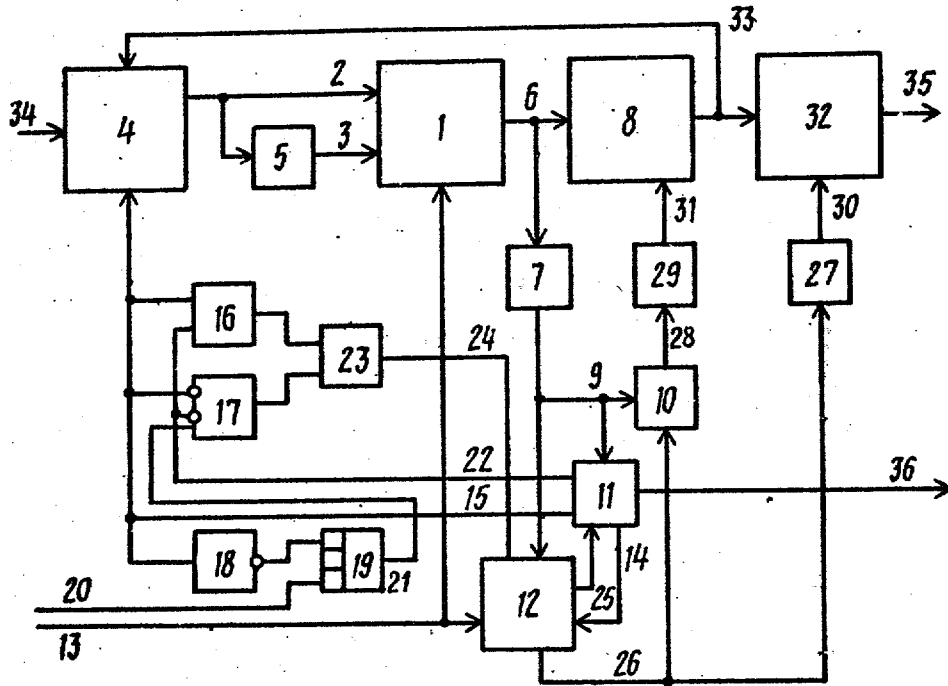
скорректированной информации в накопитель 1 и установленные на выходе 21 триггера 19 единичного сигнала. Затем производится контрольное считывание хранимой информации в накопителе по тому же адресу и вычисление синдрома в блоке 7. При этом, если синдром не равен нулю, то на четвертом выходе 22 блока 11 контроля появится единичный сигнал, а на выходе 15 - нулевой сигнал, так как регистр 12 не пуст, указывающие, что произошел отказ элемента памяти в опрашиваемом слове. В результате элементы И 16 и 17 будут закрыты, и на выходе 24 элемента ИЛИ 23 установится нулевой сигнал, который оставит без изменения хранимый признак в регистре 12. В том случае, если синдром равен нулю, то на выходах 22 и 15 блока 11 контроля появятся нулевые сигналы, указывающие, что в опрашиваемом слове произошел сбой элемента памяти. Поскольку на выходе 21 триггера 19 присутствует единичный сигнал, то на выходе элемента И 17 установится единичный сигнал, который, проходя через элемент ИЛИ 23, разрешит запись нулевого синдрома в регистре 12 (установит в нулевое состояние ячейки регистра). Таким образом, в регистре 12 хранится только признак (синдром) об отказавшем элементе памяти в опрашиваемом слове.

Если в процессе последующих циклов распознается не нулевой признак четного веса (причем в этом случае безразлично, отказ это или сбой элемента памяти), то это интерпретируется как условие появления двойной ошибки. Если регистр 12 выдает на выход 25 единичный сигнал, то блок 11 контроля выдает на выход 15 нулевой сигнал, а на выход 14 - единичный сигнал. Тем самым триггер 19 останется в прежнем состоянии (нулевом состоянии), записи вычисленного синдрома в регистр 12, перезаписи считываемого слова и стирания хранимого признака не происходит. Одновременно при поступлении единичного сигнала с выхода 14 блока 11 регистр 12 выдает на выход 26 признак первоначального отказа. Этот признак, дешифрируясь дешифратором 27, производит коррекцию сигнала, считываемого с отказавшего элемента памяти. Второй (последующий во времени) отказ или сбой в другом элементе памяти опрашиваемого слова корректируется в блоке 8 сигналом с дешифратора 29. Признак (синдром), поступающий в дешифратор 29, вычисляется блоком 10, где происходит сложение по модулю два хранимого признака в регистре 12 с признаком двойной ошибки, вычисленной в блоке 7.

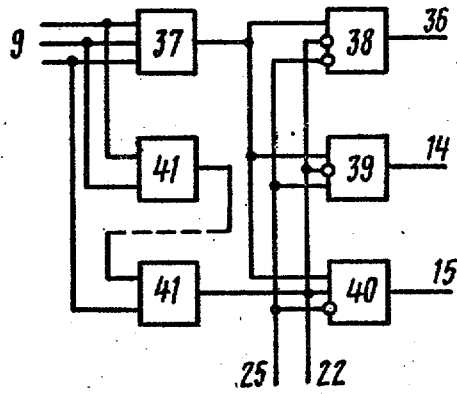
Если в процессе работы устройства появится одновременно двойная ошибка, то на выходе 36 прерывания появится сигнал, указывающий на это. Сигнал на входе 20 управления сбрасывает и триггер 19 в нулевое состояние при каждом обращении к устройству.

Таким образом, предлагаемое устройство выполняет те же функции, что и известное, но более эффективно с точки зрения числа исправляемых ошибок, поскольку в известном устройстве при первоначальном появлении ошибки не делается распознавания: произошел отказ или сбой элемента памяти. Так как вероятность первоначального сбоя элемента памяти в слове намного превосходит отказ элемента памяти, то при первоначальном появлении сбоя элемента памяти признак (синдром) сбившегося элемента памяти помещается в регистр хранения признаков. При последующих циклах записи информации в это же слово будет храниться правильно, хотя в регистре хранения признаков будет храниться признак сбоя из предыдущих тактов работы устройства. Тем самым для правильно хранимого слова, не имеющего ни одного отказавшего элемента памяти, блоки коррекции могут исправить или один последующий отказ или один сбой в опрашиваемом слове, т.е. практически известное устройство при первоначальном появлении ошибки из-за сбоя элемента памяти может исправить только один отказ или один сбой элемента памяти в последующих тактах работы, как и положено коду  $c d = 4$ .

В предлагаемом же устройстве, поскольку при первоначальном появлении ошибки происходит распознавание ошибки, т.е. происходит отказ или сбой элемента памяти благодаря повторной записи в накопитель скорректированного считываемого слова и повторного вычисления синдрома, занесения признака ошибки из-за сбоя элемента памяти в регистр хранения признаков не происходит. Благодаря этому в последующих циклах работы в предлагаемом устройстве при появлении ошибки из-за сбоя элемента памяти происходит коррекция ошибки, однако признак вновь не заносится в регистр хранения признаков, а при появлении ошибки из-за отказа элемента памяти признак записывается для хранения в регистр хранения признаков и в последующем используется для нахождения второго (третьего во времени) признака ошибки из-за отказа или сбоя элемента памяти и исправления этой ошибки. В результате этого повышается надежность запоминающего устройства.



Фиг.1



Фиг.2

Составитель С. Шустенко  
 Редактор В. Данко ТехредМ.Гергель Корректор А. Тяско

---

Заказ 3028/62 Тираж 592 Подписное  
 ВНИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4