



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 07.09.91 (21) 3334459/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 07.03.83. Бюллетень № 9

Дата опубликования описания 07.03.83

(11) 1003077

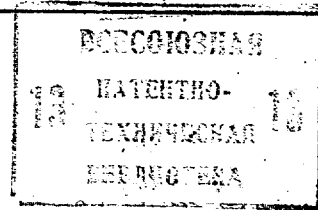
(51) М. Кл.³

G 06 F 7/52

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

Л. Г. Лопато и А. А. Шостак



(71) Заявитель

Минский радиотехнический институт

(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ n -РАЗРЯДНЫХ ЧИСЕЛ

Изобретение относится к области вычислительной техники и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Известно устройство для умножения n -разрядных чисел, содержащее регистры множимого и множителя, матрицу элементов И, накапливающий сумматор, блоки элементов И и ИЛИ [1].

Недостатком данного устройства является невозможность умножения чисел, записанных в двоично-десятичном коде, и относительно низкое быстродействие.

Известно также устройство для умножения n -разрядных чисел, содержащее регистры множимого и множителя, накапливающий сумматор и блок управления [2].

Недостатком данного устройства является его низкое быстродействие.

Наиболее близким к предлагаемому является устройство для умножения n -разрядных чисел, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, накапливающий сумматор, матрицу элементов И, группу элементов ИЛИ, группу элементов И и комбинационный сумматор, причем

5 выходы регистра множимого соответственно соединены с первыми входами элементов И матрицы, вторые входы элементов И матрицы соответственно соединены с выходами элементов И группы и с входами установки в ноль соответствующих разрядов регистра множителя, выходы элементов ИЛИ группы соответственно соединены с разрядными входами накапливающего сумматора, первые входы элементов И группы соединены с прямыми выходами соответствующих разрядов регистра множителя, вторые входы элементов И группы соответственно соединены с выходами комбинационного сумматора, а третьи входы объединены и соединены с входом синхронизации накапливающего сумматора, с входом разрешения записи регистра множителя и с входом синхронизации устройства, инверсные выходы регистра множителя соответственно соединены с входами комбинационного сумматора, вход переноса которого является управляющим входом устройства [3].

30 Недостатком известного устройства является отсутствие возможности умножения чисел, записанных в двоично-десятичном коде.

Цель изобретения - расширение функциональных возможностей за счет выполнения операции умножения чисел в двоично-десятичном коде.

Поставленная цель достигается тем, что в устройство для умножения n -разрядных чисел, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, накапливающий сумматор, матрицу элементов И, группу элементов ИЛИ, группу элементов И и комбинационный сумматор, причем выходы регистра множимого соответственно соединены с первыми входами элементов И матрицы, вторые входы элементов И матрицы соответственно соединены с выходами элементов И группы и с входами установки в ноль соответствующих разрядов регистра множителя, выходы элементов ИЛИ группы соответственно соединены с разрядными входами накапливающего сумматора, первые входы элементов И группы соединены с прямыми выходами соответствующих разрядов регистра множителя, вторые входы элементов И группы соответственно соединены с выходами комбинационного сумматора, а третьи входы объединены и соединены с входом синхронизации накапливающего сумматора, с входом разрешения записи регистра множителя и с входом синхронизации устройства, инверсные выходы регистра множителя соответственно соединены с входами комбинационного сумматора, вход переноса которого является управляющим входом устройства, введен элемент И, причем выход переноса комбинационного сумматора соединен с первым входом элемента И, второй вход которого соединен с входом синхронизации устройства, а выход соединен с входами сдвига регистра множителя и накапливающего сумматора и с выходом индикации окончания операции умножения устройства, выходы четырех младших элементов И первой строки матрицы и четырех старших элементов И последней строки матрицы соединены с соответствующими разрядными входами накапливающего сумматора, а выходы остальных элементов И матрицы соединены с соответствующими входами элементов ИЛИ группы, первый и второй управляющие входы накапливающего сумматора соединены со входами режимов работы и запрета суммирования устройства соответственно.

На чертеже изображена структурная схема устройства умножения n -разрядных чисел для $n = 8$.

Устройство содержит регистр 1 множимого, регистр 2 множителя, содержащий тетрады $2_1, 2_2$, накапливающий сумматор 3, матрицу 4 элементов И 5, группу 6 элементов ИЛИ 7, группу 8 элементов И 9, комбинацион-

ный сумматор 10, элемент И 11, вход 12 синхронизации устройства, вход 13 режима работы устройства, вход 14 запрета суммирования накапливающего сумматора 3, управляющий вход 15 устройства и выход 16 индикации окончания операции умножения устройства, причем выходы регистра 1 множимого соответственно соединены с первыми входами элементов И 5 матрицы 4, вторые входы элементов И 5 матрицы 4 соответственно соединены с выходами элементов И 9 группы 8 и с входами установки в ноль соответствующих разрядов регистра 2 множителя, выходы четырех младших элементов И 5 первой строки матрицы 4 и четырех старших элементов И 5 последней строки матрицы 4 соединены с соответствующими разрядными входами накапливающего сумматора 3, а выходы остальных элементов И 5 матрицы 4 соединены с соответствующими входами элементов ИЛИ 7 группы 6, выходы которых соответственно соединены с остальными входами накапливающего сумматора 3, первые входы элементов И 9 группы 8 соединены с прямыми выходами соответствующих разрядов регистра 2 множителя, вторые входы элементов И 9 группы 8 соответственно соединены с выходами комбинационного сумматора 10, а третьи входы объединены и соединены с входом синхронизации накапливающего сумматора 3, с входом разрешения записи регистра 2 множителя и с входом 12 синхронизации устройства, инверсные выходы регистра 2 множителя соответственно соединены с входами комбинационного сумматора 10, вход переноса которого является управляющим входом 15 устройства, а выход переноса соединен с первым входом элемента И 11, второй вход элемента И 11 соединен с входом 12 синхронизации устройства, а выход соединен с входами сдвига регистра 2 множителя и накапливающего сумматора 3 и с выходом 16 индикации.

Рассмотрим работу устройства на примере умножения двух десятичных чисел. Пусть множимое $X = 69 = 01101001 = X_8 X_7 X_6 X_5 X_4 X_3 X_2 X_1$ и множитель $Y = 91 = 10010001 = Y_8 Y_7 Y_6 Y_5 Y_4 Y_3 Y_2 Y_1$, тогда произведение $Z = X \cdot Y = 6279$. В исходном состоянии в регистре 1 хранится двоично-десятичный код множимого X , в регистре 2 - двоично-десятичный код множителя Y , накапливающий сумматор 3 обнулен и на выходах комбинационного сумматора 10 сформирован результат $C = C_{\text{вых}} C_2 C_1 = 010$. В предлагаемом устройстве используется десятично-двоичный способ умножения двоично-десятичных чисел, при

котором множитель обрабатывается как следующее десятично-двоичное число

$$Y = (10) \cdot 2^3 + (00) \cdot 2^2 + (00) \cdot 2^1 + (11) \cdot 2^0.$$

Умножение на каждую десятичную группу разрядов множителя сводится к десятичным сдвигам множителя, которые реализуются в устройство на матрице 4 элементов И 5, и к десятичному суммированию в накапливающем сумматоре 3. В предлагаемом устройстве умножение начинается с десятичной группы разрядов множителя, имеющей наибольший вес 2^3 . Как только закончится умножение на старшую десятичную группу разрядов множителя осуществляется удвоение содержимого накапливающего сумматора 3, а также сдвиг на один двоичный разряд в направлении старших разрядов в регистре 2 множителя. Последним подготавливается к обработке следующая десятичная группа разрядов множителя с двоичным весом 2^2 . Умножение заканчивается после обработки десятичной группы разрядов множителя с двоичным весом 2^0 . После умножения на каждую десятичную группу разрядов множителя, кроме самой младшей, осуществляется удвоение содержимого накапливающего сумматора 3 и сдвиг информации на один двоичный разряд в направлении старших разрядов в регистре 2 множителя. Разрешение или запрещение удвоения содержимого накапливающего сумматора 3 производится путем подачи соответствующего управляющего потенциала на вход 14 запрета суммирования.

Работа устройства начинается с момента прихода первого синхроимпульса на вход 12 синхронизации устройства. По этому синхроимпульсу формируется управляющий сигнал на выходе элемента И 9₂ группы 8 элементов И (так как только $C_2 Y_8 = 1$), который производит передачу соответствующим образом сдвинутого множителя с выходов элементов И 5 второй строки матрицы 4 через группу 6 элементов ИЛИ 7 в накапливающий сумматор 3, а также осуществляет установку восьмого разряда регистра 2 множителя в нуль с разрешения синхроимпульса, поступающего на его синхровход с входа 12 синхронизации устройства. После окончания действия синхроимпульса на входе 12 синхронизации устройства одновременно с суммированием частичного произведения в накапливающем сумматоре 3 в комбинационном сумматоре 10 формируется результат $C = C_{\text{вых}} C_2 C_1 = 100$. На этом первый такт работы устройства заканчивается, а в накапливающем сумматоре 3 формируется результат $Z = 0690$.

Во втором такте работы устройства с приходом второго синхроимпульса на вход 12 синхронизации устройства не производится передача множителя в накапливающий сумматор 3 (так как и C_1 , и C_2 равны нулю), а осуществляется удвоение содержимого накапливающего сумматора 3 и сдвиг информации на один двоичный разряд в регистре 2 множителя в сторону его старших разрядов под действием управляющего сигнала, сформированного на выходе элемента И 11 (так как $C_{\text{вых}} = 1$). Сдвиг информации в регистре 2 осуществляется с разрешения синхроимпульса, поступающего на вход сдвига с входа 12 синхронизации устройства, удвоение содержимого накапливающего сумматора 3 осуществляется при наличии не только синхроимпульса, но и разрешающего потенциала, поступающего с входа 14 запрета суммирования. Управляющий сигнал, сформированный на выходе элемента И 11, поступает также на выход 16 индикации устройства, сообщая о том, что закончено умножение на самую старшую десятичную группу разрядов множителя. После окончания действия второго синхроимпульса на входе 12 синхронизации устройства в комбинационном сумматоре 10 и в накапливающем сумматоре 3 будут сформированы следующие результаты:

$$C = C_{\text{вых}} C_2 C_1 = 100 \text{ и } Z = 1380 \text{ соответственно.}$$

Третий и четвертый такты работы устройства полностью аналогичны второму такту. В каждом из этих тактов осуществляется удвоение содержимого накапливающего сумматора 3 и сдвиг информации в регистре 2 множителя на один двоичный разряд и направление его старших разрядов, а также на выход 16 индикации устройства поступают два сигнала, сообщающие о том, что произведено умножение еще на две десятичные группы разрядов множителя. В результате выполнения этих двух тактов в комбинационном сумматоре и в накапливающем сумматоре 3 формируются следующие результаты.

$$C = C_{\text{вых}} C_2 C_1 = 001 \text{ и } Z = 5520.$$

Здесь следует отметить, что после появления на выходе 16 индикации устройства третьего импульса, сообщающего о том, что завершилось умножение на третью группу разрядов множителя с двоичным весом 2^1 , на накапливающий сумматор 3 через вход 14 запрета суммирования должен поступить управляющий потенциал, запрещающий в дальнейшем удвоение содержимого накапливающего сумматора 3 (этот управляющий потенциал может быть легко сформирован с помощью счетчика,

определяющего момент окончания операции умножения двух чисел).

В пятом такте работы устройства с приходом пятого синхроимпульса на вход 12 синхронизации устройства формируется управляющий сигнал на выходе элемента И 9, группы 8 элементов И 9 (так как только $C_4 Y_4 = 1$), который производит передачу множимого в накапливающий сумматор 3 с выходов элементов И 5 первой строки матрицы 4 через группу 6 элементов ИЛИ 7, а также осуществляет установку четвертого разряда регистра 2 множителя в нуль с разрешения синхроимпульса, поступающего на его синхр-15 вход с входа 12 синхронизации устройства. После окончания действия синхроимпульса на входе 12 синхронизации устройства одновременно с суммированием в накапливающем сумматоре 3 очередного частичного произведения в комбинационном сумматоре 10 формируется результат $C = C_{вых} C_2 C_1 = 010$. На этом пятый такт работы устройства заканчивается, в накапливающем сумматоре 3 формируется ре-25 зультат $Z = 5589$.

При подаче на вход 12 синхронизации устройства шестого синхроимпульса формируется управляющий сигнал на выходе элемента И 9, группы 8 элемен-30 тов И 9 (так как только $C_2 Y_6 = 1$), который производит передачу соответствующим образом сдвинутого множимого с выходов элементов И 5 второй строки матрицы 4 через группу 6 элементов ИЛИ 7 в накапливающий сумматор 3, а также осуществляет установку восьмого разряда регистра 2 мно-35 жителя в нуль с разрешения синхроимпульса, поступающего на синхр-40 вход с входа 12 синхронизации устройства. После окончания действия синхроимпульса на входе 12 синхронизации устройства одновременно с суммирова-45 нием очередного частичного произведения в накапливающем сумматоре 3 формируется результат $C = C_{вых} C_2 C_1 = 100$. На этом шестой такт работы устройства заканчивается, в накапливающем сум-50 маторе 3 формируется результат $Z = 6279$.

В седьмом такте работы устройства с приходом седьмого синхроимпульса на вход 12 синхронизации устройства на выходе элемента И 11 формируется сигнал, который поступает на выход 16 индикации устройства, сообщая о том, что завершено умножение на са-60 мую младшую десятичную группу разрядов множителя с весом 2^9 , тем самым указывая на окончание операции умножения двух чисел. Формирование в последнем такте сигнала на выходе элемента И 11 не приводит к удвоению содержимого накапливающего сумматор-65

ра 3, так как на его управляющем входе действует потенциал, запрещающий удвоение информации.

Итак, появление на выходе 16 индикации устройства четырех импульсов указывает на завершение операции умножения. Сформированный в сумматоре 3 результат $Z = 6279$ и является окончательным произведением.

Умножение чисел в двоичном коде в предлагаемом устройстве осуществляется аналогично вышеописанному процессу умножения чисел в двоично-10 десятичном коде. Отличия состоят только в том, что в накапливающем сумматоре производится двоичное суммирование (вместо десятичного в предыдущем случае), а удвоение содержимого сумматора фактически является обычным сдвигом его информации на один двоичный разряд в направлении старших разрядов.

Таким образом, умножение чисел в двоичном коде производится фактически на той же аппаратуре, на кото-25 рой выполняется умножение чисел в двоично-десятичном коде.

Формула изобретения

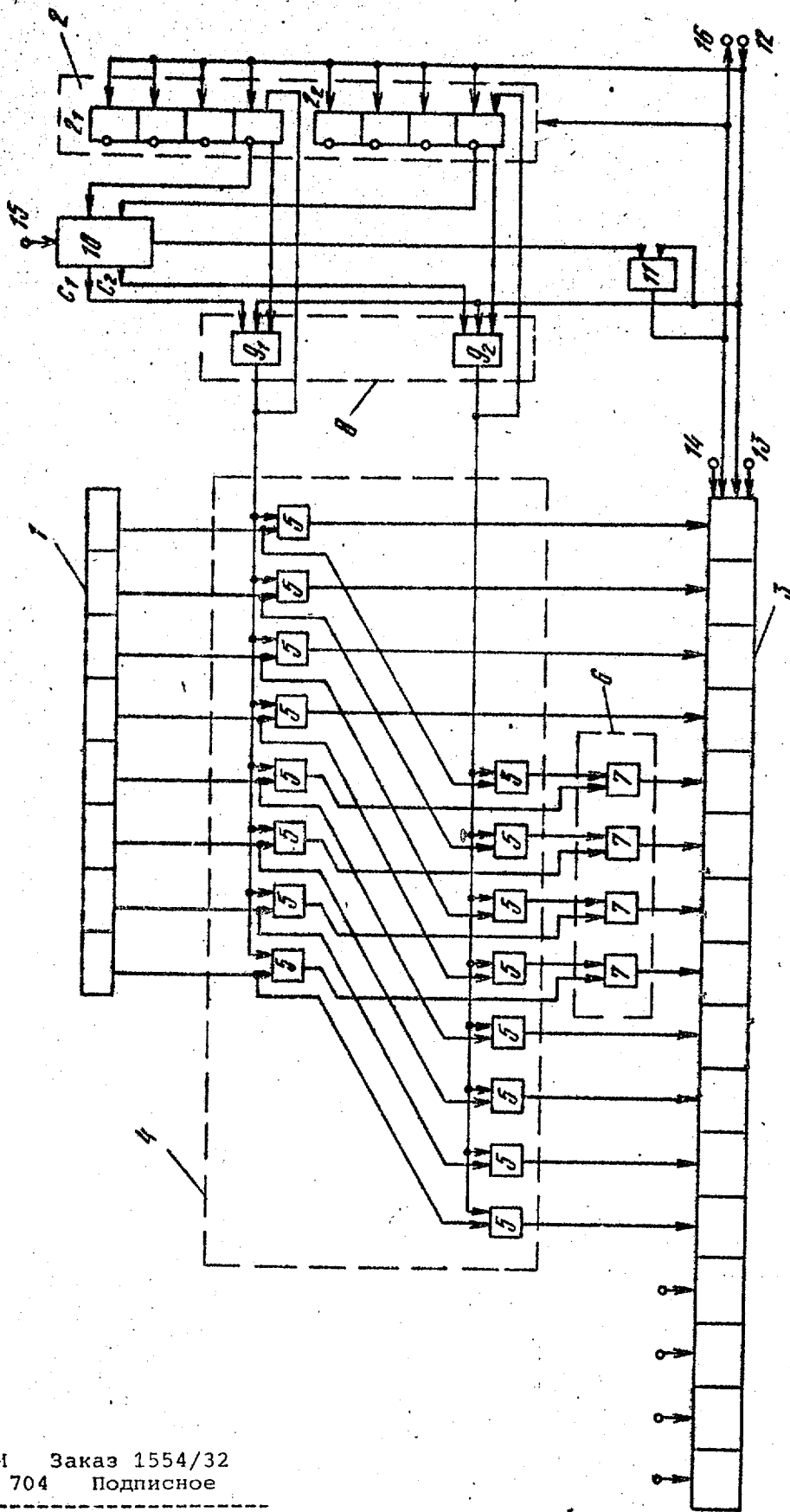
Устройство для умножения n -разрядных чисел, содержащее n -разрядный регистр множимого, n -разрядный регистр множителя, накапливающий сумматор, матрицу элементов И, группу элементов ИЛИ, группу элементов И и комбинационный сумматор, причем выходы регистра множимого соответственно соединены с первыми входами элементов И матрицы, вторые входы элементов И матрицы соответственно соединены с выходами элементов И группы и с входами установки в нуль соответствующих разрядов регистра множителя, выходы элементов ИЛИ груп-40 пы соответственно соединены с разрядными входами накапливающего сумматора, первые входы элементов И группы соединены с прямыми выходами соответствующих разрядов регистра множителя, вторые входы элементов И группы соответственно соединены с выходами комбинационного сумматора, а третьи входы объединены и соединены с входом синхронизации накаплива-45 ющего сумматора, с входом разрешения записи регистра множителя и с входом синхронизации устройства, инверсные выходы регистра множителя соответственно соединены с входами комбина-50 ционного сумматора, вход переноса которого является управляющим входом устройства, о т л и ч а ю щ е е с я тем, что, с целью расширения его функциональных возможностей за счет выполнения операции умножения чисел в двоично-десятичном коде, в него введен элемент И, причем вы-

ход переноса комбинационного сумматора соединен с первым входом элемента И, второй вход которого соединен с входом синхронизации устройства, а выход соединен с входами сдвига регистра множителя и накапливающего сумматора и с выходом индикации окончания операции умножения устройства, выходы четырех младших элементов И первой строки матрицы и четырех старших элементов И последней строки матрицы соединены с соответствующими разрядными входами накапливающего сумматора, а выходы остальных элементов И матрицы соедине-

ны с соответствующими входами элементов ИЛИ группы, первый и второй управляющий входы накапливающего сумматора соединены с входами режимов работы и запрета суммирования устройства соответственно.

5 Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 482740, кл. G 06 F 7/52, 1973.
2. Карцев М. А. Арифметика цифровых машин. М., "Наука", 1969, с. 364.
3. Авторское свидетельство СССР по заявке № 3343801/18-24, кл. G 06 F 7/52, 07.09.81 (прототип)



ВНИИПИ Заказ 1554/32
Тираж 704 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4