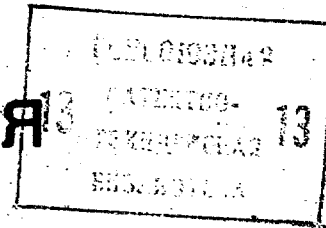




3 (5D) G 06 F 7/552

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3360925/18-24
 (22) 08.12.81
 (46) 30.04.83. Бюл. № 16
 (72) Г. П. Лопато и А. А. Шостак
 (71) Минский радиотехнический институт
 (53) 681.325 (088.8)
 (56) 1. Авторское свидетельство СССР № 661550, кл. G 06 F 7/552, 1979.
 2. Лебедев И. В. и др. Метод извлечения квадратного корня в цифровой вычислительной машине. Сб. "Вопросы вычислительной математики и вычислительной техники". Под ред. И. А. Люстерника, "МАШГИЗ", 1963, с. 175-178 (прототип).
 (54) (57) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ КВАДРАТНОГО КОРНЯ, содержащее регистры подкоренного числа и результата, регистр сдвига, сумматор, причем первый вход первого сумматора соединен с выходом регистра подкоренного числа, отличающееся тем, что, с целью повышения быстродействия, в него введены сумматоры, вычитатели, группа элементов И-ИЛИ, группы элементов ИЛИ, блок формирования цифр результата и коммутатор, причем первый выход первого сумматора соединен с первыми входами второго сумматора и первого вычитателя, первый выход второго сумматора соединен с первыми входами третьего сумматора и второго вычитателя, первый выход первого вычитателя соединен с первыми входами четвертого сумматора и третьего вычитателя, первые выходы третьего и четвертого сумматоров, второго и третьего вычитателей соединены с информационными входами коммутатора,

выход которого соединен с входом регистра подкоренного числа, первые входы группы элементов И-ИЛИ и первой, второй, третьей, четвертой, пятой и шестой групп элементов ИЛИ соединены с выходом регистра результата, а вторые входы соединены с выходом регистра сдвига, выход группы элементов И-ИЛИ соединен с вторым входом первого сумматора, выходы первой, второй, третьей, четвертой, пятой и шестой групп элементов ИЛИ соединены с вторыми входами соответственно второго, третьего и четвертого сумматоров и первого, второго и третьего вычитателей, выход знакового разряда регистра подкоренного числа соединен с четвертым входом группы элементов И-ИЛИ и третьим входом первого сумматора, вторые выходы первого, второго, третьего и четвертого сумматоров и первого, второго и третьего вычитателей соединены с первым, вторым, третьим, четвертым, пятым, шестым и седьмым входами блока формирования цифр результата, первый, второй и третий выходы которого соединены с первым, вторым и третьим управляющими входами регистра результата, а четвертый, пятый, шестой и седьмой выходы блока формирования цифр результата соединены с первым, вторым, третьим и четвертым управляющими входами коммутатора, четвертый управляющий вход регистра результата соединен с выходом регистра сдвига, информационные входы регистров подкоренного числа, результата, сдвига соединены с информационным входом устройства.

(19) **SU** (11) **1015380** **A**

2. Устройство по п. 1, отличающееся тем, что в нем блок формирования цифр результата содержит элементы И, элемент ИЛИ, элемент 4И-ИЛИ, причем, первые прямые входы первого, второго и первые инверсные входы третьего и четвертого элементов И соединены с первым входом блока формирования цифр результата, второй прямой вход первого и второй инверсный вход второго элемента И соединены с вторым входом блока формирования цифр результата, второй прямой вход третьего элемента И и второй инверсный вход четвертого элемента И соединены с третьим входом блока формирования цифр результата, первый вход блока формирования цифр результата соединен с его первым выходом, первый вход элемента ИЛИ соединен с выходом второго элемента И,

второй вход элемента ИЛИ соединен с выходом четвертого элемента И, выход элемента ИЛИ является вторым выходом блока формирования цифр результата, выходы первого, второго, третьего и четвертого элементов И соединены соответственно с первым, вторым, третьим, четвертым входами элемента 4И-ИЛИ, пятый, шестой, седьмой, восьмой входы которого соединены соответственно с четвертым, пятым, шестым и седьмым входами блока формирования цифр результата, выход элемента 4И-ИЛИ является третьим выходом блока формирования цифр результата, выходы первого, третьего, второго и четвертого элементов И являются соответственно четвертым, пятым, шестым и седьмым выходами блока формирования цифр результата.

1

Изобретение относится к вычислительной технике и может быть использовано в универсальных и специализированных арифметических устройствах для быстрого вычисления квадратного корня из двоичного числа.

Известно устройство для вычисления квадратного корня, выполненное в виде матрицы из n строк и m столбцов [1].

Основным недостатком данного устройства является его низкая эффективность, особенно при больших значениях n , так как увеличение быстродействия достигается за счет значительного увеличения количества используемого оборудования.

Наиболее близким по технической сущности к предлагаемому является устройство для вычисления квадратного корня, содержащее регистры подкоренного числа и результата, сдвигающий регистр, сумматор-вычитатель, две группы вентилях коррекции, причем первый и второй входы сумматора-вычитателя соединены с выходами регистров соответственно подкоренного числа и результата, а выход соединен с входом регистра подкоренного числа, выход сдвигающего регистра со-

2

единен соответствующим образом через первую и вторую группы вентилях коррекции с входами регистра результата, выход знакового разряда регистра подкоренного числа соединен с управляющим входом сумматора-вычитателя, управляющие входы регистров подкоренного числа и результата, а также сдвигающего регистра соединены с входами устройства. В данном устройстве реализован алгоритм вычисления квадратного корня без восстановления остатка [2].

Недостатком известного устройства является низкое быстродействие, вызванное в первую очередь формированием в каждом цикле его работы только одной двоичной цифры результата.

Цель изобретения - повышение быстродействия устройства для вычисления квадратного корня путем одновременного формирования в цикле нескольких двоичных цифр результата.

Поставленная цель достигается тем, что в устройстве для вычисления квадратного корня, содержащее регистры подкоренного числа и результата, регистр сдвига, сумматор, причем первый вход первого сумматора соединен с выходом регистра подкоренного числа,

введены сумматоры, вычитатели, группа элементов И-ИЛИ, группы элементов ИЛИ, блок формирования цифр результата и коммутатор, причем первый выход первого сумматора соединен с первыми входами второго сумматора и первого вычитателя, первый выход второго сумматора соединен с первыми входами третьего сумматора и второго вычитателя, первый выход первого вычитателя соединен с первыми входами четвертого сумматора и третьего вычитателя, первые выходы третьего и четвертого сумматоров, второго и третьего вычитателей соединены с информационными входами коммутатора, выход которого соединен с входом регистра подкоренного числа, первые входы группы элементов И-ИЛИ и первой, второй, третьей, четвертой, пятой и шестой групп элементов ИЛИ соединены с выходом регистра результата, а вторые входы соединены с выходом регистра сдвига, выход группы элементов И-ИЛИ соединен с вторым входом первого сумматора, выходы первой, второй, третьей, четвертой, пятой и шестой групп элементов ИЛИ соединены с вторыми входами соответственно второго, третьего, четвертого сумматоров и первого, второго и третьего вычитателей; выход знакового разряда регистра подкоренного числа соединен с третьим входом группы элементов И-ИЛИ и третьим входом первого сумматора, вторые выходы первого, второго, третьего и четвертого сумматоров и первого, второго и третьего вычитателей соединены с первым, вторым, третьим, четвертым, пятым, шестым и седьмым входами блока формирования цифр результата, первый, второй и третий выходы которого соединены с первым, вторым и третьим управляющими входами регистра результата, а четвертый, пятый, шестой и седьмой выходы блока формирования цифр результата соединены с первым, вторым, третьим и четвертым управляющими входами коммутатора, четвертый управляющий вход регистра результата соединен с выходом регистра сдвига, информационные входы регистров подкоренного числа, результата, сдвига соединены с информационным входом устройства.

Блок формирования цифр результата содержит элементы И, элемент ИЛИ, элемент ЧИ-ИЛИ, причем первые прямые

входы первого, второго и первые инверсные входы третьего и четвертого элементов И соединены с первым входом блока формирования цифр результата, второй прямой вход первого и второй инверсный вход второго элемента И соединены с вторым входом блока формирования цифр результата, второй прямой вход третьего элемента И и второй инверсный вход четвертого элемента И соединены с третьим входом блока формирования цифр результата, первый вход блока формирования цифр результата соединен с его первым выходом, первый вход элемента ИЛИ соединен с выходом второго элемента И, второй вход элемента ИЛИ соединен с выходом четвертого элемента И, выход элемента ИЛИ является вторым выходом блока формирования цифр результата, выходы первого, второго, третьего и четвертого элементов И соединены соответственно с первым, вторым, третьим и четвертым входами элемента ЧИ-ИЛИ, пятый, шестой, седьмой, восьмой входы которого соединены соответственно с четвертым, пятым, шестым и седьмым входами блока формирования цифр результата, выход элемента ЧИ-ИЛИ является третьим входом блока формирования цифр результата, выходы первого, третьего, второго и четвертого элементов И являются соответственно четвертым, пятым, шестым и седьмым выходами блока формирования цифр результата.

На фиг. 1 изображена структурная схема предлагаемого устройства для вычисления квадратного корня (рассматривается случай, когда число одновременно формируемых двоичных цифр результата K равно трем); на фиг. 2 показан для этого же случая один из возможных вариантов функциональной схемы блока формирования цифр результата; на фиг. 3 - функциональная схема i -го разряда коммутатора; на фиг. 4 и 5 - функциональные схемы группы элементов И-ИЛИ и одной группы элементов ИЛИ.

Устройство для вычисления квадратного корня содержит (фиг.1) регистры 1 и 2 соответственно подкоренного числа и результаты, регистр 3 сдвига, первый 4, второй 5, третий 6 и четвертый 7 сумматоры, первый 8, второй 9 и третий 10 вычитатели, группу 11 элементов И-ИЛИ, первую 12, вторую 13, третью 14, четвертую 15, пятую 16 и шестую 17 группы элемен-

тов ИЛИ, коммутатор 18, блок 19 формирования цифр результата и вход 20 устройства.

Выходы 21-28 являются выходами знаковых разрядов регистра подкоренного числа, сумматоров и вычитателей, выход 29 - блока формирования цифр результата.

Блок формирования цифр результата (фиг.2) содержит элементы И 30, элемент ИЛИ 31, элемент 4И-ИЛИ 32.

Схема i -го разряда коммутатора (фиг. 3) содержит элементы И 33, элемент ИЛИ 34.

Группа элементов И-ИЛИ (фиг.4) содержит элементы И 35, элементы ИЛИ 36.

Группа элементов ИЛИ (фиг.5) содержит элементы ИЛИ 37.

Блок 19 формирования цифр результата выполняет две функции.

Во-первых, формирует сигналы, управляющие работой коммутатора 18.

Во-вторых, формирует три двоичные цифры результата в соответствии с алгоритмом вычисления квадратного корня без восстановления остатка. Формирование сигналов y_6^* , y_7^* , y_9^* , y_{10}^* управляющих работой коммутатора 18, а также формирование цифр результата f_3 , f_2 , f_1 осуществляется в узле 19 в соответствии со следующими логическими выражениями:

$$y_6^* = x_{22} x_{23}; \quad y_7^* = \bar{x}_{22} x_{26}; \quad y_9^* = x_{22} \bar{x}_{23};$$

$$y_{10}^* = \bar{x}_{22} \bar{x}_{26};$$

$$f_1 = \bar{x}_{22}; \quad f_2 = y_9^* + y_{10}^*; \quad f_3 = y_6^* \bar{x}_{24} + y_7^* \bar{x}_{25} + y_9^* \bar{x}_{27} + y_{10}^* \bar{x}_{28}.$$

Здесь, например, через y_7^* обозначен управляющий сигнал, под действием которого коммутатор 18 осуществляет выборку результата, сформированного на выходе сумматора с порядковым номером 7 на фиг. 1, x_{21} обозначает логическую переменную, соответствующую значению знакового разряда регистра 1 подкоренного числа (если в регистре 1 хранится отрицательное число, то $x_{21} = 1$, в противном случае $x_{21} = 0$), f_3 , f_1 соответственно младшая и старшая двоичная цифра результата из трех формируемых в одном цикле цифр.

На фиг. 2 приведена функциональная схема узла 19 формирования цифр результата, работающая в соответствии с приведенными выше логическими выражениями.

На фиг. 3 показана функциональная схема i -го разряда коммутатора 18, где, например, R_9^1 обозначает значение разности на выходе i -го разряда вычитателя с порядковым номером 9 на фиг. 1. Если же в устройстве используются сумматоры без распространения переносов, то i -й разряд коммутатора 18 должен включать две такие схемы.

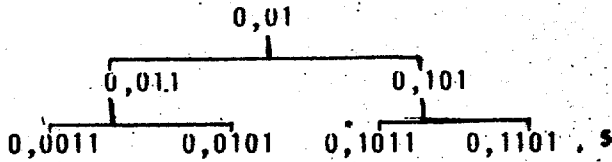
Группы 12-17 элементов ИЛИ содержат в определенных разрядах элементы ИЛИ (по одному элементу на разряд). Группы же элементов И-ИЛИ содержат в определенных разрядах элемент ИЛИ или элементы И и ИЛИ.

На фиг. 4 показана функциональная схема группы 11 элементов И-ИЛИ, на фиг. 5 - функциональная схема группы 13 элементов ИЛИ (другие группы элементов ИЛИ строятся подобным образом).

Устройство для вычисления квадратного корня работает следующим образом.

В исходном состоянии в регистре 1 хранится n -разрядное число x (для определенности будем предполагать, что подкоренное число X есть правильная нормализованная дробь, причем только положительная), регистр 2 результата обнулен, в первом разряде сдвигающего регистра 3 записана единица (разрядность сдвигающего регистра 3 может быть выбрана равной числу циклов работы устройства для вычисления квадратного корня из n -разрядного двоичного числа, будем считать, что число циклов работы устройства равно $n/3$, а следовательно и $m = n/3$).

В первом цикле работы устройства сумматор 4, управляемый сигналом $x_{21} = 0$, работает как вычитатель. Так как регистр 2 результата обнулен, то результаты, формируемые на выходах группы 11 элементов И-ИЛИ и групп 12-17 элементов ИЛИ определяются только информацией, которую вводит соответствующим образом в эти группы в соответствии с алгоритмом вычисления квадратного корня без восстановления остатка единица, хранящаяся в первом разряде сдвигающего регистра 3. Ниже приведены эти результаты на выходах групп 11-17 (результаты расположены подобно тому, как размещены группы 11-17 на структурной схеме устройства фиг. 1).

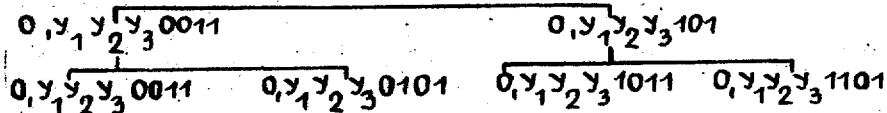


Сумматор 4, а также сумматоры 5-7 и вычитатели 8-10 практически начинают работать одновременно. С их помощью на выходах сумматоров 6 и 7 вычитателей 9 и 10 формируются результаты при всех возможных путях развития вычитательного процесса определения трех наиболее старших двоичных цифр результата y_1, y_2, y_3 по алгоритму вычисления квадратного корня без восстановления остатка. Очевидно, что в одном цикле определения трех двоичных цифр результата только один из этих четырех результатов может быть правильным (выбор правильного результата осуществляется с помощью управляющих сигналов $y_6^*, y_7^*, y_9^*, y_{10}^*$). По истечении времени, равного примерно времени суммирования двух n -разрядных двоичных чисел, коммутатор 18 выбирает в качестве первого остатка результат либо одного из сумматоров 6 и 7, либо одного из вычитателей 9 и 10, который с разрешения сигнала на входе 20 устройства записывается в регистр 1 со сдвигом влево на один двоичный разряд. Здесь можно отметить, что при записи в регистр 1 очередного остатка со сдвигом его влево на один двоичный разряд возможно искажение знака остатка. Поэтому в регистре 1 результата необходимо предусмотреть кроме n основных разрядов два дополнительных знаковых разряда (один из этих дополнительных разрядов и будет хранить истинное значение знака очередного остатка). Одновременно с выборкой коммутатором 18 одного из четырех результатов на выходах сумматоров 6 и 7 и вычитате-

лей 9 и 10 и записью его в качестве очередного остатка в регистр 1, в блоке 19 формируются три двоичные цифры результата f_1, f_2, f_3 , которые записываются с разрешения сигнала на входе 20 устройства в три наиболее старшие разряды регистра 2 в качестве трех наиболее старших цифр результата y_1, y_2, y_3 (номера разрядов регистра 2, в которые должны быть записаны три очередных цифры результата, однозначно определяет единица в регистре 3). Одновременно с записью трех цифр результата в регистр 2, в регистре 3 осуществляется сдвиг единицы во второй разряд (это возможно, так как предполагается, что используются в устройстве синхронные двухтактные триггеры).

Во втором цикле работы устройства режим работы сумматора 4 зависит от знака первого остатка, хранимого в регистре 1 подкоренного числа (если этот остаток положительный, то сумматор 4 работает как вычитатель, в противном случае как сумматор). Результаты, формируемые во втором цикле на выходах группы 11 элементов И-ИЛИ и групп 12-17 элементов ИЛИ определяются не только информацией, которую вводит соответствующим образом в эти группы в соответствии с алгоритмом вычисления квадратного корня без восстановления остатка единица, хранимая во втором разряде сдвигающего регистра 3, но и информацией регистра 2 результата (результат на выходе группы 11 элементов И-ИЛИ зависит еще и от значения знакового разряда регистра 1 подкоренного числа). Подобно тому как делалось ранее, ниже приведены эти результаты на выходах групп 11-17.

$$\text{или } \begin{matrix} 0, y_1 y_2 y_3 01 & (\text{если } x_{21} = 0) \\ 0, y_1 y_2 y_3 11 & (\text{если } x_{21} = 1) \end{matrix}$$



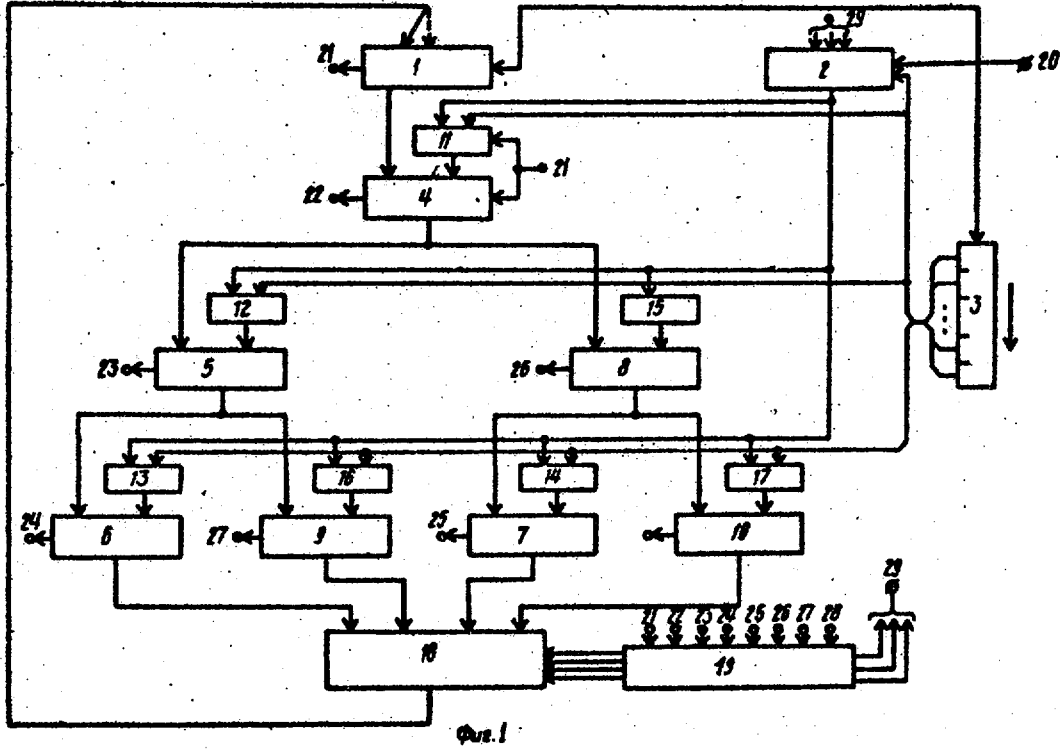
В остальном работа устройства во втором цикле аналогична работе устройства в первом цикле. В результате его выполнения в регистр 1 записывается второй остаток, в регистре 2 формируется результат $0, y_1 y_2 y_3 y_4 y_5 y_6 \dots 0$.

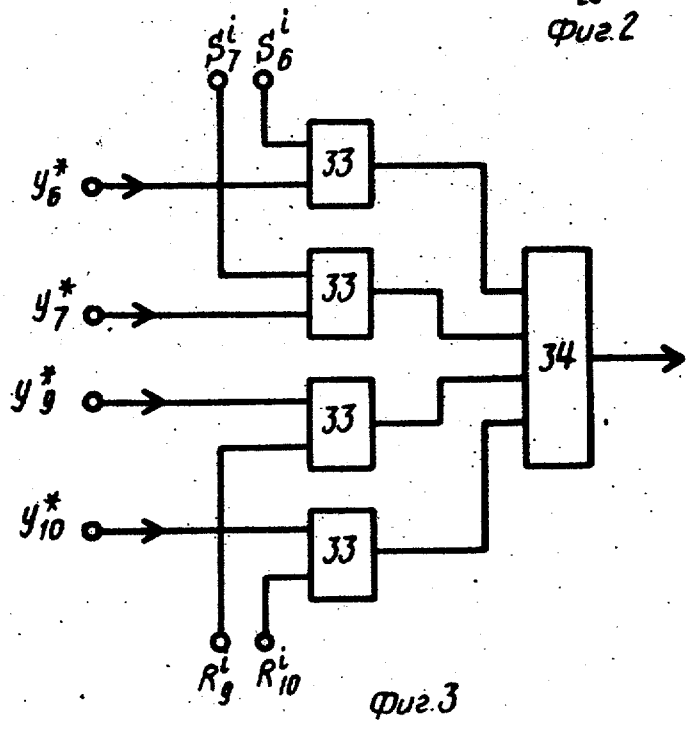
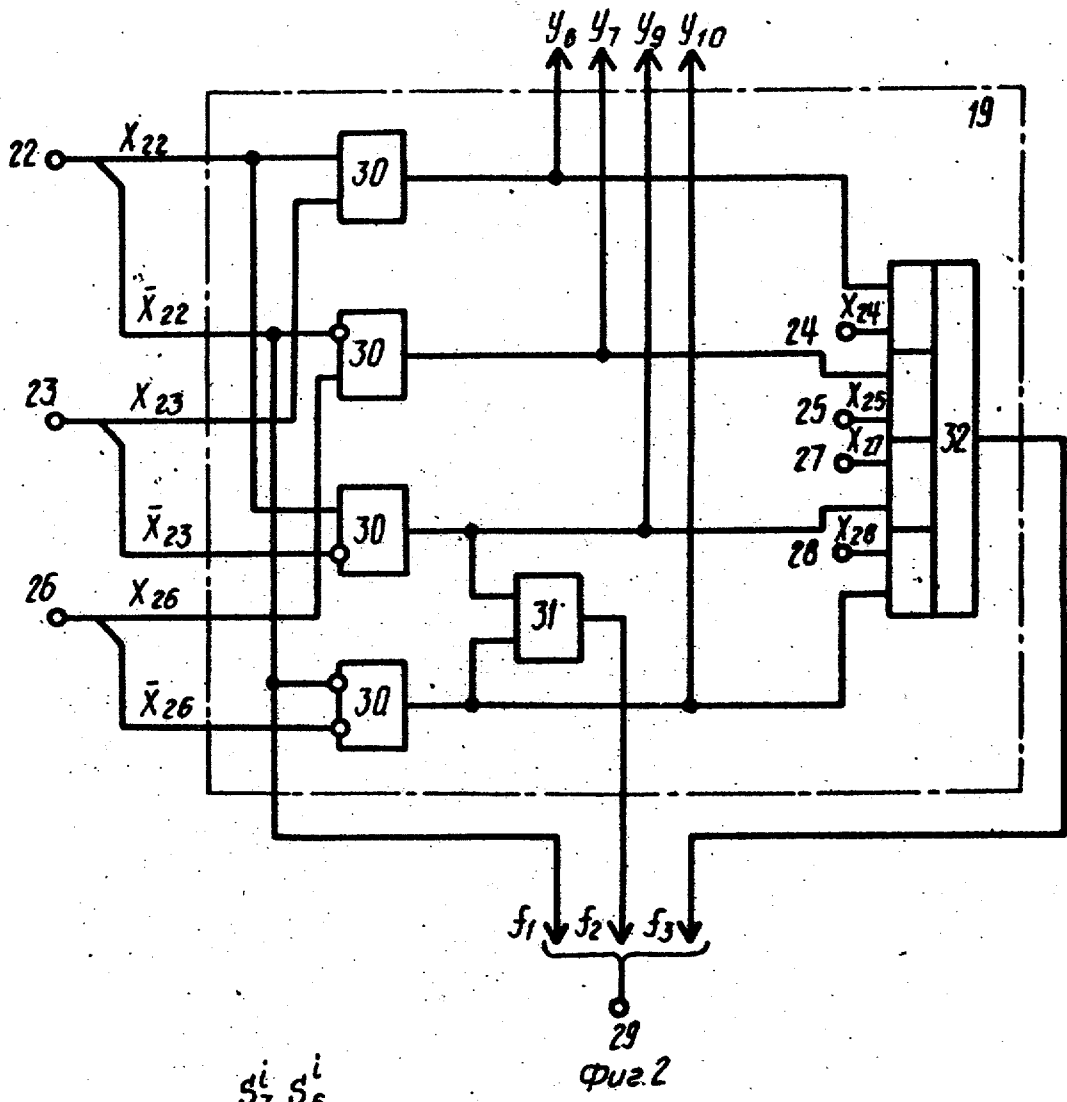
а в третьем разряде сдвигающего регистра 3 записана единица.

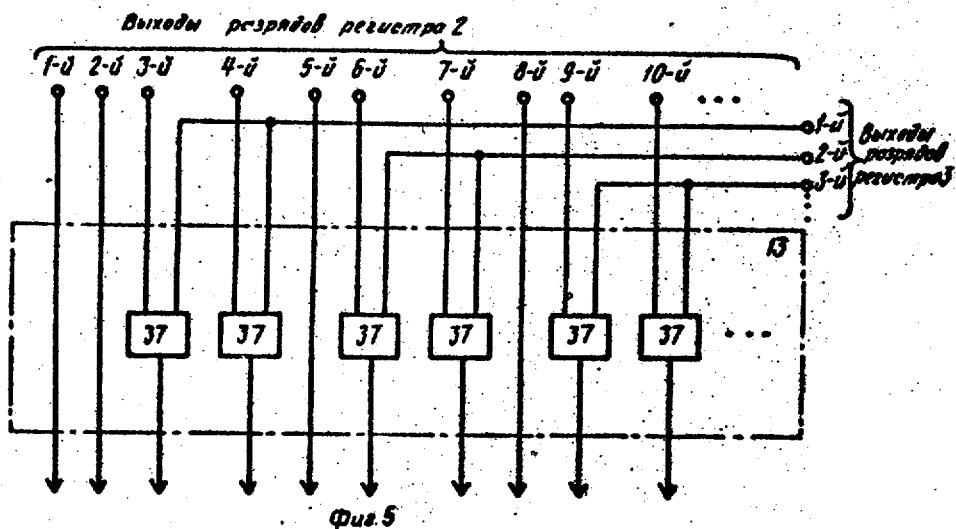
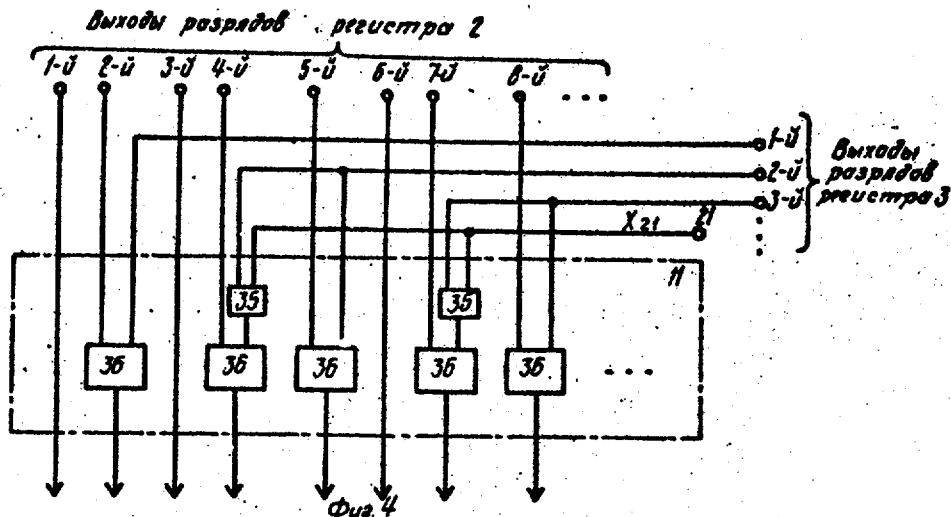
После выполнения $n/3$ циклов в регистре 2 будет сформирован n -разрядный двоичный код результата. Выдвиг-

гаемая в $(n/3)$ -м цикле работы устройства единица из последнего разряда сдвигающего регистра 3 указывает на окончание операции. Разумеется,

что число циклов работы устройства может быть определенным образом увеличено, если этого потребует точность вычисления.







Редактор А. Власенко

Составитель Г. Лопато

Техред С. Мигунова

Корректор С. Шекмар

Заказ 3217/46

Тираж 706

Подписное

ВНИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4