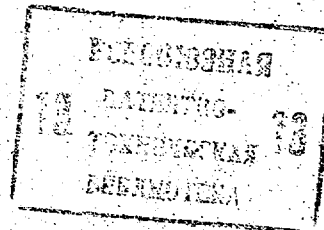




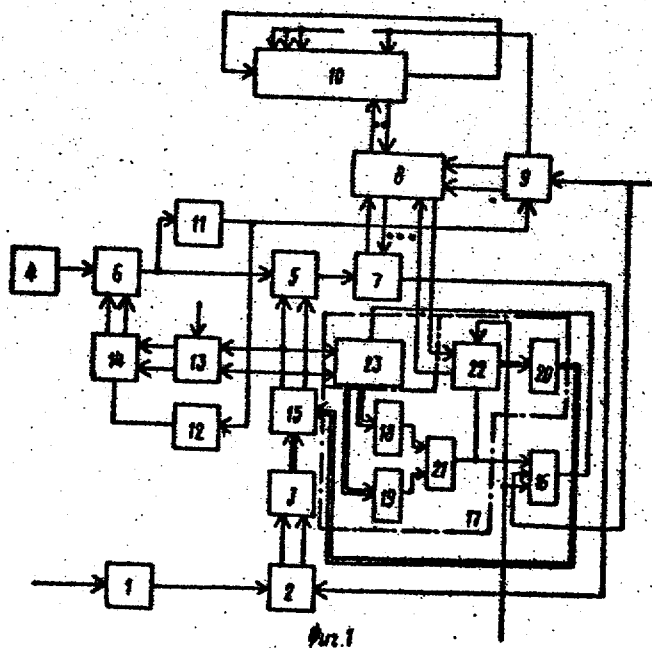
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (61) 536611
- (21) 3300174/18-09
- (22) 04.06.81
- (46) 30.05.83, Бюл. № 20
- (72) С. А. Ганкевич
- (71) Минский радиотехнический институт
- (53) 621.394.662(088.8)
- (56) 1. Авторское свидетельство СССР № 536611, кл. H 04 L 7/02, 1977 (прототип).
- (54) (57) УСТРОЙСТВО СИНХРОНИЗАЦИИ СИГНАЛОВ по авт. св. № 536611, отличающееся тем, что, с целью повышения помехоустойчивости, введены последовательно соединенные анализатор ошибок синхронизации и коммутатор, а также элемент ИЛИ, при этом выходы

реверсивного счетчика через коммутатор соединены с объединенными входами первого управителя и анализатора ошибок синхронизации, к установочному входу которого подключен выход элемента ИЛИ, другой вход и выход анализатора ошибок синхронизации соединены с соответствующими выходом и входом блока перезаписи кода, причем к входам элемента ИЛИ подключены соответственно соответствующий выход анализатора ошибок синхронизации, соответствующий вход анализатора ошибок синхронизации и соответствующий вход формирователя импульсов перезаписи и продвижения, который является входом сигнала управления.



Изобретение относится к радиотехнике и технике связи и может использоваться в многоканальных системах передачи информации с временным разделением каналов для тактовой синхронизации.

По основному авт. св. № 536611 известно устройство синхронизации сигналов, содержащее последовательно соединенные блок для выделения сигналов синхронизации, фазовый дискриминатор, реверсивный счетчик, первый управитель и управляемый делитель, первый выход которого подключен к другому входу фазового дискриминатора, второй выход и установочный вход каждого разряда управляемого делителя через блок перезаписи кода соединены с соответствующим входом и выходами кольцевого регистра, входы продвигающих импульсов которого и управляющие входы блока перезаписи кода соединены с соответствующими выходами формирователя импульсов перезаписи и продвижения, к входу которого подключен выход первого делителя, к входу которого подключен соответствующий вход первого управителя непосредственно, а выход генератора — через второй управитель, к другим входам которого подключены выходы реверсивного счетчика через последовательно соединенные ключ и интегратор, к соответствующему входу которого подключен выход первого делителя через второй делитель [1]

Однако известное устройство обладает низкой помехоустойчивостью.

Цель изобретения — повышение помехоустойчивости.

Поставленная цель достигается тем, что в устройстве синхронизации сигналов, содержащее последовательно соединенные блок для выделения сигналов синхронизации, фазовый дискриминатор, реверсивный счетчик, первый управитель и управляемый делитель, первый выход которого подключен к другому входу фазового дискриминатора, второй выход и установочный вход каждого разряда управляемого делителя через блок перезаписи кода соединены с соответствующим входом и выходами кольцевого регистра, входы продвигающих импульсов которого и управляющие входы блока перезаписи кода соединены с соответствующими выходами формирователя импульсов перезаписи и продвижения, к входу которого подключен выход первого делителя, к входу которого подключен соответствующий вход первого управителя непосредственно, а выход генератора — через второй уп-

равитель, к другим входам которого подключены выходы реверсивного счетчика через последовательно соединенные ключ и интегратор, к соответствующему входу которого подключен выход первого делителя через второй делитель, введены последовательно соединенные анализатор ошибок синхронизации и коммутатор, а также элемент ИЛИ, при этом выходы реверсивного счетчика через коммутатор соединены с объединенными входами первого управителя и анализатора ошибок синхронизации, к установочному входу которого подключен выход элемента ИЛИ, другой вход и выход анализатора ошибок синхронизации соединены с соответствующими выходом и входом блока перезаписи кода, причем к входам элемента ИЛИ подключены соответственно соответствующий выход анализатора ошибок синхронизации, соответствующий вход анализатора ошибок синхронизации и соответствующий вход формирователя импульсов перезаписи и продвижения, который является входом сигнала управления.

На фиг. 1 и 2 представлена структурная электрическая схема устройства синхронизации сигналов.

Устройство синхронизации содержит блок 1 для выделения сигналов синхронизации, фазовый дискриминатор 2, реверсивный счетчик 3, генератор 4, первый и второй управители 5 и 6, управляемый делитель 7, блок 8 перезаписи кода, формирователь 9 импульсов перезаписи и продвижения, кольцевой регистр 10, первый и второй делители 11 и 12, ключ 13, интегратор 14, коммутатор 15, элемент ИЛИ 16 и анализатор 17 ошибок синхронизации, состоящий из дешифраторов 18-20, элемента ИЛИ 21, счетчика 22 и измерителя 23 ошибок, причем формирователь 9 состоит из счетчика 24, дешифратора 25, элементов И 26-28, JK-триггеров 29 и 30 и инвертора 31.

Устройство работает следующим образом.

На вход фазового дискриминатора поступает опорный сигнал и сигнал с выхода блока 1 для выделения сигналов синхронизации. Сигнал рассогласования с выхода фазового дискриминатора 2 поступает на реверсивный счетчик 3, осуществляющий его усреднение. Импульсы с выхода реверсивного счетчика 3 через коммутатор 15 поступают на входы первого управителя 5, осуществляющего добавление импуль-

сов или их исключение из последовательности, поступающей на вход первого управителя 5 с выхода генератора 4 через второй управитель 6. С выхода первого управителя 5 импульсы поступают на управляемый делитель 7, который понижает частоту высокочастотной последовательности до тактовой частоты сигнала, формируя таким образом опорный сигнал.

При этом в каждом временном канале за определенный промежуток времени устраняется фазовое рассогласование между опорным и принимаемым каналным сигналом, т.е. устанавливается синхронный режим. Этому состоянию соответствует определенный фазовый сдвиг между эталонным сигналом на выходе первого делителя 11 и опорным сигналом на выходе управляемого делителя 7, которому соответствует определенный код управляемого делителя 7 в моменты появления импульсов на выходе первого делителя 11. Этот код в конце канального интервала заносится в кольцевой регистр 10 импульсом записи кода, поступающим с выхода формирователя 9. Для этого от распределителя временных каналов в конце временного канала на установочный вход счетчика 24 подается импульс, устанавливающий его в нулевое состояние. При этом потенциалом с дешифратора 25 открываются элементы И 26 и 28, а со входа установки триггера 30 снимается сигнал установки нуля. В результате этого импульс с первого делителя 11 через элемент И 28 поступает на вход блока 8 перезаписи кода, заносит код управляемого делителя 7 в кольцевой регистр 10 и опрокидывает JK-триггер 30, с выхода которого на вход элемента И 28 подается сигнал запрета. Продвижение информации в кольцевом регистре 10 осуществляется импульсами с выхода элемента И 26, поступающими одновременно на счетчик 24. При поступлении на вход счетчика 24 числа импульсов, соответствующих длине заносимого кода в кольцевой регистр 10, срабатывает дешифратор 25, в результате чего на элемент И 26 подается сигнал запрета, а на элемент И 27 и установочный вход JK-триггера 29 высокий потенциал. Импульс с выхода первого делителя 11, пройдя элемент И 27, производит запись кода из кольцевого регистра 10 в управляемый делитель 7 и опрокидывает JK-триггер 29, сигналом с выхода которого закрывается элемент И 27. Для нормального функционирования

формирователя 9 необходимо обеспечить опережение импульса записи кода в кольцевой регистр 10 и отставание импульса записи кода в управляемый делитель 7 соответственно относительно первого и последнего импульса продвижения информации в кольцевом регистре на время надежного срабатывания логических элементов, что достигается введением необходимого числа элементов задержки (например, инверторов).

Второй управитель 6 служит для приведения частоты опорного сигнала к тактовой частоте принимаемого сигнала. Импульсы управления вырабатываются интегратором 14, который осуществляет интегрирование величины фазового рассогласования на входе устройства и формирует импульсы управления, компенсирующие частотную расстройку генератора 4 относительно частоты принимаемого сигнала. Это позволяет устранить различие запоминаемого значения фазы опорного сигнала от фазы входного сигнала за цикл.

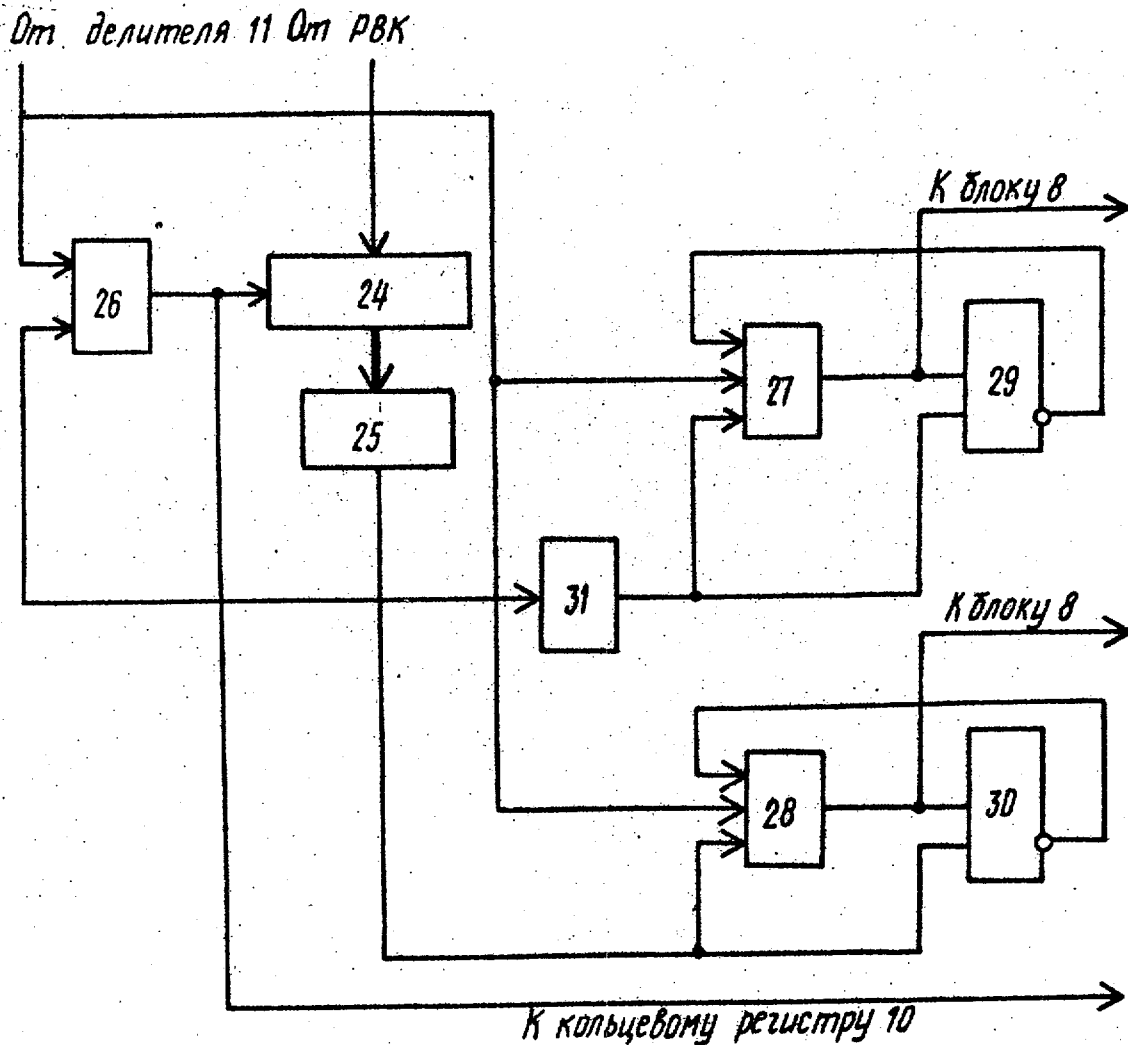
Система с астатизмом второго порядка позволяет свести к нулю динамическую ошибку синхронизации при постоянной частотной расстройке между входным и опорным сигналами. При этом величина флуктуационной ошибки синхронизации может быть оценена как разность импульсов исключения и добавления, поступающих на вход управителя 6 в стационарном режиме, что может быть оценено с помощью измерителя 23 ошибок. При этом состояние измерителя 23 ошибок в каждый момент времени соответствует флуктуационной ошибке, а допустимая величина ошибки может быть зафиксирована с помощью дешифраторов 18 и 19, настроенных на соответствующие комбинации прямого и дополнительного кодов. Превышение допустимой ошибки указывает на необходимость уменьшения коэффициента усиления, что обеспечивается включением дополнительных разрядов реверсивного счетчика 3. Это осуществляется следующим образом. Сигнал с дешифраторов 18 и 19 через элемент ИЛИ 21 поступает на вход счетчика 22 и на установочный вход измерителя 23 ошибок. На одном из входов дешифратора 20 появляется сигнал, подключающий с помощью коммутатора 15 дополнительный разряд счетчика 3. Этим же сигналом измеритель 23 ошибок устанавливается в нулевое состояние.

В конце временного канала код счетчика 22, которому соответствует определенный коэффициент пересчета реверсивного счетчика 3, а следовательно, и определенный коэффициент усиления контура, обеспечивающий величину флуктуационной ошибки, не превышающую допустимой, импульсом записи с формирователя 9 заносится в кольцевой регистр 10, а из него через блок 8 перезаписи кода в управляемый делитель 7. При этом измеритель 23 ошибок сигналом управления с выхода распределителя временных каналов устанавливается в нулевое состояние.

При установлении режима синхронизма на установочный вход счетчика 22 и из измерителя 23 ошибок подается соответ-

ствующий сигнал, устанавливающий указанные блоки в нулевое состояние, в результате чего обеспечивается максимальный коэффициент усиления контура, что приводит к сокращению времени фазирования.

Таким образом, предлагаемое устройство синхронизации сигналов по сравнению с известным позволяет осуществить адаптацию к изменяющейся помеховой обстановке, а следовательно, повысить качественные характеристики устройства, и, в первую очередь, время вхождения в синхронизм по элементарным посылкам при начальном фазировании и восстановлении начала временных каналов через цикл, а также в целом повысить помехоустойчивость устройства.



Фиг. 2