



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

(11) 703817

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 16.03.77 (21) 2462446/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.12.79, Бюллетень №46

Дата опубликования описания 30.12.79

(51) М. Кл.²

G 06 F 11/00
G 06 F 7/385

(53) УДК 681.3
(088.8)

(72) Авторы
изобретения

Б.Г. Лыиков и А.А. Шостак

(71) Заявитель

Минский радиотехнический институт

(54) КОНТРОЛИРУЕМЫЙ ПАРАЛЛЕЛЬНЫЙ СУММАТОР

Изобретение относится к области вычислительной техники и может быть применено при разработке арифметических устройств, контроль которых организован по четности, а в используемых сумматорах разрядные переносы формируются параллельным, параллельно-последовательным или параллельно-параллельным способом.

Известны сумматоры, содержащие в каждом разряде элемент И или элемент ИЛИ, блок формирования параллельного переноса и блок формирования поразрядной суммы [1].

Разрядные суммы при этом формируются в соответствии с выражением

$$S_n = a_n \vee b_n \vee C_{n-1}$$

где a_n , b_n - разрядные слагаемые;
 C_{n-1} - перенос из предыдущего (n-1)-го разряда сумматора.

Недостатком известных сумматоров является низкий процент обнаруживаемых ошибок, вызываемых одиночной неисправностью сумматоров, при организации их контроля по четности, при этом ошибки, вызываемые неисправностью элементов И или ИЛИ, а также неисправностью блоков формирования

параллельных переносов, не обнаруживаются контролем по четности.

Наиболее близким по технической сущности к предложенному является контролируемый параллельный сумматор, содержащий в каждом разряде элемент И и элемент ИЛИ, блок формирования параллельного переноса и во всех разрядах, кроме старшего, блок формирования поразрядной суммы, причем первый, второй и третий входы блока формирования поразрядной суммы каждого разряда, кроме младшего, соединены соответственно с выходом элемента И, элемента ИЛИ своего разряда, блока формирования параллельного переноса предыдущего разряда, первый, второй и третий входы блока формирования поразрядной суммы младшего разряда соединены соответственно с выходом элемента И, элемента ИЛИ своего разряда и со входом сумматора, первый и второй входы блока формирования параллельного переноса соединены соответственно с выходом элемента И и элемента ИЛИ данного разряда, выход блока формирования параллельного переноса старшего разряда является выходом сумматора [2].

При формировании разрядных сумм в данном сумматоре используется выражение

$$S_n = G_n \vee T_n \vee C_{n-1}$$

где $G_n = a_n b_n$ и $T_n = a_n + b_n$ — соответственно функции генерации и транзита переноса n -го разряда.

Это позволяет наряду с контролем блоков формирования поразрядных сумм организовать контроль элементов И или ИЛИ, формирующих функции генерации и транзита переноса в каждом разряде сумматора.

Недостатком известного сумматора является относительно низкая эффективность контроля по четности, так как полностью не охвачены контролем блоки формирования параллельных переносов, составляющие основной объем оборудования сумматора.

Целью изобретения является повышение эффективности контроля параллельного сумматора.

Поставленная цель достигается тем, что в старший разряд сумматора введен блок формирования поразрядной суммы с функциональной зависимостью от переноса, причем выход элемента ИЛИ старшего разряда соединен соответственно с первым входом блока формирования поразрядной суммы с функциональной зависимостью от переноса, второй и третий входы которого соединены соответственно с выходами блока формирования параллельного переноса данного и предыдущего разрядов.

На чертеже приведена структурная схема n -разрядного контролируемого параллельного сумматора для $n=4$.

Сумматор содержит в каждом разряде элемент И 1, элемент ИЛИ 2, блок 3 формирования параллельного переноса и во всех разрядах, кроме старшего, блок 4 формирования поразрядной суммы, блок 5 формирования поразрядной суммы с функциональной зависимостью от переноса в старшем разряде сумматора, причем первый, второй и третий входы блока 4 формирования поразрядной суммы каждого разряда, кроме младшего, соединены соответственно с выходами элемента И 1, элемента ИЛИ 2 своего разряда, блока 3 формирования параллельного переноса предыдущего разряда. Первый, второй и третий входы блока 4 формирования поразрядной суммы младшего разряда соединены соответственно с выходами элемента И 1, элемента ИЛИ 2 своего разряда и с входом 6 сумматора, на который поступает входной

перенос сумматора. Первый и второй входы блока 3 формирования параллельного переноса соединены соответственно с выходами элемента И 1 и элемента ИЛИ 2 своего разряда. Выход элемента ИЛИ 2 старшего разряда соединен соответственно с первым входом блока 5 формирования поразрядной суммы с функциональной зависимостью от переноса, второй и третий входы которого соединены соответственно с выходами блоков 3 формирования параллельного переноса данного и предыдущего разрядов. Вход 6 сумматора предназначен для ввода входного переноса, а выход блока 3 формирования параллельного переноса старшего разряда является выходом 7 сумматора, с которого снимается выходной перенос сумматора.

Сумматор работает следующим образом.

Элементы И 1 и ИЛИ 2 формируют функции $C_{b_1} - C_{b_4}$ генерации, $T_1 - T_4$ транзита и переноса в соответствующих разрядах сумматора. С помощью блоков 3 формируются параллельным способом разрядные переносы C_1, C_2, C_3 и C_4 , определяемые следующим образом (возрастание индексов при буквенных обозначениях принято в направлении старших разрядов):

$$C_1 = G_1 + T_1 \cdot C_{вх};$$

$$C_2 = G_2 + T_2 \cdot G_1 + T_2 \cdot T_1 \cdot C_{вх};$$

$$C_3 = G_3 + T_3 \cdot G_2 + T_3 \cdot T_2 \cdot G_1 + T_3 \cdot T_2 \cdot T_1 \cdot C_{вх};$$

$$C_4 = G_4 + T_4 \cdot G_3 + T_4 \cdot T_3 \cdot G_2 + T_4 \cdot T_3 \cdot T_2 \cdot G_1 + T_4 \cdot T_3 \cdot T_2 \cdot T_1 \cdot C_{вх} = C_{вых},$$

где $C_{вх}$ — входной перенос, поступающий на вход 6 сумматора;

$C_{вых}$ — выходной перенос, снимаемый с выхода 7 сумматора;

C_1, C_2, C_3 и C_4 — переносы соответственно из 1-го — 4-го разрядов сумматора.

Блок 4 формирования поразрядной суммы функционирует в соответствии с тем же выражением, что и известный сумматор [2]. Блок 5 формирования поразрядной суммы с функциональной зависимостью от переноса может быть построен в соответствии с выражением

$$S_4 = f_4 \vee C_4 = a_4 b_4 C_3 + T_4 + C_3 \vee C_4 = a_4 \cdot b_4 \cdot C_3 \cdot (T_4 + C_3) \vee C_4.$$

Неисправность одного из блоков 4 или 5 может вызвать только одиноч-

ную ошибку в соответствующем разряде суммы, которая всегда будет обнаружена контролем по четности. Неисправность же одного из элементов И 1 или ИЛИ 2 может привести к возникновению групповой ошибки, но она также всегда будет обнаружена контролем по четности, так как общее число ошибок в разрядах суммы и переноса нечетно. Например, неисправность элемента И 1 в первом разряде сумматора может вызвать ошибки либо только в S_1 , либо в S_1, S_2, C_1 либо в S_1, S_2, S_3, C_1, C_2 и т.д. Что же касается блоков 3 формирования параллельных переносов, то в сумматоре контролем охвачен наиболее сложный блок, формирующий параллельный перенос из старшего разряда, что и позволяет повысить эффективность контроля сумматора. Действительно, пусть ошибка в формировании переноса C_4 вызвана неисправностью блока 3 формирования параллельного переноса старшего разряда. Но тогда эта ошибка всегда вызовет ошибку в формировании разрядной суммы S_4 которая и будет обнаружена контролем, так как значение переноса C_4 не используется при предсказании четности результата.

Контроль остальных блоков 3 формирования параллельных переносов может быть организован любым из известных методов с привлечением дополнительного контрольного оборудования.

Наибольший эффект от применения данного сумматора получается в том случае, когда рассмотренный n -разрядный сумматор служит составной частью быстродействующего m -разрядного сумматора, в котором переносы между группами (n -разрядными сумматорами) формируются параллельным способом, причем когда $n = n_{\text{min}} = 2$, а $m \gg n$. В этом случае контролем по четности без введения дополнительного оборудования будут охвачены не только блоки формирования параллельных переносов старших разрядов n -разрядных сумматоров, но и блоки формирования параллельных переносов между n -разрядными сумматорами, т.е. практически основная часть оборудования m -разрядного сумматора.

Таким образом, введение в старший разряд контролируемого параллельного сумматора блока формирования поразрядной суммы с функциональной зависимостью от переноса позволяет повысить эффективность контроля сумматоров по четности.

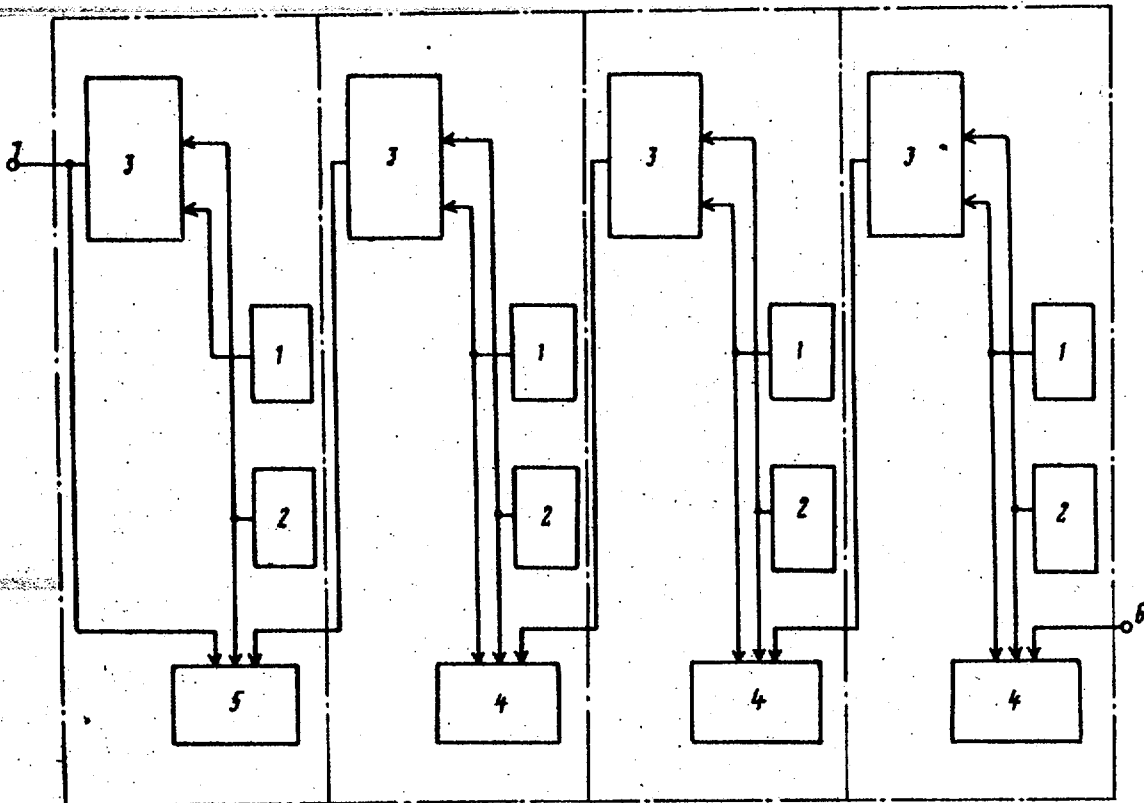
Формула изобретения

Контролируемый параллельный сумматор, содержащий в каждом разряде элемент И и элемент ИЛИ, блок формирования параллельного переноса и во всех разрядах кроме старшего, блок формирования поразрядной суммы, причем первый, второй и третий входы блока формирования поразрядной суммы каждого разряда, кроме младшего, соединены соответственно с выходом элемента И, элемента ИЛИ своего разряда, блока формирования параллельного переноса предыдущего разряда, первый, второй и третий входы блока формирования поразрядной суммы младшего разряда соединены соответственно с выходом элемента И, элемента ИЛИ своего разряда и со входом сумматора, первый и второй входы блока формирования параллельного переноса соединены соответственно с выходом элемента И и элемента ИЛИ данного разряда, выход блока формирования параллельного переноса старшего разряда является выходом сумматора, отличающийся тем, что, с целью повышения эффективности контроля, в старший разряд сумматора введен блок формирования поразрядной суммы с функциональной зависимостью от переноса, причем выход элемента ИЛИ старшего разряда соединен соответственно с первым входом блока формирования поразрядной суммы с функциональной зависимостью от переноса, второй и третий входы которого соединены соответственно с выходами блоков формирования параллельного переноса данного и предыдущего разрядов.

Источники информации, принятые во внимание при экспертизе

1. Селлерс Ф. Методы обнаружения ошибок в работе ЭЦВМ, М., "Мир", 1972, с. 108.

2. Селлерс Ф. Методы обнаружения ошибок в работе ЭЦВМ, М., "Мир", 1972, с. 119-120 (прототип).



Составитель И. Сигалов
 Редактор Н. Лобач Техред Л. Алферова Корректор Н. Задерновская
 Заказ 8289/51 Тираж 780 Подписное
 ЦНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП 'Патент', г. Ужгород, ул. Проектная, 4