



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 18.04.77 (21) 2475859/18-24

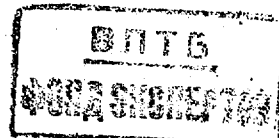
с присоединением заявки № -

(23) Приоритет -

Опубликовано 05.06.80. Бюллетень №21

Дата опубликования описания 05.06.80

(11) 739535



(51) М. Кл.²

G 06 F 11/00
G 06 F 7/385

(53) УДК 681.3
(088.8)

(72) Авторы
изобретения

Б.Г. Лыиков и А.А. Шостак

(71) Заявитель

Минский радиотехнический институт

(54) ПАРАЛЛЕЛЬНЫЙ СУММАТОР С КОНТРОЛЕМ
ПО ЧЕТНОСТИ

1

Изобретение относится к области вычислительной техники и может быть применено при разработке быстродействующих арифметических устройств, контроль которых организован по четности, а используемые сумматоры образуют разрядные переносы параллельно-последовательным, параллельно-параллельным либо параллельным способами.

Известен параллельный сумматор с контролем по четности, содержащий в каждом разряде схему суммы, схему образования параллельного переноса из данного разряда, схему образования сквозного дублирующего переноса, схему сравнения, параллельного и сквозного дублирующего переносов, схему формирования четности суммы, схему непосредственного предсказания четности суммы, входы которой соединены с выходами схем образования параллельного переноса из всех разрядов, кроме старшего, а также с шинами значений четностей слагаемых и входного переноса сумматора, схему сравнения формируемой и непосредственно предсказываемой четностей сумм [1].

2

Основным недостатком такого сумматора является влияние схемы контроля на временной цикл сумматора, так как непосредственно предсказываемая четность суммы получается позже, чем сам результат (сумма), что приводит к увеличению цикла суммирования. Это нежелательно для высокоскоростных сумматоров.

Наиболее близким по технической сущности к данному сумматору является параллельный сумматор с контролем по четности, содержащий первый блок сравнения, блок предсказания четности суммы, а каждый разряд сумматора, кроме старшего разряда, содержит блок формирования параллельного переноса, элемент И, элемент ИЛИ, блок формирования поразрядной суммы, старший разряд сумматора содержит блок формирования параллельного переноса, элемент И и элемент ИЛИ, причем первые выходы блоков формирования поразрядной суммы всех разрядов, кроме старшего, соединены соответственно с первым, вторым и третьим входами блока предсказания четности, четвертый и пятый входы блока предсказания четности являются

ся соответственно первым и вторым входами сумматора, вторые выходы блоков формирования поразрядной суммы всех разрядов, кроме старшего, соединены соответственно с первым, вторым и третьим входами блока формирования четности суммы, выход которого соединен с первым входом первого блока сравнения, первый выход блока предсказания четности соединен со вторым входом первого блока сравнения, выход которого является первым выходом сумматора, выходы элементов И и ИЛИ каждого разряда соединены соответственно с первым и вторым входами блока формирования параллельного переноса соответствующего разряда, выход блока формирования параллельного переноса старшего разряда является вторым выходом сумматора, выходы элементов И и ИЛИ каждого разряда сумматора, кроме старшего, соединены соответственно с первым и вторым входами блока формирования поразрядной суммы соответствующего разряда, выход блока формирования параллельного переноса каждого разряда, кроме двух старших разрядов, соединен с третьим входом блока формирования поразрядной суммы последующего разряда, третий вход блока формирования поразрядной суммы первого разряда соединен с третьим входом сумматора и с шестым входом блока предсказания четности [2].

Основными недостатками этого сумматора являются:

Необходимость дублирования переноса из старшего разряда сумматора (выходного переноса) с последующим его сравнением с дублирующим переносом. Это особенно нежелательно при построении параллельно-последовательных и параллельно-параллельных сумматоров, так как требует больших затрат контрольного оборудования.

Схема косвенного предсказания четности суммы не позволяет организовать правильное предсказание четности суммы, так как в известном четырехразрядном сумматоре [2] для косвенного предсказания четности суммы используется следующее выражение (возрастание индексов при буквенных обозначениях принято в направлении возрастания весовых коэффициентов сумматора):

$$P_3^n = P_A \vee P_B \vee P_C \vee K,$$

где P_A, P_B - четности входных слагаемых A и B;

$$P_C = G_0 \vee G_1 \vee G_2 \vee (G_0 \cdot H_1 \cdot \bar{H}_2 + G_1 \cdot H_2)$$

- предсказываемая четность собственных переносов сумматора ($C_{вх} = 0$);

$K = C_{вх} \cdot (\bar{T}_0 + T_1 \cdot T_2)$ - корректирующий фактор для предсказываемой четности собственных пере-

носом сумматора по входному переносу $C_{вх}$; функции соответственно генерации и транзита переноса для n -го разряда сумматора;

$$C_n = a_n \cdot b_n \cdot T_n = a_n \cdot b_n$$

a_n, b_n - разрядные слагаемые; $H_n = G_n \vee T_n$ - полусумма n -го разряда. Однако применение выражения

$$K = C_{вх} \cdot (\bar{T}_0 + T_1 \cdot T_2)$$

для коррекции предсказываемой четности собственных переносов сумматора по входному переносу во многих случаях не позволяет организовать правильное предсказание четности суммы. Например, если производится сложение чисел $A = 0001$ ($P_A = 1$) и $B = 0001$ ($P_B = 1$), причем $C_{вх} = 1$, то $P_C = 0$, так как $S = 0011$, но предсказываемая четность $P_S^{ns} = 1 \vee 1 \vee 1 \vee 0 = 1$ т. е. $P_S \neq P_S^n$.

Цель изобретения - повышение достоверности контроля параллельного сумматора.

Это достигается тем, что в сумматор введен второй блок сравнения, блок формирования четности результата, старший разряд сумматора содержит блок формирования поразрядной суммы с функциональной зависимостью от переносов, причем выход блока формирования параллельного переноса старшего разряда соединен с первым входом блока формирования поразрядной суммы с функциональной зависимостью от переносов, выход которого соединен с четвертым входом блока формирования четности суммы, выход элемента ИЛИ старшего разряда соединен со вторым входом блока формирования поразрядной суммы с функциональной зависимостью от переносов, третий вход которого соединен с выходом блока формирования параллельного переноса предыдущего разряда, выход блока формирования параллельного переноса всех разрядов, кроме старшего, соединен соответственно с первым, вторым и третьим входами блока формирования четности результата, четвертый и пятый входы которого соединены соответственно с третьим входом сумматора и со вторым входом блока предсказания четности, выход блока формирования четности результата соединен с первым входом второго блока сравнения, выход которого является третьим выходом сумматора, выход блока формирования четности суммы соединен со вторым входом второго блока сравнения.

На чертеже приведена схема параллельного сумматора с контролем по четности (для определенности рассматривается четырехразрядный сумматор).

Сумматор содержит в каждом разряде элемент И 1 и элемент ИЛИ 2, блок 3 формирования параллельного пере-

5
10
15
20
25
30
35
40
45
50
55
60
65

са из данного разряда, входы которого соединены с выходами элемента И 1 и элемента ИЛИ 2, блок 4 формирования поразрядной суммы, входы которого соединены с выходами элемента И 1, элемента ИЛИ 2 и выходом блока 3 формирования параллельного переноса из предыдущего разряда, блок 5 предсказания четности, в состав которого входят узел 6 косвенного предсказания четности, узел 7 предсказания четности полусуммы, узел 8 предсказания четностей переносов сумматора, узел 9 коррекции четности переносов сумматора, блок 10 формирования четности результата, который состоит из узла 11 формирования четности переносов и узла 12 непосредственного предсказания четности суммы, блок 13 формирования поразрядной суммы с функциональной зависимостью от переносов, первый блок 14 сравнения, блок 15 формирования четности суммы, второй блок 16 сравнения.

Сумматор работает следующим образом.

Предположим, что возникла ошибка в формировании функции генерации или транзита переноса для 1-го разряда сумматора. Эта ошибка всегда будет обнаружена путем сравнения сигналов, подаваемых на вход второго блока 16 сравнения формируемой и непосредственно предсказываемой четностей суммы, так как она вызовет ошибку либо только на выходе блока 4 в данном разряде, либо ошибку на выходе блока 3 формирования параллельного переноса из данного разряда и ошибки на выходах блока 4 в данном и последующем разрядах сумматора. Распространение же ошибки вдоль разрядов сумматора всегда приведет к нечетному числу ошибок в разрядах суммы и переноса, что будет обнаружено контролем по четности вторым блоком 16 сравнения. Так как блок 13 в старшем разряде сумматора построен по принципу функциональной зависимости от переноса, т. е. согласно выражению:

$$S_3 = f_3 \vee C_3 = a_3 \vee b_3 \vee c_2 + T_3 \vee C_2 \vee C_3,$$

то контроль блока 3 формирования параллельного переноса из старшего разряда сумматора (выходного переноса) также осуществляется вторым блоком 16 сравнения. Таким образом, сравнение формируемой и непосредственно предсказываемой четностей суммы позволяет при данном построении сумматора организовать обнаружение ошибок, вызываемых одиночной неисправностью: элемента И 1 формирования функции генерации переноса, элемента ИЛИ 2 формирования функции транзита переноса, блока 4 формирования поразрядной суммы,

суммы любого из разрядов сумматора. Обнаружение же ошибок, вызываемых одиночной неисправностью блока 3 формирования параллельного переноса из данного разряда, производится с помощью блока 14 сравнения формируемой и косвенно предсказываемой четностей суммы. Для организации правильного косвенного предсказания четности суммы узел 9 функционирует согласно следующему логическому выражению:

$$K = C_{вх} \vee C_{вх} \cdot H_0 \vee C_{вх} \cdot H_0 \cdot H_1 \vee C_{вх} \cdot H_0 \cdot H_1 \cdot H_2 = C_{вх} (H_0 + H_1 + H_2).$$

Применение в сумматоре блока формирования четности результата не снижает быстродействия сумматора, так как в качестве четности результата (при записи в процессорную память) используется результат косвенного (ускоренного) предсказания четности суммы.

Таким образом, параллельный сумматор позволяет сократить объем контрольного оборудования, так как из сумматора исключены схема дублирования переноса из старшего разряда и схема сравнения дублируемого и дублирующего переносов. Это дает наибольший эффект при разработке схемы контроля сумматора с параллельно-последовательным либо с параллельно-параллельным образованием переносов, т. е. когда сумматор разбивается на группы и внутри групп переносы образуются параллельным способом, а между группами - последовательным либо параллельным способами. Здесь следует отметить, что объем введенного в сумматор дополнительного контрольного оборудования, связанного с необходимостью организации непосредственного предсказания четности результата, равен объему исключенного из сумматора контрольного оборудования, связанного с формированием четности полусуммы. Кроме того, предложенный сумматор позволяет организовать правильное косвенное предсказание четности суммы.

Формула изобретения

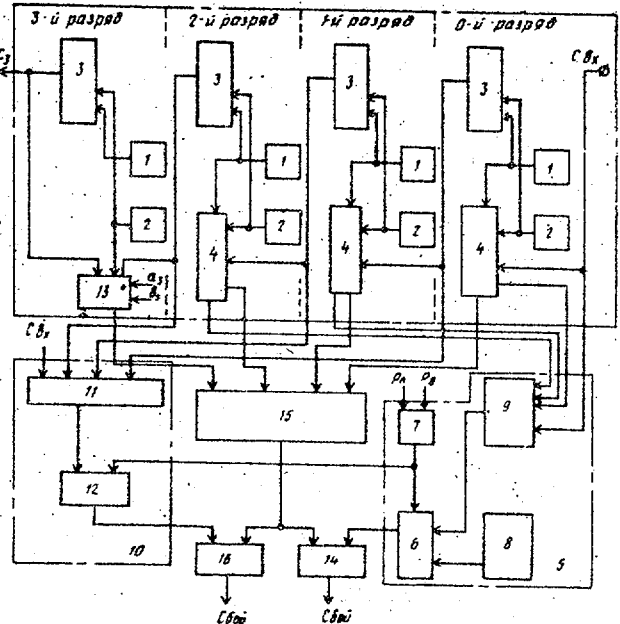
Параллельный сумматор с контролем по четности, содержащий первый блок сравнения, блок предсказания четности, блок формирования четности суммы, а каждый разряд сумматора, кроме старшего разряда, содержит блок формирования параллельного переноса, элемент И, элемент ИЛИ, блок формирования поразрядной суммы, старший разряд сумматора содержит блок формирования параллельного переноса, элемент И и элемент ИЛИ, причем первые выходы

блоков формирования поразрядной суммы всех разрядов, кроме старшего, соединены соответственно с первым, вторым и третьим входами блока предсказания четности, четвертый и пятый входы блока предсказания четности являются соответственно первым и вторым входами сумматора, вторые выходы блоков формирования поразрядной суммы всех разрядов, кроме старшего, соединены соответственно с первым, вторым и третьим входами блока формирования четности суммы, выход которого соединен с первым входом первого блока сравнения, первый выход блока предсказания четности соединен со вторым входом первого блока сравнения, выход которого является первым выходом сумматора, выходы элементов И и ИЛИ каждого разряда соединены соответственно с первым и вторым входами блока формирования параллельного переноса соответствующего разряда, выход блока формирования параллельного переноса старшего разряда является вторым выходом сумматора, выходы элементов И и ИЛИ каждого разряда сумматора, кроме старшего, соединены соответственно с первым и вторым входами блока формирования поразрядной суммы соответствующего разряда, выход блока формирования параллельного переноса каждого разряда, кроме двух старших разрядов, соединен с третьим входом блока формирования поразрядной суммы последующего разряда, третий вход блока формирования поразрядной суммы первого разряда соединен с третьим входом сумматора и с шестым входом блока предсказания четности, отличающийся тем, что, с целью повышения достоверности контроля, в сумматор введен второй блок срав-

5
10
15
20
25
30
35
40

нения, блок формирования четности результата, старший разряд сумматора содержит блок формирования поразрядной суммы с функциональной зависимостью от переносов, причем выход блока формирования параллельного переноса старшего разряда соединен с первым входом блока формирования поразрядной суммы с функциональной зависимостью от переносов, выход которого соединен с четвертым входом блока формирования четности суммы, выход элемента ИЛИ старшего разряда соединен со вторым входом блока формирования поразрядной суммы с функциональной зависимостью от переносов, третий вход которого соединен с выходом блока формирования параллельного переноса предыдущего разряда, выход блока формирования параллельного переноса всех разрядов, кроме старшего, соединен соответственно с первым, вторым и третьим входами блока формирования четности результата, четвертый и пятый входы которого соединены соответственно с третьим входом сумматора и со вторым выходом блока предсказания четности, выход блока формирования четности результата соединен с первым входом второго блока сравнения, выход которого является третьим выходом сумматора, выход блока формирования четности суммы соединен со вторым входом второго блока сравнения.

Источники информации, принятые во внимание при экспертизе
1. Альперович Л.З. Методы дублирования цепи переноса сумматора при контроле по четности. - Вопросы радиоэлектроники, сер. ЭВТ, 1970, вып. 1.
2. Селлерс Ф. Методы обнаружения ошибок в работе ЭЦВМ. М., "Мир", 1972, с. 130-136 (прототип).



ЦНИИПИ Заказ 2926/43
Тираж 751 Подписное
Филиал ППЦ "Патент",
г. Ужгород, ул. Проектная, 4