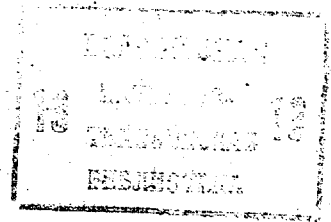




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3350066/18-24  
(22) 20.07.81  
(46) 07.06.83. Бюл. № 21  
(72) Л.Г.Лопато и А.А.Шестак  
(71) Минский радиотехнический институт  
(53) 681.325(088.8)  
(56) 1. Авторское свидетельство СССР № 623204, кл. G 06 F 7/52, 1977.  
2. Авторское свидетельство СССР по заявке № 3321307/18-24, кл. G 06 F 7/52, 23.07.81 (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ  $n$ -РАЗРЯДНЫХ ЧИСЕЛ, содержащее регистры множимого и множителя, первый и второй блоки элементов ИЛИ, блок элементов И, накапливающий сумматор, комбинационный сумматор, буферный регистр, причем выходы первого блока элементов ИЛИ соединены соответственно с разрядными входами с третьего по  $(2n-2)$ -й накапливающего сумматора, выходы комбинационного сумматора соединены соответственно с первыми входами элементов И блока, вторые входы которых объединены и соединены с шиной синхронизации устройства, с входом разрешения записи буферного регистра и с управляющим входом накапливающего сумматора, выходы элементов И блока соединены соответственно с разрядными входами буферного регистра, а вход и выход переноса комбинационного сумматора являются соответственно управляющим входом устройства и выходом индикации окончания операции умножения, отличающееся тем, что, с целью повышения быстро-

действия, в него введены регистр утроенного множимого,  $n/2$  дешифраторов и  $n/2$  блоков коммутирующих узлов, в каждый из которых входят  $(n+2)$  коммутирующих узлов, причем выходы каждой пары разрядов регистра множителя соединены с первым и вторым входами соответствующего элемента ИЛИ второго блока и первым и вторым входами соответствующего дешифратора, прямые выходы элементов ИЛИ второго блока соединены соответственно с третьими входами элементов И блока, инверсные выходы элементов ИЛИ второго блока соединены соответственно с входами первой группы комбинационного сумматора, входы второй группы которого соединены соответственно с разрядными выходами буферного регистра, первые, вторые и третьи информационные входы коммутирующих узлов каждого блока соединены соответственно с разрядными выходами регистров множимого и утроенного множимого, первые и вторые управляющие входы коммутирующих узлов каждого блока соединены соответственно с выходами дешифраторов и элементов И блока, выходы первого и второго коммутирующих узлов первого блока соединены соответственно с входами первого и второго разрядов накапливающего сумматора, выходы  $(n-1)$ -го и  $n$ -го коммутирующих узлов  $n/2$ -го блока соединены соответственно с входами  $(2n-1)$ -го и  $2n$ -го разрядов накапливающего сумматора, выходы остальных коммутирующих узлов блоков соединены соответственно с входами элементов ИЛИ первого блока.

(19) **SU** (11) **1022155** **A**

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Известно устройство для умножения  $n$ -разрядных чисел, содержащее регистры множимого и множителя, накапливающий сумматор, матрицу элементов И, первый и второй блоки элементов ИЛИ, элементы И и задержки [1].

К недостаткам указанного устройства относятся относительно низкое быстродействие и использование низкотехнологичных элементов задержки для высокоплотной интегральной технологии изготовления электронных схем.

Наиболее близким по технической сущности к предлагаемому является устройство для умножения  $n$ -разрядных чисел, содержащее регистры множимого и множителя, первый и второй блоки элементов ИЛИ, блок элементов И, накапливающий сумматор, комбинационный сумматор и буферный регистр, причем выходы первого блока элементов ИЛИ соединены соответственно с разрядными входами с третьего по  $(2n-2)$ -й накапливающего сумматора, выходы комбинационного сумматора соединены соответственно с первыми входами элементов И блока, вторые входы которых объединены и соединены с шиной синхронизации устройства, с входом разрешения записи буферного регистра и с управляющим входом накапливающего сумматора, выходы элементов И блока соединены соответственно с разрядными входами буферного регистра, вход и выход переноса комбинационного сумматора являются соответственно управляющим входом устройства и выходом индикации окончания операции умножения [2].

Недостатком известного устройства является его относительно низкое быстродействие.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для умножения  $n$ -разрядных чисел, содержащее регистры множимого и множителя, первый и второй блоки элементов ИЛИ, блок элементов И, накапливающий сумматор, комбинационный сумматор и буферный регистр, причем выходы первого блока элементов ИЛИ соединены соответственно с разряд-

ными входами с третьего по  $(2n-2)$ -й накапливающего сумматора, выходы комбинационного сумматора соединены соответственно с первыми входами элементов И блока, вторые входы которых объединены и соединены с шиной синхронизации устройства, с входом разрешения записи буферного регистра и с управляющим входом накапливающего сумматора, выходы элементов И блока соединены соответственно с разрядными входами буферного регистра, а вход и выход переноса комбинационного сумматора являются соответственно управляющим входом устройства и выходом индикации окончания операции умножения, введены регистр утроенного множимого,  $n/2$  дешифраторов и  $n/2$  блоков коммутирующих узлов, в каждый из которых входят  $(n+2)$  коммутирующих узлов, причем выходы каждой пары разрядов регистра множителя соединены с первым и вторым входами соответствующего элемента ИЛИ второго блока и первым и вторым входами соответствующего дешифратора, прямые выходы элементов ИЛИ второго блока соединены соответственно с третьими входами элементов И блока, инверсные выходы элементов ИЛИ второго блока соединены соответственно с входами первой группы комбинационного сумматора, входы второй группы которого соединены соответственно с разрядными выходами буферного регистра, первые вторые и третьи информационные входы коммутирующих узлов каждого блока соединены соответственно с разрядными выходами регистров множимого и утроенного множимого, первые и вторые управляющие входы коммутирующих узлов каждого блока соединены соответственно с выходами дешифраторов и элементов И блока, выходы первого и второго коммутирующих узлов первого блока соединены соответственно с входами первого и второго разрядов накапливающего сумматора, выходы  $(n-1)$ -го и  $n$ -го коммутирующих узлов  $n/2$ -го блока соединены соответственно с входами  $(2n-1)$ -го и  $2n$ -го разрядов накапливающего сумматора, выходы остальных коммутирующих узлов блоков соединены соответственно с входами элементов ИЛИ первого блока.

Каждый коммутирующий узел блока содержит первый, второй и третий элементы И и элемент ИЛИ, причем первые входы первого, второго и третьего элементов И являются соответственно пер-

вым, вторым и третьим информационными входами коммутирующего узла, вторые и третьи входы первого, второго и третьего элементов И являются соответственно первым и вторым управляющими входами коммутирующего узла, а выходы первого, второго и третьего элементов И соединены с входами элемента ИЛИ, выход которого является выходом коммутирующего узла.

На фиг.1 представлена функциональная схема устройства для умножения  $n$ -разрядных чисел для случая  $n=8$ ; на фиг.2 - функциональная схема коммутирующего узла.

Устройство содержит восьмиразрядный регистр 1 множимого, восьмиразрядный регистр 2 множителя, десятиразрядный регистр 3 утроенного множимого, шестнадцатиразрядный накапливающий сумматор 4, первый блок 5 из двенадцати элементов ИЛИ 6, дешифраторы  $7_1 - 7_4$ , второй блок из четырех элементов ИЛИ  $8_1 - 8_4$ , комбинационный сумматор 9, блок из четырех элементов И  $10_1 - 10_4$ , четырехразрядный буферный регистр  $11_1 - 11_4$ , четыре блока  $12_1 - 12_4$  из десяти коммутирующих узлов 13 каждый, управляющий вход 14, выход 15 индикации окончания операции умножения и шину 16 синхронизации, причем первые информационные входы первых восьми коммутирующих узлов 13 каждого из блоков  $12_1 - 12_4$  соединены с соответствующими разрядными выходами регистра 1 множимого, вторые информационные входы коммутирующих узлов 13 со второго по девятый каждого из блоков  $12_1 - 12_4$  соединены соответственно с разрядными выходами регистра 1 множимого, третьи информационные входы коммутирующих узлов 13 с первого по десятый каждого из блоков  $12_1 - 12_4$  соединены соответственно с разрядными выходами регистра 3 утроенного множимого, первые управляющие входы коммутирующих узлов 13 в каждом из блоков  $12_1 - 12_4$  объединены и соединены с соответствующими выходами дешифраторов  $7_1 - 7_4$ , вторые управляющие входы коммутирующих узлов 13 в каждом из блоков  $12_1 - 12_4$  объединены и соединены с соответствующими выходами элементов И  $10_1 - 10_4$  блока, выходы первого и второго коммутирующих узлов 13 блока  $12_1$  соединены соответственно с первым и вторым разрядными входами накапливающего

сумматора 4, выходы девятого и десятого коммутирующих узлов 13 блока  $12_4$  соединены соответственно с входами 15-го и 16-го разрядов накапливающего сумматора 4, остальные выходы коммутирующих узлов 13 блоков  $12_1 - 12_4$  соединены с соответствующими входами элементов ИЛИ 6 первого блока 5, выходы которых соответственно соединены с входами 3 - 14-го разрядов накапливающего сумматора 4, выходы каждой пары разрядов регистра 2 множителя соединены с первым и вторым входами соответствующего элемента ИЛИ  $8_1 - 8_4$  второго блока и первыми и вторыми входами соответствующего дешифратора  $7_1 - 7_4$ , инверсные выходы элементов ИЛИ  $8_1 - 8_4$  второго блока соединены соответственно с входами первой группы комбинационного сумматора 9, входы второй группы которого соединены соответственно с разрядными выходами буферного регистра  $11_1 - 11_4$ , а выходы комбинационного сумматора 9 соединены соответственно с первыми входами элементов И  $10_1 - 10_4$  блока, вторые входы которых объединены и соединены с шиной 16 синхронизации устройства, с входом разрешения записи буферного регистра  $11_1 - 11_4$  и управляющим входом накапливающего сумматора 4, третьи входы элементов И  $10_1 - 10_4$  соединены соответственно с прямыми выходами элементов ИЛИ  $8_1 - 8_4$  второго блока, а выходы элементов И  $10_1 - 10_4$  соединены соответственно с разрядными входами буферного регистра  $11_1 - 11_4$ , вход и выход переноса комбинационного сумматора 9 являются соответственно управляющим входом 14 устройства и выходом 15 индикации окончания операции умножения.

Узел 13 коммутации содержит элементы И 17 - 19 и элемент ИЛИ 20, причем первые входы элементов И 17, 18 и 19 являются соответственно первым, вторым и третьим информационными входами узла 13 коммутации, вторые и третьи входы элементов И 17-19 являются соответственно первым и вторым управляющими входами узла 13 коммутации, а выходы элементов И 17-19 соединены с входами элемента ИЛИ 20, выход которого является выходом узла 13 коммутации.

Устройство работает следующим образом.

В исходном состоянии в регистрах 1 и 2 хранятся без знаков восьмираз-

рядные соответственно множимое и множитель, в регистре 3 - десятиразрядное утроенное множимое (оно может быть предварительно сформировано либо на сумматоре 4, либо с использованием дополнительной комбинационной схемы), сумматор 4 и регистры  $11_1 - 11_4$  обнулены. По значению пар разрядов регистра 2 множителя на выходах дешифраторов  $7_1 - 7_4$  формируются соответствующие управляющие потенциалы, которые действуют на протяжении всего времени умножения чисел и настраивают блоки  $12_1 - 12_4$  коммутирующих узлов на передачу в накапливающий сумматор 4 через блок 5 элементов ИЛИ 6 одинарного, удвоенного или утроенного значения множимого. В каждом такте работы устройства производится передача одинарного, удвоенного или утроенного значения множимого в накапливающий сумматор 4 с выходов только одного блока  $12_i$  коммутирующих узлов. Выбор этого блока осуществляется с помощью управляющего сигнала, который формируется на выходе элемента И  $10_1$  в момент прихода сигнала на шину 16 синхронизации устройства. Подготовка и формирование этого управляющего сигнала производится одновременно с суммированием очередного частичного произведения в накапливающем сумматоре 4. На управляющий вход 14 устройства на протяжении всего времени умножения подается потенциал, соответствующий значению логической единицы, а наличие сигнала на выходе 15 устройства означает окончание умножения чисел. Более детально работу устройства рассмотрим на примере умножения множимого X на множитель  $Y=10001100$ . С учетом этого в исходном состоянии дешифратор  $7_2$  настраивает блок  $12_2$  на передачу в накапливающий сумматор 4 утроенного значения множимого  $3X$ , а дешифратор  $7_4$  настраивает блок  $12_4$  на передачу в накапливающий сумматор 4 удвоенного значения множимого  $2X$ , на выходах дешифраторов  $12_1$  и  $12_3$  управляющие потенциалы не формируются. На инверсных выходах элементов ИЛИ  $8_4 \div 8_1$  сформирован код  $A=0101$ , который является первым и неизменяющимся слагаемым для сумматора 9. Вторым слагаемым для сумматора 9 служит код B, хранящийся в регистре  $11_4 - 11_1$ . В исходном состоянии код  $B=0000$ , а в процессе умножения он изменяется от такта к такту

таким образом, что к моменту окончания умножения он равен инверсному значению кода A. Таким образом, в исходном состоянии на выходе сумматора 9 с учетом логической единицы, поступающей на управляющий вход 14 устройства, сформирован код  $C=A+B+0001=0101+0000+0001=0110$ .

В первом такте работы устройства при приходе первого синхроимпульса на вход 16 устройства на выходе элемента И  $10_2$  формируется управляющий сигнал, который осуществляет передачу соответствующим образом сдвинутого утроенного множимого с выходов блока  $12_2$  коммутирующих узлов 13 в накапливающий сумматор 4 и служит логической единицей на S-входе синхронного RS-триггера  $11_2$  (запись информации в регистр  $11_1 - 11_4$  осуществляется по синхроимпульсам, поступающим на вход 16 устройства). Одновременно с суммированием в накапливающем сумматоре 4 очередного частичного произведения в комбинационном сумматоре 9 осуществляется суммирование кодов  $A=0101$  и  $B=0010$  с учетом логической единицы на входе 14 устройства, в результате на выходе комбинационного сумматора 9 формируется код суммы  $C=0101+0010+0001=1000$ .

На втором такте работы устройства на его вход 16 по истечении времени, равного времени суммирования 10-разрядных чисел в накапливающем сумматоре 4, поступает второй синхроимпульс. В результате этого на выходе элемента И  $10_4$  формируется управляющий сигнал, который осуществляет передачу соответствующим образом сдвинутого удвоенного множимого с выходов блока  $12_4$  коммутирующих узлов 13 в накапливающий сумматор 4 и служит логической единицей на S-входе RS-триггера  $11_4$ . Одновременно с суммированием чисел в накапливающем сумматоре 4 в комбинационном сумматоре 9 производится сложение кодов  $A=0101$  и  $B=1010$  с учетом логической единицы на входе 14 устройства, в результате на выходе 15 устройства формируется сигнал, означающий окончание умножения. Таким образом, в рассмотренном случае умножение двух чисел выполнено за два такта, причем длительность такта определяется временем суммирования  $(n+2)$ -разрядных чисел в  $2n$ -разрядном накапливающем сумматоре 4, так как суммирование чисел в комбинационном сумматоре 9

может быть организовано более быстро в виде его меньшей разрядности.

Итак, среднее время умножения двух  $n$ -разрядных чисел в предлагаемом устройстве составляет величину

$$T_{\text{ср}}^* \approx \frac{3}{8} n \cdot t_{\text{ср}},$$

тогда как среднее время умножения двух  $n$ -разрядных чисел в известном устройстве составляет величину

$$T_{\text{ср}} \approx \frac{n}{2} t_{\text{ср}},$$

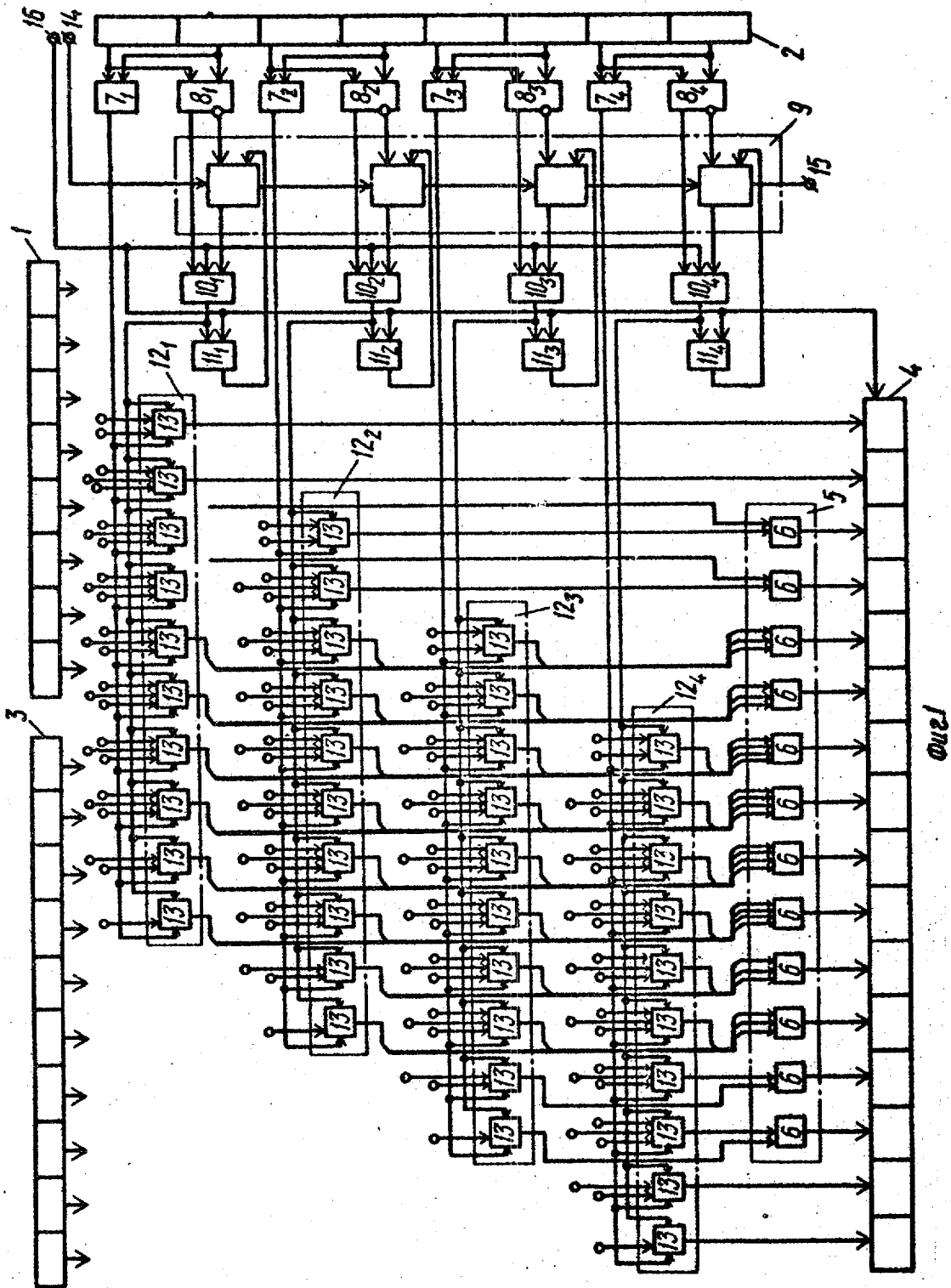
где  $n$  - число разрядов перемножаемых чисел;

$t_{\text{ср}}$  - время суммирования двух  $n$ -разрядных двоичных чисел.

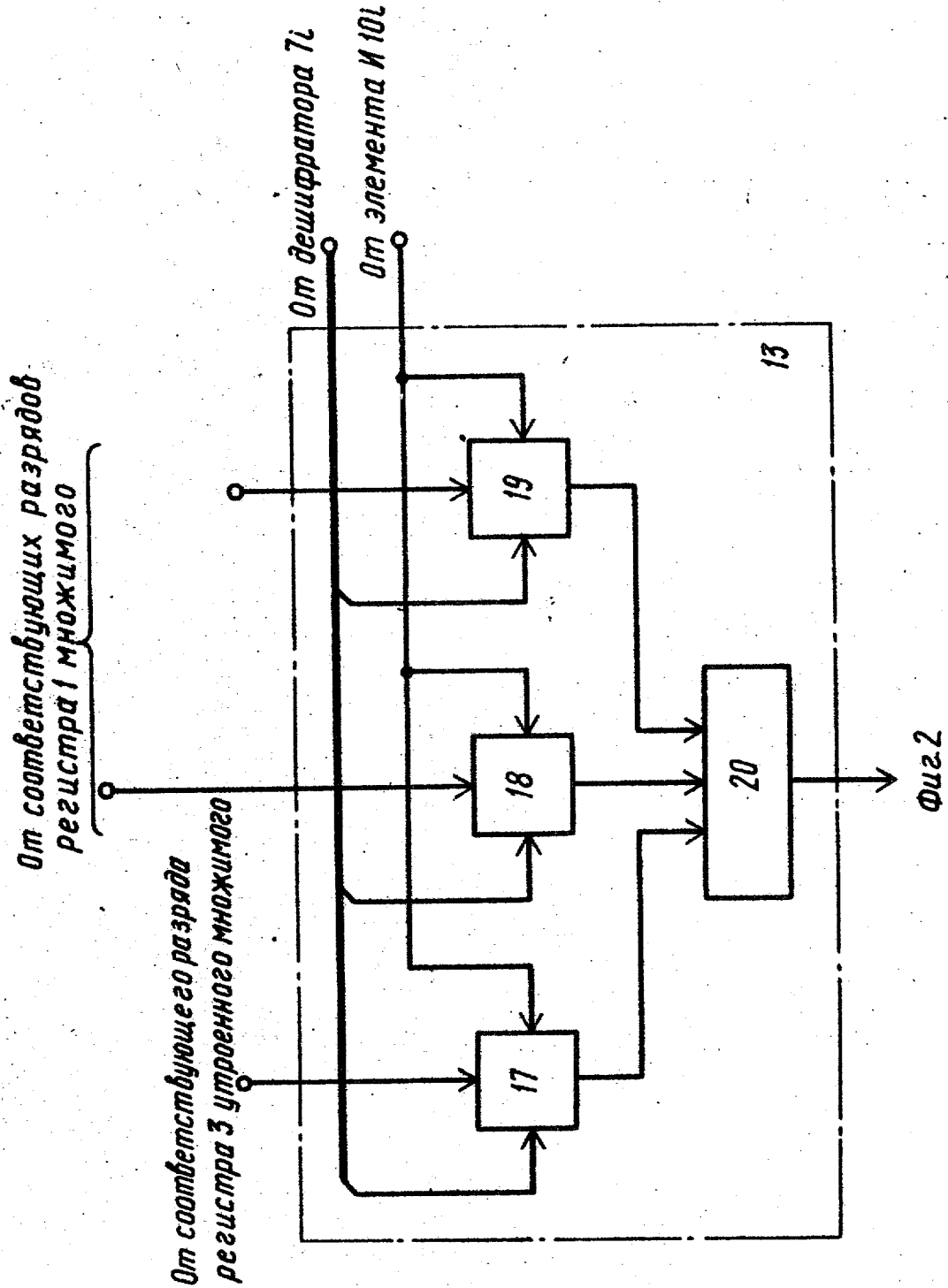
Тогда выигрыш в быстродействии составит величину

$$D = \frac{T_{\text{ср}}}{T_{\text{ср}}^*} = \frac{n t_{\text{ср}}}{2} : \frac{3 n t_{\text{ср}}}{8} \approx 1,3.$$

Таким образом, предлагаемое устройство позволяет сократить время умножения двух  $n$ -разрядных двоичных чисел примерно в 1,3 раза.



1210



Составитель В. Гусев  
 Редактор Л. Филь      Техред А. Ач      Корректор А. Тяско

Заказ 4045/41      Тираж 706      Подписное  
 ВНИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4