



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

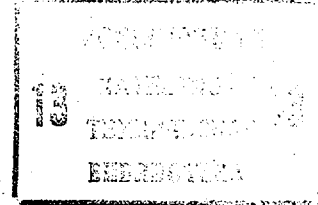
(19) SU (11) 1026165 A

з(5D) G 11 C 29/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3409959/18-24
 (22) 16.03.82
 (46) 30.06.83 Бюл. № 24
 (72) П.П.Урбанович
 (71) Минский радиотехнический институт
 (53) 681.327.6 (088.8)
 (56) 1. Микроэлектроника. Сб. статей под ред. Ф.А.Лукина. М., "Советское радио", 1972, вып. 5, с. 123-150.
 2. Патент ФРГ № 2549392, кл. G 11 C 7/00, опублик. 1977' (прототип).
 3. Мак-Вильямс Ф, Слоэн Н. "Теория кодов, исправляющих ошибки", М., "Связь", 1973, с. 33-36.
 4. "Аналоговые и цифровые интегральные схемы". Под. ред. С.В.Якубовского, М., "Советское радио", 1979, с. 140.

(54) (57) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С АВТОНОМНЫМ КОНТРОЛЕМ, содержащее накопитель, числовые шины которого соединены с выходами дешифратора адреса строк, а выходные шины - с информационными входами первого блока считывания, выходами первых вентилях и информационными входами второго блока считывания, выходами вторых вентилях соответственно, первые и вторые входы первых и вторых вентилях подключены к шинам разрешения записи и управления, третьи их входы - к шине записи и выходам блока кодирования соответственно, четвертые входы первых вентилях связаны с вы-

ходами дешифратора адреса разрядов, управляющими входами первого блока считывания и первыми управляющими входами выходного блока, выходы второго блока считывания соединены с первыми входами первых сумматоров по модулю два, выходы которых являются входами блока анализа отказов, выходами соединенного с первыми входами вторых сумматоров по модулю два, вторые входы вторых сумматоров по модулю два соединены с первыми выходами первого блока считывания, а выходы вторых сумматоров по модулю два связаны с информационными входами выходного блока, вторые управляющие входы которого соединены с шинами разрешения записи, управления и записи, отличающееся тем, что, с целью упрощения устройства и повышения его надежности, в него введены третьи вентиля, первые входы которых подключены к выходным шинам дешифратора адреса разрядов, вторые входы третьих вентилях соединены с выходом третьего сумматора по модулю два, первый и второй входы которого соединены с шиной записи и вторым выходом первого блока считывания соответственно, выходы третьих вентилях подключены к вторым входам регистра, первые входы которого соединены с первыми выходами первого блока считывания, а выходы его - к входам блока кодирования, выход которого подключен к вторым входам первых сумматоров по модулю два.

(19) SU (11) 1026165 A

Изобретение относится к вычислительной технике и может быть использовано в электронной промышленности при изготовлении больших интегральных схем запоминающих устройств (БИС ЗУ).

Устройство целесообразно использовать при изготовлении БИС ЗУ, имеющих большую площадь кристаллов, где требуется увеличить выход правильно функционирующих устройств, а также при создании систем памяти, удовлетворяющих заданному уровню надежности хранения информации.

Известны полупроводниковые ЗУ, которые содержат накопитель и схемы логики обрамления, позволяющие производить обращение при записи и считывании информации к одному или к нескольким элементам памяти ЭП накопителя [1].

Однако работоспособность таких устройств нарушается при отказах ЭП накопителя.

Наиболее близким к предлагаемому является запоминающее устройство с автономным контролем, содержащее накопитель, числовые шины которого соединены с выходами дешифратора адреса строк, а выходные шины - с информационными входами первого блока считывания, выходами первых вентилях и информационными входами второго блока считывания, выходами вторых вентилях соответственно, первые и вторые входы первых и вторых вентилях подключены к шинам разрешения записи и управления, третьи входы их - к шине записи и выходам блока кодирования соответственно, четвертые входы первых вентилях связаны с выходами дешифратора адреса разрядов, управляющими входами первого блока считывания и первыми управляющими входами выходного блока, выходы второго блока считывания соединены с первыми входами первых сумматоров по модулю два, выходы которых являются входами блока анализа отказов, выходами соединенного с первыми входами вторых сумматоров по модулю два, вторые входы вторых сумматоров по модулю два соединены с первыми выходами первого блока считывания, а выходы вторых сумматоров по модулю два связаны с информационными входами выходного блока, вторые управляющие входы которого соединены с шинами разрешения записи, управления и записи [2].

В устройстве при записи информации в накопитель первый блок кодирования вырабатывает r дополнительных (проверочных) разрядов в соответствии с применяемым кодом. Например, при использовании кода Хемминга, исправляющего одиночные ошибки, r выбирается из условия $k \leq 2^{r-1}$ [3], где k соответствует числу инфор-

мационных разрядов. Далее эти $n=k+r$ разрядов записываются в накопитель. При считывании информации второй блок кодирования по считанным k' разрядам (в слове могут быть ошибки) вновь вырабатывает r' (при наличии ошибок вектора r и r' отличаются) проверочных разрядов, которые сравниваются с r разрядами, хранившимися в дополнительных ЭП строки. В результате этого сравнения вырабатывается проверочный вектор (синдром), анализ которого блоком определения местоположения отказа позволяет установить отказавший дефектный разряд и исправить его.

Использование двух блоков кодирования - записываемого и считываемого слов - приводит к дополнительному увеличению площади кристалла, что, в свою очередь, вызывает появление на кристалле дополнительных дефектов в процессе его производства и отказов при эксплуатации.

В качестве базового объекта выбрана БИС ЗУ типа K541PY1, выпускаемая отечественной промышленностью. Это устройство емкостью 4 Кбит \times 1 позволяет производить обращение к любому одному ЭП накопителя для записи или считывания информации [4].

Однако это устройство не может быть использовано, если при его производстве возникли единичные дефекты ЭП. Кроме того, такие устройства становятся неработоспособными при возникновении отказов ЭП в процессе эксплуатации БИС ЗУ.

Цель изобретения - упрощение устройства и повышение его надежности.

Поставленная цель достигается тем, что в запоминающее устройство с автономным контролем, содержащее накопитель, числовые шины которого соединены с выходами дешифратора адреса строк, а выходные шины - с информационными входами первого блока считывания, выходами первых вентилях и информационными входами второго блока считывания, выходами вторых вентилях соответственно, первые и вторые входы первых и вторых вентилях подключены к шинам разрешения записи и управления, третьи их входы - к шине записи и выходам блока кодирования соответственно, четвертые выходы первых вентилях связаны с выходами дешифратора адреса разрядов управляющими входами первого блока считывания и первыми управляющими входами выходного блока, выходы второго блока считывания соединены с первыми входами первых сумматоров по модулю два, выходы которых являются входами блока анализа

отказов, выходами соединенного с первыми входами вторых сумматоров по модулю два, вторые выходы вторых сумматоров по модулю два соединены с первыми выходами первого блока считывания, а выходы вторых сумматоров по модулю два связаны с информационными входами выходного блока, вторые управляющие входы которого соединены с шинами разрешения записи, управления и записи, введены третьи вентили, первые входы которых подключены к выходным шинам дешифратора адреса разрядов, вторые входы третьих вентилях соединены с выходом третьего сумматора по модулю два, первый и второй входы которого соединены с шиной записи и вторым выходом первого блока считывания соответственно, выходы третьих вентилях подключены к вторым входам регистра, первые входы которого соединены с первыми выходами первого блока считывания, а выходы его - к входам блока кодирования, выходы которого подключены к вторым входам первых сумматоров по модулю два.

Это позволяет корректировать в каждой строке накопителя один отказ (дефект) в режиме считывания информации при невысокой сложности схем коррекции.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 - блок анализа отказов.

Устройство содержит накопитель 1, числовые шины 2 которого соединены с выходами дешифратора 3 адреса строк. Основные 4 и дополнительные 5 выходные шины накопителя 1 соединены соответственно с выходами первых вентилях 6, информационными входами первого блока 7 считывания и выходами вторых вентилях 8, а также с информационными входами второго блока 9 считывания. Первые и вторые входы первых 6 и вторых 8 вентилях соединены соответственно с шинами разрешения записи 10 и управления 11, а третьи их входы - с шиной 12 записи, первым входом третьего сумматора 13 по модулю два и с выходами блока 14 кодирования, связанными также с вторыми входами первых сумматоров 15 по модулю два. Четвертые входы первых вентилях 6 связаны с выходами 16 дешифратора 17 адреса разрядов, управляющими входами первого блока 7 считывания и первыми управляющими входами выходного блока 18, а также с вторыми входами третьих вентилях 19, первые входы которых соединены с выходами третьего сумматора 13 по модулю два. Выходы третьих вентилях 19 соединены с вторыми 20 входами регистра 21, первые входы 22 которого подключены к первым выходам первого блока 7 считывания,

вторым входам вторых сумматоров 23 по модулю два, второй выход 24 первого блока 7 считывания связан с вторым входом третьего сумматора 13 по модулю два. Выходы регистра 21 являются входами блока 14 кодирования. Выходы второго блока 9 считывания соединены с первыми входами первых сумматоров 15 по модулю два, выходами связанных с входами 25 блока 26 анализа отказов. Выходы 27 блока 26 являются первыми входами вторых сумматоров 23 по модулю два. Выходы сумматоров 23 соединены с информационными входами 28 выходного блока 18, выход 29 которого является выходом устройства, а сигналы шин 10-12 являются вторыми управляющими входами выходного блока.

Пример реализации блока 26 анализа отказов показан на фиг. 2.

Схема представляет собой программируемую логическую матрицу (ПЛМ; можно использовать вместо ПЛМ, ПЗУ), состоящую из инверторов 30 и вентилях (не показаны). К вентилям осуществляется подключение (условно обозначено кружочком) 31 либо прямого, либо инвертированного входного разряда 25. Таким образом, к каждому вентилю подключены r сигналов.

Принцип работы устройства основан на свойстве кода Хемминга, состоящем в том, что при любой последовательности расположения вектор-столбцов в проверочной матрице $H_{n,u}[3]$ поразрядное сравнение наборов контрольных разрядов (r и r') указывает местоположение отказа, если он есть.

Устройство работает следующим образом.

В режиме записи информации на входы дешифратора 3 адреса строк поступает код адреса запрашиваемой строки, в результате чего возбуждается одна из m выходных шин 2 дешифратора 3, т.е. выбирается одна из строк. Информационные разряды (k) слова считываются по шинам 4 и поступают в первый блок 7 считывания и дальше с первых выходов блока 7 поступают на первые 22 входы регистра 21. Таким образом, k разрядов запрашиваемой строки записываются в регистр 21. Одновременно с этим на входы дешифратора 17 адреса разрядов поступает код адреса разряда, на пересечении которого со строкой находится выбираемый ЭП. Сигнал с одной из возбужденных шин 16 дешифратора 17, поступая на один из управляющих входов первого блока 7 считывания, вызывает появление на втором 24 выходе блока 7 информации (1 или 0), хранящейся в запрашиваемом ЭП. Этот сигнал поступает на второй вход третьего сумматора 13 по модулю два и сравнивается с сигналом, установленным для

записи на шине 12 записи. Если сравниваемые сигналы отличаются, то на выходе третьего сумматора 13 появится единичный сигнал. Этот сигнал через третий вентиль 19, на первый вход которого действует единичный сигнал с возбужденной шины дешифратора 17 адреса разрядов поступит на второй вход 22 соответствующего разряда регистра 21 и инвертирует хранящийся в нем символ. Если же записываемый в ЭП и хранящийся в нем символы совпадают, то изменения информации в регистре не происходит.

На основании k информационных символов, хранящихся в регистре 21, блок 14 кодирования вырабатывает m проверочных символов, которые поступают на третьи входы вторых вентилях 8, а на третьих входах первых вентилях установлен сигнал 12 записи. После этого на шине 10 появляется сигнал разрешения записи информации в ЭП, находящийся на пересечении выбранных строки и разряда, из выбранных ЭП, а также в k дополнительных ЭП происходит запись информации. На этом цикл записи закончен.

В режиме считывания сигналы на шинах 10 и 12 отсутствуют, вентили 6 и 8 заперты. В соответствии с кодом адреса опрашиваемой строки возбуждается одна из шин 2 дешифратора 3 и все ЭП этой строки подключаются соответственно через основные 4 и дополнительные 5 выходные шины накопителя 1 к первому 7 и второму 9 блокам считывания. По считанным k информационным символам, поступающим по первым входам 22 в регистр 21, в блоке 14 кодирования вырабатываются $r' = (r, r')$ однако векторы r и r' могут отличаться) контрольных символов. Эти символы поступают на вторые входы первых сумматоров 15 и сравниваются в них поразрядно с r символами, поступающими на первые входы сумматоров 15. Если в считанном слове (и его разрядах) нет отказов, то на выходах первых сумматоров 15 будут нулевые символы синдром равен нулю. В противном случае синдром нулю не равен. Синдром по входам 25 поступает в блок 26 анализа отказов. В блоке 26 (фиг. 2) запрограммированы k двоичных слов по r разрядов соответствующие вектор-столбцам матрицы $H_{n,k}$ применяемого кода. Таким образом, синдром, сформулированный первыми сумматорами 15, сравнивается с каждым из k векторов, хранящихся в ПЛМ. При совпадении с одним из векторов (в считанном слове есть ошибка) на соответствующем выходе 27 сформируется единичный сигнал, и таким образом, однозначно установится местоположение отказавшего разряда.

Далее этот единичный сигнал поступает на первый вход одного из вторых сумматоров 23 по модулю два, второй вход которого связан с неверно считанным информационным разрядом, и инвертирует ошибочный разряд на правильный. Скорректированное слово поступает на информационные входы 28 выходного блока 18. На первые управляющие входы выходного блока 18 поступает сигнал с возбужденной шины 16 дешифратора 17 адреса разрядов и из k информационных разрядов на выход 29 устройства поступает символ, расположенный в ЭП, местоположения которого определяется кодами адресов строки и разряда. Естественно, что при определенном считывании информации из ЭУ любая ошибка, имеющаяся в k -разрядном слове, будет корректироваться вне зависимости от того, считывается из устройства этот разряд или другой.

Рассмотрим для примера запись и считывание слова $A = 1010$; $k = 4$ (записывается и считывается символ "0" во второй разряд строки). Для обнаружения и исправления ошибки используем код Хемминга с проверочной матрицей $H_{7,4}$, т.е. $n = 7$, $k = 3$:

$$H = \begin{bmatrix} 1 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 1 \\ c & c & c & c & c & c & c \end{bmatrix}$$

На основании этого кода блок 16 кодирования вырабатывает 3 проверочных символа $C_5 - C_7$ по алгоритму.

$$\begin{aligned} C_5 &= C_1 - C_2 - C_4 \text{ сложение} \\ C_6 &= C_1 - C_3 - C_4 \text{ ведется} \\ C_7 &= C_2 - C_3 - C_4 \text{ по модулю два} \end{aligned}$$

В накопитель запишется слово $B = 1010101$. При считывании информации на первых выходах первого блока 7 считывания будет слово $A^* = 1110$ (ошибка во втором разряде). Вновь сформированные r' разрядов (000) сравниваются на первых сумматорах 15 поразрядно с r символами (101). Синдром (5 = 101) поступает на входы блока 25, в котором хранятся ($C_5 - C_7$) вектор-столбцы матрицы $H_{7,4}$. Синдром совпадает с вторым C_2 вектором, и на втором выходе 27 блока 26 будет единичный сигнал, который на втором сумматоре 23 инвертирует единичный символ на нулевой. Таким образом, на выходе 29 устройства будет правильный двоичный символ "0".

Если в считанном слове ошибок нет или искажен один из символов, то синдром не совпадает ни с одним из вектор-столбцов, хранящихся в ПЛМ и все k символов будут правильными.

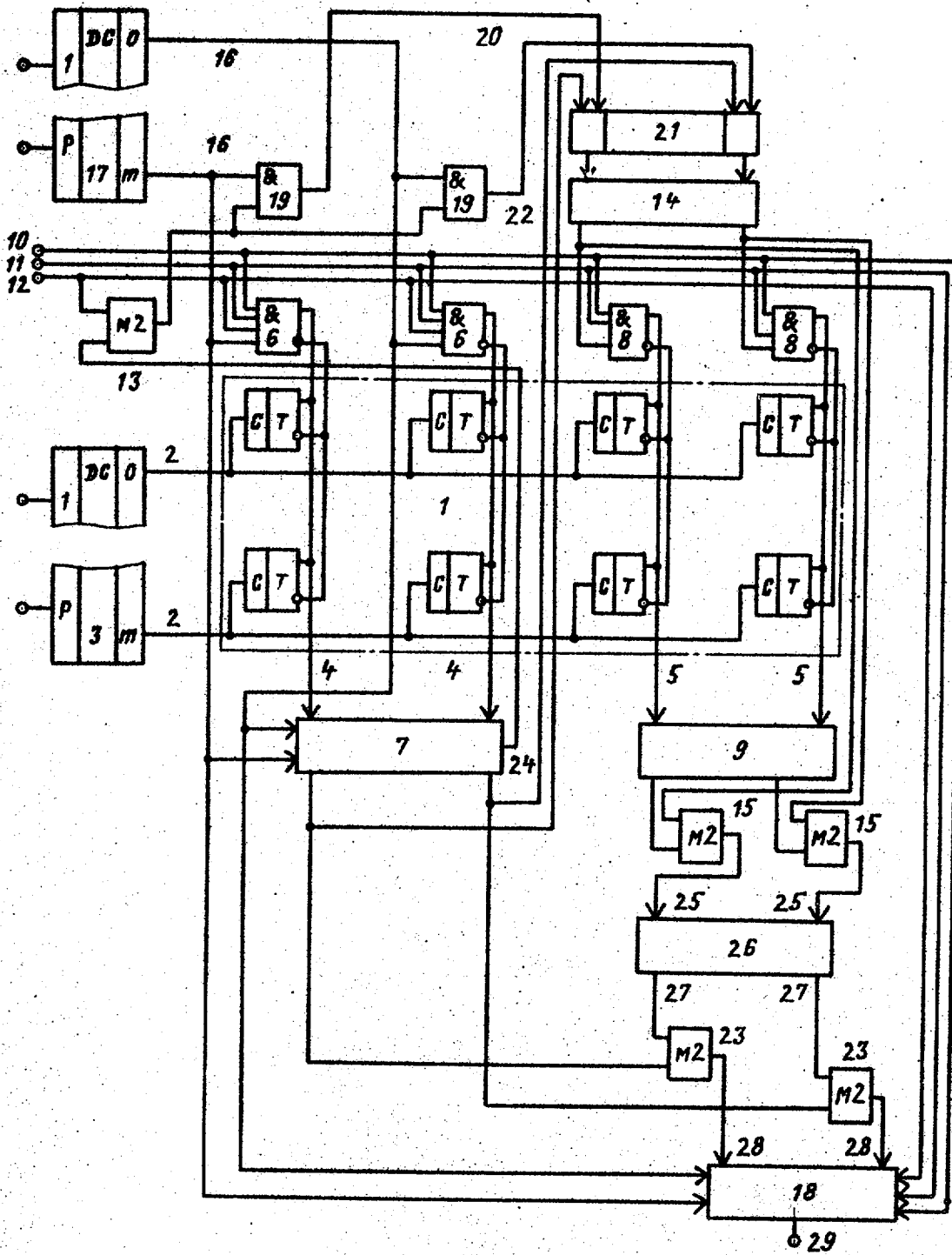
Предлагаемое устройство выполняет те же функции, что и известное: обнаруживает и исправляет единичные дефекты в словах, возникшие по причине отказов ЭП в процессе произ-

водства БИС ЗУ либо его эксплуатации. Однако предлагаемое устройство проще за счет того, что кодирование информации и в режиме записи, и в режиме считывания осуществляется одним и тем же блоком кодирования, в то время как в известном устройстве для этих целей используются два блока кодирования. Анализ, приведенный в описании [2] устройства, показывает, что для БИС ЗУ емкостью 16 Кбит ($r = 8$) под дополнительные ЭП, схемы кодирования, обнаружения и исправления ошибок необходимо увеличить площадь кристалла приблизительно на 18%. Причем 8-10% (из 18%) занимают схемы кодирования и определения местоположения ошибки. Даже предварительные подсчеты показывают, что для формирования r проверочных разрядов кодом Хемминга (самым простым и эффективным [3] нужно около $r^2/2$ двухходовых сумматоров по модулю два. Это значит, что для БИС ЗУ емкостью 16 Кбит (128·128) необходимо $8 \cdot 64 = 512$ сумматоров для

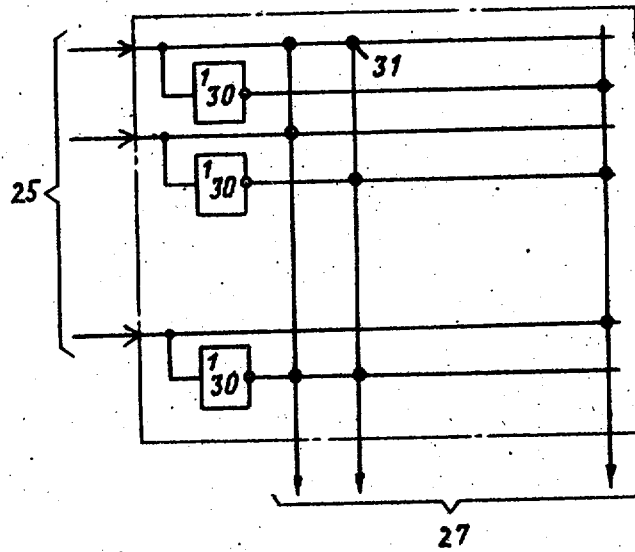
реализации одного блока кодирования что потребует увеличения площади кристалла на 4-5%. Отметим, что в предлагаемом устройстве формирование блока определения местоположения отказов в виде ПЛМ или ПЗУ не требует проведения дополнительных технологических операций по сравнению с базовым процессом и практически не влияет на выход годных ЗУ из-за усложнения техпроцесса.

Таким образом, использование лишь одного блока кодирования значительно улучшает известное устройство, уменьшает площадь кристалла, что приводит к повышению надежности всего устройства.

В сравнении с базовым объектом предлагаемое устройство позволяет использовать кристаллы БИС ЗУ с единичными дефектами производства и исправлять отказы, возникающие при использовании БИС. Таким образом, надежность предлагаемого устройства выше, чем базового.



Фиг. 1



Фиг. 2

Составитель О. Кудачков
 Редактор Е. Лушникова Техред А. Бабинец Корректор Ю. Макаренко

Заказ 4564/42 Тираж 594 Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4