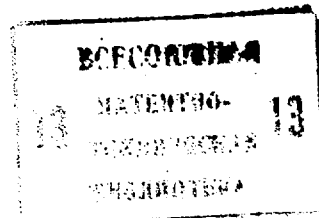




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

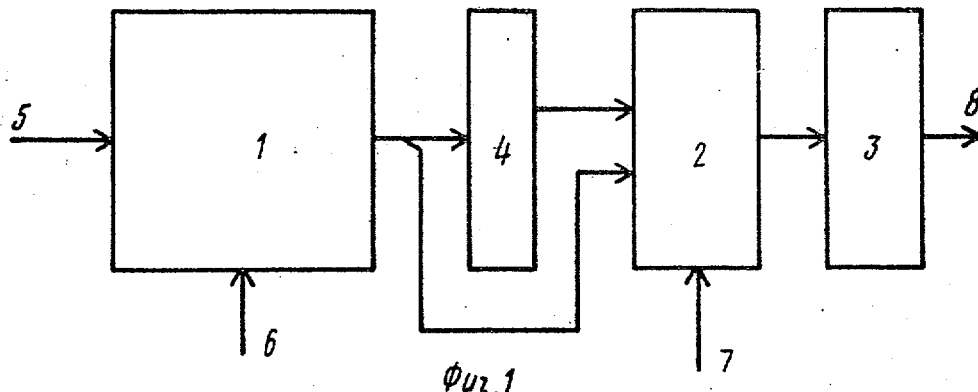
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3509519/18-24
- (22) 05.11.82
- (46) 15.02.84. Бюл. № 6
- (72) Л.А. Глухова и А.Т. Пешков
- (71) Минский радиотехнический институт
- (53) 681.325 (088.8)
- (56) 1. Авторское свидетельство СССР № 510714, кл. G 06 F 7/52, 1976.  
2. Патент США № 3890496, кл. G 06 F 7/52, 1975 (прототип).

(54) (57) УСТРОЙСТВО УМНОЖЕНИЯ ДВОИЧНО-ДЕСЯТИЧНЫХ ЦИФР, содержащее блок кодопреобразователей, сумматор, матрицу элементов И размерности  $n \cdot m$  ( $n = m = 4$  - количество строк и столбцов), причем первый и второй входы  $i, j$  -го элемента И ( $i = j = 1, 4$ ) матрицы соединены соответственно с  $i$ -м разрядом множимого и  $j$ -м разрядом множителя устройства, выходы элементов И  $p$ -й диагонали матрицы ( $p = 1, 3$ ) подключены к входам  $p$ -го разряда сумматора, выходы разрядов которого соединены с младшими разрядами входами соответствующих весов блока кодопреобразователей, разрядные входы переносов сумматора сое-

динены с соответствующими входами переносов устройства, разрядные выходы блока кодопреобразователей являются выходами устройства, отсюда я с я тем, что, с целью сокращения аппаратных затрат, в него введены элемент ИЛИ и блок элементов ИЛИ, содержащий первый, второй, третий и четвертый элементы ИЛИ, причем выход элемента И с седьмой диагонали матрицы соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом переноса сумматора, выход элемента ИЛИ соединен со старшим разрядным входом блока кодопреобразователей, выходы элементов И четвертой диагонали матрицы подключены соответственно к входам первого и второго элементов ИЛИ блока, выходы элементов И пятой и шестой диагонали матрицы подключены соответственно к входам третьего и четвертого элементов ИЛИ блока, выходы первого и второго элементов ИЛИ блока подключены к входам четвертого разряда сумматора, выходы третьего, и четвертого элементов ИЛИ блока подключены соответственно к входам пятого и шестого разрядов сумматора.



(19) SU (11) 1073771 A

Изобретение относится к вычислительной технике, предназначено для умножения двоично-десятичных цифр, представленных кодом 8-4-2-1, и прибавления десятичного переноса и может быть применено в быстродействующих вычислителях.

Известно устройство умножения, содержащее регистр множимого, регистр множителя, блок последовательного накопления чисел, кратных множимому, блок суммирования частичных произведений, блок определения очередности цифр [1].

Однако данное устройство отличается низким быстродействием.

Наиболее близким к предлагаемому по технической сущности является устройство умножения двоично-десятичных цифр, содержащее блок кодопреобразователей, сумматор, матрицу элементов И размерности  $n \cdot m$  ( $n = m = 4$  - количество строк и столбцов), причем первый и второй входы  $i, j$  -го элемента И ( $i = j = 1, 4$ ) матрицы соединены соответственно с  $i$ -м разрядом множимого и с  $j$ -м разрядом множителя устройства, выходы элементов И  $p$ -й диагонали матрицы ( $p = 1, 3$ ) подключены к входам  $p$ -го разряда сумматора, выходы разрядов которого соединены с младшими разрядными входами соответствующих весов блока кодопреобразователей, разрядные входы переносов сумматора соединены с соответствующими входами переносов устройства, разрядные выходы блока кодопреобразователей являются выходами устройства [2].

Недостатком известного устройства является сложность блока сумматоров.

Целью изобретения является снижение аппаратных затрат.

Поставленная цель достигается тем, что в устройство умножения двоично-десятичных цифр, содержащее блок кодопреобразователей, сумматор, матрицу элементов И размерности  $n \cdot m$  ( $n = m = 4$  - количество строк и столбцов), причем первый и второй входы  $i, j$  -го элемента И ( $i = j = 1, 4$ ) матрицы соединены соответственно с  $i$ -м разрядом множимого и с  $j$ -м разрядом множителя устройства, выходы элементов И  $p$ -й диагонали матрицы ( $p = 1, 3$ ) подключены к входам  $p$ -го разряда сумматора, выходы разрядов которого соединены с младшими разрядными входами соответствующих весов блока кодопреобразователей, разрядные входы переносов сумматоров соединены с соответствующими входами переносов устройства, разрядные выходы блока кодопреобразователей являются выходами устрой-

ства, введены элемент ИЛИ и блок элементов ИЛИ, содержащий первый, второй, третий и четвертый элементы ИЛИ, причем выход элемента И

5 с седьмой диагонали матрицы соединен с первым входом элемента ИЛИ, второй вход которого соединен с выходом переноса сумматора, выход элемента ИЛИ соединен со старшим разрядным входом блока кодопреобразователей, выходы элементов И четвертой диагонали матрицы подключены соответственно к входам первого и второго элементов ИЛИ блока, выходы элементов И пятой и шестой

10 диагонали матрицы подключены соответственно к входам третьего и четвертого элементов ИЛИ блока, выходы первого и второго элементов ИЛИ блока подключены к входам четвертого разряда сумматора, выходы третьего и четвертого элементов ИЛИ блока подключены соответственно к входам пятого и шестого разрядов сумматора.

15 Снижение аппаратных затрат в данном устройстве достигается посредством учета избыточности двоичного представления десятичных цифр.

При использовании кода 8-4-2-1 запрещенными (избыточными) комбинациями при представлении десятичных цифр являются значения 1010-1111, удовлетворяющие условиям

$$\begin{aligned} X_8 \cdot X_4 &= 1 \\ X_8 \cdot X_2 &= 1, \end{aligned} \quad (1)$$

40 где  $X_2$  - значение бита с весом 2 двоично-десятичной цифры сомножителя.

Это обстоятельство позволяет сократить количество одноразрядных сумматоров, составляющих сумматор, с двенадцати до семи. Вместо одноразрядных сумматоров могут быть использованы обычные элементы ИЛИ, что вызывает упрощение сумматора.

50 На фиг.1 представлена структурная схема устройства; на фиг.2 - матрица элементов И; на фиг.3 - схема блока элементов ИЛИ; на фиг.4 - схема сумматора; на фиг.5 - схема блока кодопреобразователей.

Устройство содержит матрицу 1 элементов И, сумматор 2, блок 3 кодопреобразователей, блок 4 элементов ИЛИ, входы 5 множимого устройства, входы 6 множителя устройства, входы 7 переносов устройства, выходы 8 устройства.

60 Матрица 1 элементов И (фиг.2) содержит элементы 9-24 И с соответствующими весами, входы 25-28 разрядов множимого устройства, входы 29-32 множителя устройства, выходы 33-48 матрицы 1 элементов И.

Блок 4 элементов ИЛИ (фиг.3) содержит элементы 49-52 ИЛИ, входы 53-61, выходы 62-65.

Сумматор 2 (фиг.4) состоит из одноразрядных сумматоров 66-72, одноразрядных полусумматоров 73-77, элемента 78, входы 79 элемента ИЛИ 78, входов 80-89 разрядов сумматора 2, выхода 90 элемента ИЛИ 78, выходов 91-96 сумматора 2, входов 97-100 переносов сумматора 2.

Блок 3 кодопреобразователей (фиг.5) может быть реализован на основе любого из известных принципов преобразования кодов.

Блок 3 кодопреобразователей содержит кодопреобразователи 101-104, входы 105-111, выходы 112-119. Каждый кодопреобразователь 101-104 содержит элементы И 120 и 121, элемент ИЛИ 122, полусумматоры 123 и 124, сумматор 125.

Устройство выполняет умножение двоично-десятичной цифры множимого на двоично-десятичную цифру множителя и к полученному произведению прибавляет двоично-десятичную цифру входного переноса. Цифры множимого, множителя и входного переноса представлены кодом 8-4-2-1. На выходе модуля умножения формируются двоично-десятичные цифры произведения и выходного переноса, также представленные кодом 8-4-2-1.

Устройство работает следующим образом.

На входы 5, 6 и 7 устройства поступают соответственно цифры множимого, множителя и входного переноса. Цифры множимого и множителя проходят на входы матрицы 1 элементов И.

Значения разрядов с выходов всех  $i, j$ -х элементов И матрицы 1 элементов И поступают на выход матрицы элементов И.

В блоке 4 элементов ИЛИ разряды с равными весами ( $4 \times 8 = 8 \times 4 = 32$ ,  $2 \times 8 = 4 \times 4 = 8 \times 2 = 16$ ,  $1 \times 8 = 2 \times 4 = 8$ ,  $4 \times 2 = 8 \times 1 = 8$ ), которые не могут одновременно принимать единичные значения, проходят через соответствующие элементы ИЛИ и с выхода блока 4 элементов ИЛИ поступают на вход сумматора 2.

В сумматоре 2 выполняется сложение  $j$ -х частичных произведений, сформированных матрицей 1 и блоком 4 и входным переносом. В результате, на выходе сумматора 2 образуется двоичное произведение цифр множимого и множителя, увеличенное на значение входного переноса. Данное двоичное произведение поступает на вход блока 3 кодопреобразователей, где преобразуется в код 8-4-2-1. На выходе 8 блока 3 формируются две цифры произведения в коде

8-4-2-1. Вес младшей цифры соответствует весу цифр множимого и множителя. Старшая цифра может рассматриваться как выходной перенос и при умножении многоразрядных десятичных чисел использоваться в качестве входного переноса в соседнем старшем модуле умножения двоично-десятичных цифр.

На входы блока 4 элементов ИЛИ поступают те разряды с выхода матрицы 1 элементов И, которые одновременно не могут принимать единичное значение из-за избыточности кода 8-4-2-1: на входы элемента 52 - разряды с  $4 \times 8$  и  $8 \times 4$  весами, на входы элемента 51 - разряды с  $2 \times 8$ ,  $4 \times 4$ ,  $8 \times 2$  весами, на входы элемента 50 - разряды с  $1 \times 8$  и  $2 \times 4$  весами, на входы элемента 49 - разряды с  $4 \times 2$  и  $8 \times 1$  весами. Если на одном из входов какого-либо из элементов 49-52 ИЛИ появляется "1", то она проходит на соответствующий выход 62-65.

Выход элемента ИЛИ 78 подключен к выходу 90 с весом 64 сумматора.

Сумматор 2 работает следующим образом.

На его входы 79, 80, 84, 82, 83, 81, 80 поступают соответственно разряды с  $8 \times 8$ ,  $1 \times 4$ ,  $2 \times 2$ ,  $1 \times 2$ ,  $4 \times 1$ ,  $2 \times 1$  и  $1 \times 1$  весами с выхода матрицы 1. На входы 86-89 - первый, второй, третий и четвертый разряды (с весами "8", "8", "16" и "32" соответственно) с выходов 52-65 блока 4 элементов ИЛИ, на входы 97-100 - соответственно разряды с весами "8", "4", "2" и "1" цифры входного десятичного переноса.

Разряды с одинаковыми весами с входов сумматора 2 поступают в соответствующие колонки, состоящие из сумматоров и полусумматоров: 73, 71 и 74, 66, 70, 75, 67, 69, 76, 68, 77, 72. Данные колонки формируют отдельные двоичные разряды произведения с весами, соответствующими весам входных разрядов, поступающих на колонки. Переносы, возникающие в сумматорах каждой колонки, учитываются в соседней старшей колонке сумматоров.

В результате на выходах 90, 91, 92, 93, 94, 95 и 96 сумматора 2 формируются двоичные разряды с весами "64", "32", "16", "8", "4", "2" и "1" двоичного произведения десятичных цифр множимого и множителя с учетом входного переноса.

Разряд с весом "64" произведения может формироваться без использования сумматора 2 с помощью элемента ИЛИ 78, поскольку только на одном из его входов может находиться

единица (в противном случае наблюдается переполнение).

Блок 3 кодопреобразователей работает по следующему алгоритму.

Анализируется старшая тетрада двоичного эквивалента. Если ее значение больше или равно пяти, то значение очередного разряда (начиная со старшего) двоично-десятичного результата принимается равным "1", а к содержимому старшей тетрады двоичного эквивалента прибавляется "3".

Выполняется сдвиг на один двоичный разряд полученного результата (выдвинутый при сдвиге двоичный разряд теряется).

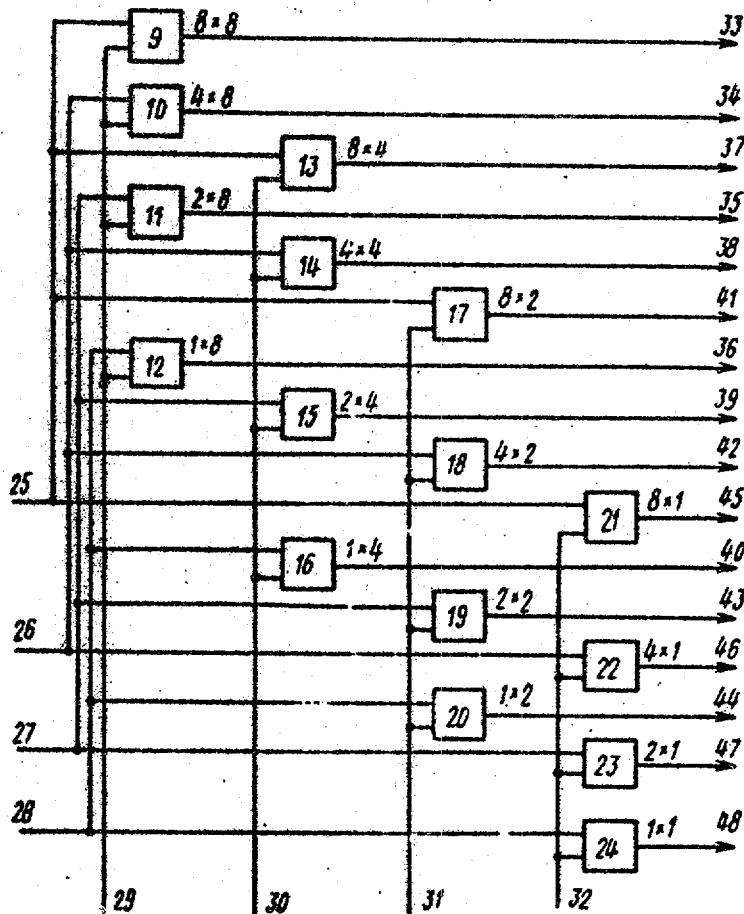
Операции повторяются, пока не будет преобразовано все число.

Анализ значения старшей тетрады двоичного эквивалента выполняется элементами И 85 и 86 и элементом ИЛИ 87. Сдвиг, необходимый по алгоритму, производится за счет последовательного подключения кодо-

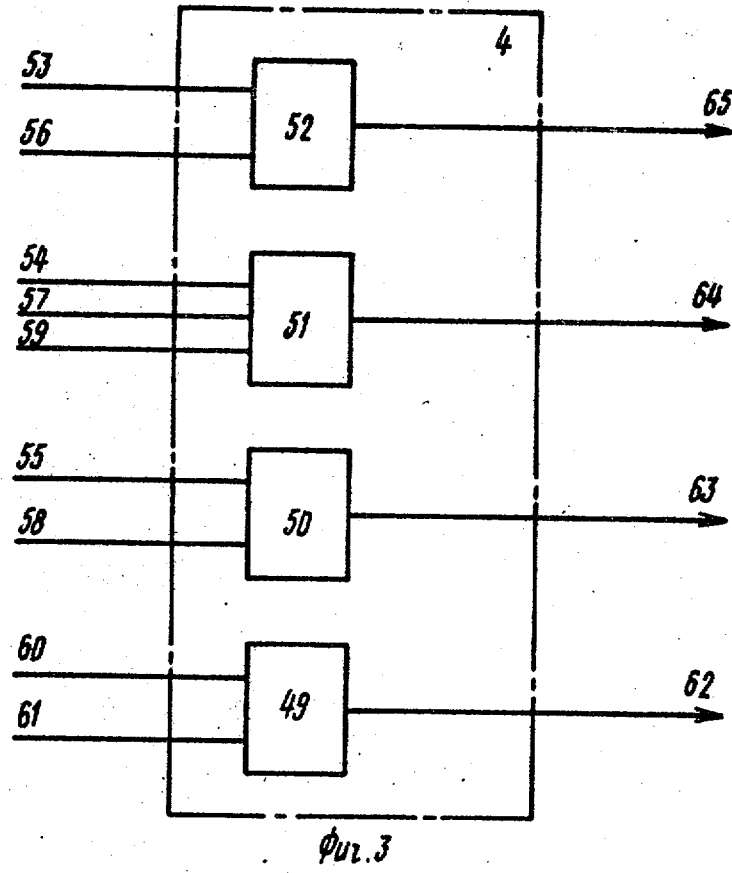
преобразователей 101-104 со смещением на разряд.

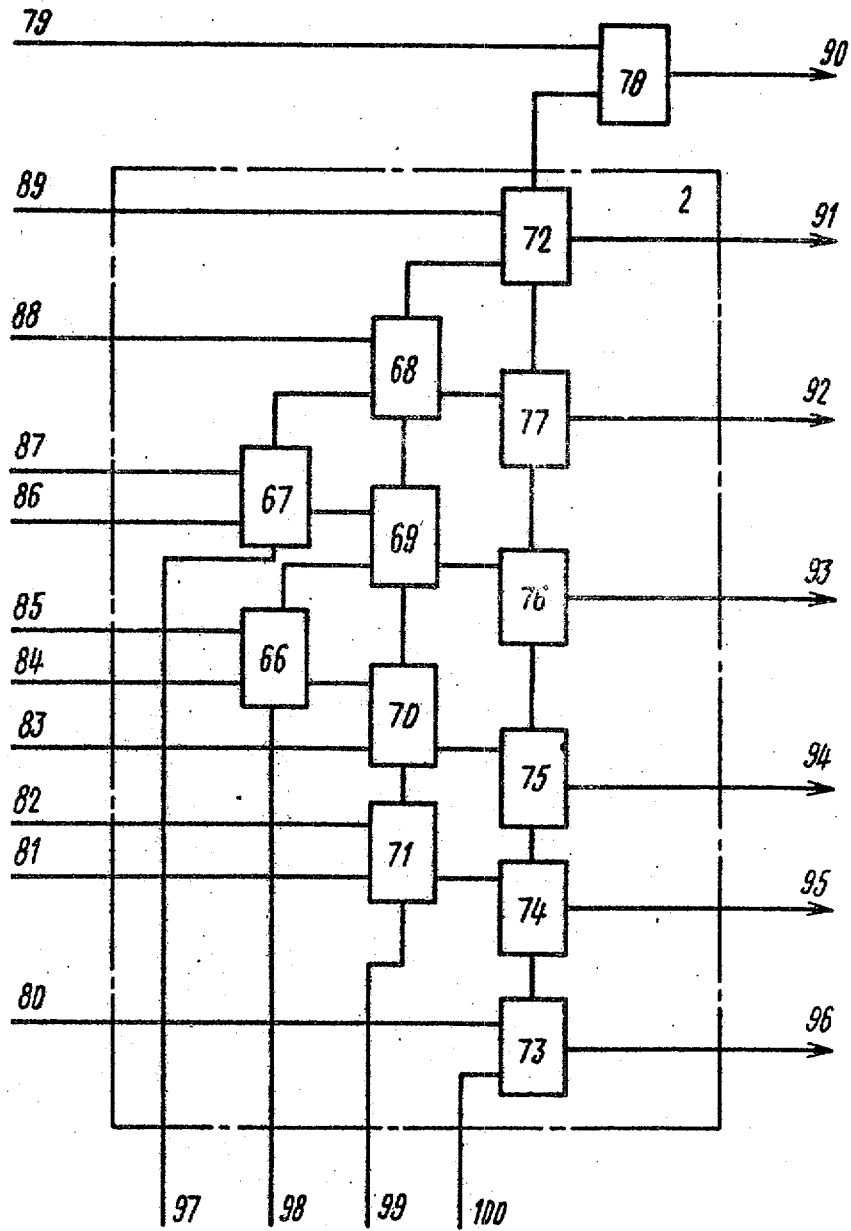
В результате на выходах 112-119 блока 3 кодопреобразователей формируется десятичное произведение в коде 8-4-2-1 разрядностью в две цифры. Двоичные разряды с весами "8", "4", "2" и "1" старшей цифры появляются на выходах 112-115 соответственно, двоичные разряды с весами "8", "4", "2" и "1" младшей цифры - соответственно на выходах 116-119.

Таким образом, снижение аппаратных затрат в устройстве осуществляется в результате уменьшения количества одноразрядных сумматоров сумматора с двенадцати до семи, введения блока элементов ИЛИ, на входы которого поступают те разряды с матрицы элементов, которые не могут одновременно принимать единичное значение из-за избыточности кода 8-4-2-1.

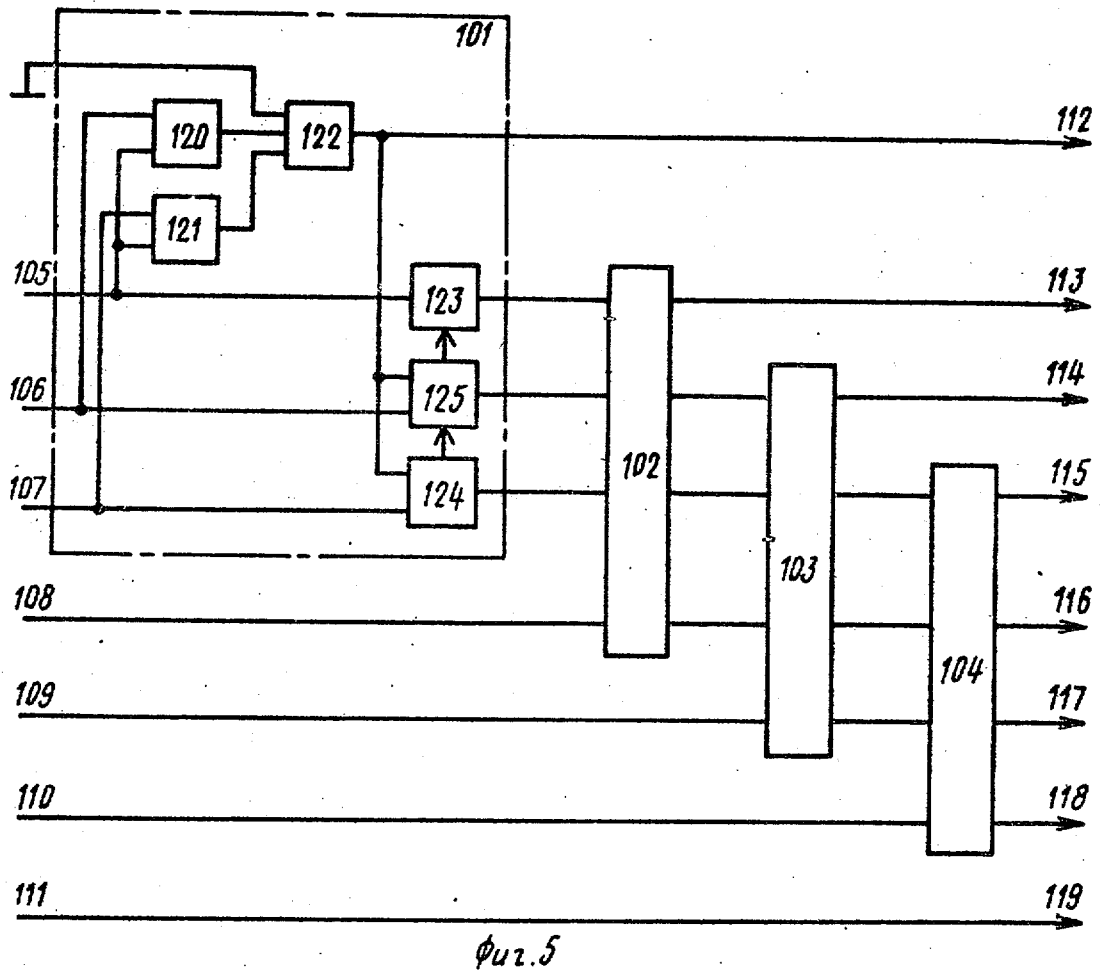


Фиг. 2





Фиг. 4



Составитель Л. Медведева  
 Редактор Л. Веселовская Техред М. Гергель Корректор И. Эрдейи

Заказ 331/48

Тираж 699

Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4