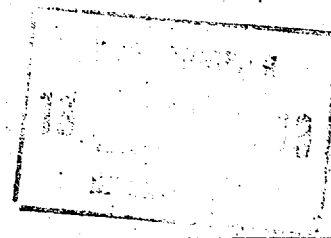




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

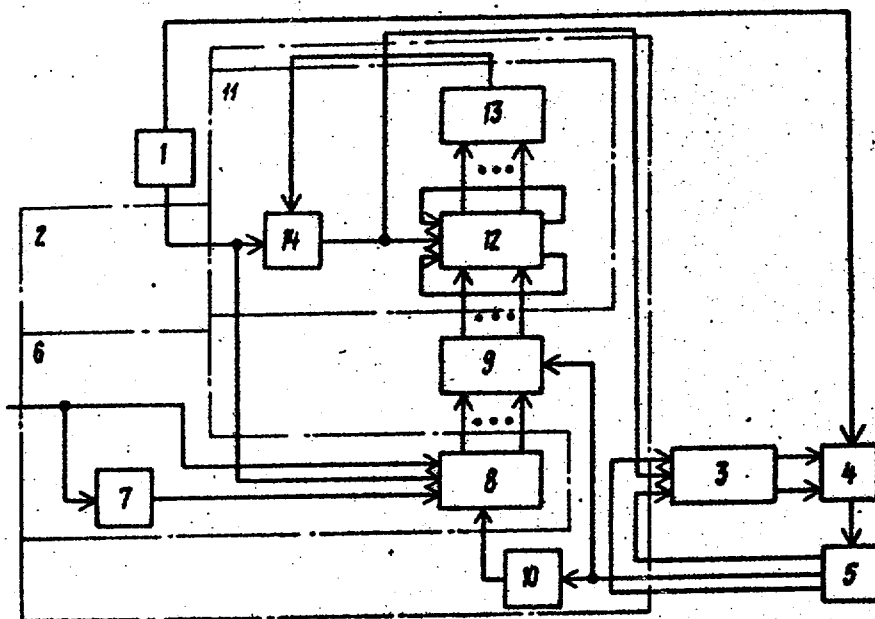
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3300170/18-09
- (22) 04.06.81
- (46) 23.02.84. Бюл. № 7
- (72) С.А.Ганкевич
- (71) Минский радиотехнический институт
- (53) 621.394.662(088.8)
- (56) 1. Авторское свидетельство СССР № 555553, кл. Н 04 L 7/02, 1977.
- 2. Авторское свидетельство СССР № 372717, кл. Н 04 В 3/46, 1973 (прототип).

(54) (57) 1. УСТРОЙСТВО ФАЗИРОВАНИЯ БИНАРНОГО СИГНАЛА, содержащее последовательно соединенные опорный генератор, блок управления, к двум другим входам которого подключены

выходы реверсивного счетчика, делитель частоты и фазовый дискриминатор, причем к управляющему входу исключения реверсивного счетчика подключен инверсный выход последнего разряда делителя частоты, отличающееся тем, что, с целью повышения помехоустойчивости устройства, прямой выход последнего разряда делителя частоты подключен к управляющему входу добавления реверсивного счетчика, к счетному входу которого подключен выход фазового дискриминатора, к управляющему входу высокочастотного сигнала которого подключен выход высокочастотного сигнала опорного генератора.



Фиг. 1

2. Устройство по п.1, отличающееся тем, что фазовый дискриминатор состоит из последовательно соединенных цифрового интегратора со сбросом, блока ключей и блока определения абсолютного значения рассогласования, управляющий вход высокочастотного сигнала которого объединен с соответствующим входом цифрового интегратора со сбросом, сигнальный вход которого является сигнальным входом фазового дискриминатора, управляющий вход блока ключей объединен с установочным входом цифрового интегратора со сбросом через элемент задержки и является управляющим входом тактового сигнала, а выход блока определения абсолютного значения рассогласования является выходом фазового дискриминатора.

3. Устройство по п.2, отличающееся тем, что блок определения абсолютного значения рассогласования состоит из последовательно соединенных реверсивного счетчика, дешифратора и ключа, выход которого соединен со счетным входом реверсивного счетчика и является выходом блока определения абсолютного значения рассогласования, вход ключа является управляющим входом высокочастотного сигнала, причем выходы последнего разряда реверсивного счетчика подключены к соответствующим управляющим входам реверсивного счетчика, установочные входы разрядов которого являются входами блока определения абсолютного значения рассогласования.

1

Изобретение относится к технике связи и может быть использовано для тактовой синхронизации систем передачи цифровой информации.

Известно устройство, содержащее последовательно соединенные генератор, блок управления, делитель частоты, фазовый дискриминатор и счетчик усреднения, выходы которого соединены с другими входами блока управления, при этом второй вход фазового дискриминатора соединен с входной шиной, а дополнительный вход подключен к выходу генератора [1].

Недостатком устройства является низкая помехоустойчивость и значительное время вхождения в синхронизм при малых отношениях сигнал/помеха.

Наиболее близким техническим решением к предлагаемому является устройство фазирования бинарного сигнала, содержащее последовательно соединенные опорный генератор, блок управления, к двум другим входам которого подключены выходы реверсивного счетчика, делитель частоты и фазовый дискриминатор, причем к управляющему входу исключения реверсивного счетчика подключен инверсный выход последнего разряда делителя частоты, выход опорного генератора подключен к управляющему входу добавления, а сигнальный вход фазового дискриминатора объединен с соответствующим его входом через блок выделения символов [2].

2

Однако данное устройство не отличается высокой помехоустойчивостью.

Цель изобретения - повышение помехоустойчивости устройства.

С этой целью в устройстве фазирования бинарного сигнала, содержащем последовательно соединенные опорный генератор, блок управления, к двум другим входам которого подключены выходы реверсивного счетчика, делитель частоты и фазовый дискриминатор, причем к управляющему входу исключения реверсивного счетчика подключен инверсный выход последнего разряда делителя частоты, прямой выход последнего разряда делителя частоты подключен к управляющему входу добавления реверсивного счетчика, к счетному входу которого подключен выход фазового дискриминатора, к управляющему входу высокочастотного сигнала которого подключен выход высокочастотного сигнала опорного генератора.

При этом фазовый дискриминатор состоит из последовательно соединенных цифрового интегратора со сбросом, блока ключей и блока определения абсолютного значения рассогласования, управляющий вход высокочастотного сигнала которого объединен с соответствующим входом цифрового интегратора со сбросом, сигнальный вход которого является сигнальным входом фазового дискриминатора, управляющий вход блока ключей объединен с установочным входом

цифрового интегратора со сбросом через элемент задержки и является управляющим входом тактового сигнала, а выход блока определения абсолютного значения рассогласования является выходом фазового дискриминатора.

Кроме того, блок определения абсолютного значения рассогласования состоит из последовательно соединенных реверсивного счетчика, дешифратора и ключа, выход которого соединен со счетным входом реверсивного счетчика и является выходом блока определения абсолютного значения рассогласования, вход ключа является управляющим входом высокочастотного сигнала, причем выходы последнего разряда реверсивного счетчика подключены к соответствующим управляющим входам реверсивного счетчика, установочные входы разрядов которого являются входами блока определения абсолютного значения рассогласования.

На фиг.1 представлена структурная электрическая схема устройства фазирования бинарного сигнала; на фиг.2 - временные диаграммы, поясняющие работу устройства.

Устройство содержит опорный генератор 1, фазовый дискриминатор 2, реверсивный счетчик 3, блок 4 управления, делитель 5 частоты, причем фазовый дискриминатор 2 содержит цифровой интегратор 6 со сбросом, состоящий из инвертора 7 и реверсивного счетчика 8, блока 9 ключей, элемента 10 задержки и блока 11 определения абсолютного значения рассогласования, состоящего из реверсивного счетчика 12, дешифратора 13 и ключа 14.

Процесс формирования дискриминационной характеристики иллюстрируется временными диаграммами, представленными на фиг.2 для случаев, когда входной и опорный сигналы синфазны (I), входной сигнал по фазе отстает от опорного (II), входной сигнал по фазе опережает опорный (III).

Устройство фазирования бинарного сигнала работает следующим образом:

Входная квантованная смесь сигнала и шума в виде бинарного сигнала (фиг.2a) поступает на управляющие входы реверсивного счетчика 8 и непосредственно на вход добавления и через инвертор 7 на вход исключения (либо наоборот). Реверсивный счетчик 8 с инвертором 7 производят цифровое интегрирование полупосылок входного сигнала. На его счетный вход с этой целью подается последовательность высокочастотных

импульсов частоты заполнения с выхода опорного генератора 1. Интервал интегрирования элементов входного сигнала задается опорным сигналом частоты $2f_0$, где f_0 - тактовая частота входного сигнала, осуществляемая импульсами, следующими с частотой f_0 (фиг.2б), запись состояния реверсивного счетчика 8 через блок ключей 9 и блок 11 определения абсолютного значения рассогласования. Установка реверсивного счетчика 8 в нулевое состояние производится такими же импульсами (фиг.2б), задержанными элементом 10 задержки на время, обеспечивающее надежную запись кода реверсивного счетчика 8 в блок 11 определения абсолютного значения рассогласования, который работает следующим образом.

Если число, накопленное в цифровом интеграторе 6 на длительности полупосылки, отрицательное, знаковый триггер реверсивного счетчика 12 находится в единичном состоянии, при этом на управляющий вход добавления с прямого выхода знакового триггера подается разрешение. При положительном накопленном числе знаковый триггер находится в нулевом состоянии, и разрешение подается на вход исключения. Нулевое состояние реверсивного счетчика 12 определяется дешифратором 13, который запрещает прохождение счетных высокочастотных импульсов на вход реверсивного счетчика 12 при нулевом коде и разрешает прохождение их при любом другом состоянии посредством ключа 14.

Таким образом, на вход реверсивного счетчика 12 блока 11 определения абсолютного значения рассогласования поступает после записи кода в его разряды число импульсов, равное абсолютному значению числа, соответствующего занесенному коду, после чего вход реверсивного счетчика 12 закрывается и остается в закрытом состоянии до очередной записи через интервал времени, равный длительности полупосылки.

Поскольку вход реверсивного счетчика 12 соединен с входом реверсивного счетчика 3, то на счетный вход последнего также поступает число импульсов, равное модулю числа, записанного в реверсивный счетчик 12 и соответствующего интервалу напряжения входного сигнала на длительности полупосылки. Разность интегралов вычисляется с помощью реверсивного счетчика 3, осуществляющего также усреднение результата. На управляющие входы реверсивного счетчика 3 подается меандровый сигнал тактовой частоты с прямого и ин-

версного выходов последнего разряда делителя 5 (фиг.2б,г). Таким образом, в течение первого полутакта производится добавление импульсов (фиг.2г), поступающих на счетный вход реверсивного счетчика 3, а в течение второго полутакта - исключение импульсов (фиг.2е). Если опорный сигнал синфазен с входным сигналом (I), число импульсов добавления (фиг.2г) равно числу импульсов исключения (фиг.2е).

Если возникает фазовое рассогласование между тактовыми точками опорного меандрового сигнала и входной последовательностью, смена знака входной последовательности происходит в интервале интегрирования нечетных (II) либо четных (III) полупериодов входной последовательности, в результате чего возрастает число импульсов добавления (фиг.2,IIIг), либо исключения (фиг.2,IIIе), что приводит к переполнению реверсивного счетчика 3 и появлению сигнала коррекции на соответствующем выходе.

С помощью блока 4 управления производится добавление импульсов в импульсную последовательность опорного генератора 1 или исключение и следовательно дискретное изменение фазы опорного генератора 1, формируемое делителем 5 частоты.

Импульсы границ полупериодов, определяющие интервал интегрирования,35° сжимаются либо с импульсного вы-

хода предпоследнего разряда делителя 5 частоты при построении последнего на счетных триггерах из элементов И, ИЛИ, НЕ, либо формируются с помощью дешифраторов.

Предлагаемое техническое решение выгодно отличается от известного более высокой помехоустойчивостью.

Если учесть, что вероятность ошибки на символ при флуктуационной помехе определяется выражением

$$P_2 = \frac{1}{2} [1 - \Phi(q)],$$

где $\Phi(x) = \frac{2}{\sqrt{2\pi}} \int_0^x e^{-t^2/2} dt$ - функция Крампа;

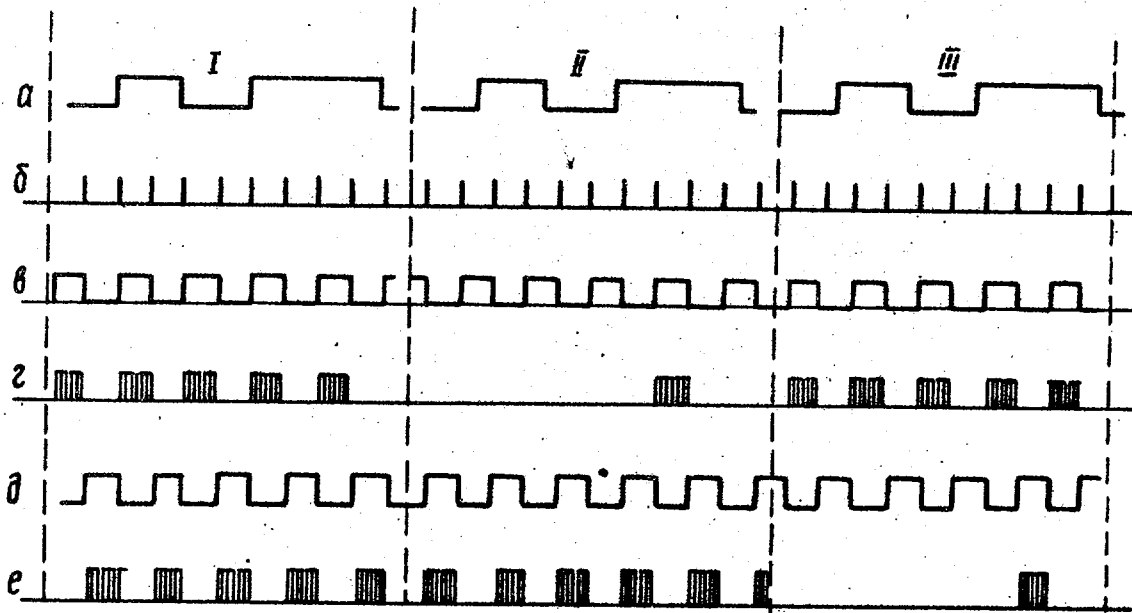
$q = \frac{U_c}{U_n}$ - отношение сигнал/помеха на

входе устройства, дисперсия фазы опорного сигнала и математическое ожидание фазы синхросигнала с учетом ошибки в определении знака символа обратно пропорциональны величине $\Phi(q)$ для известного устройства.

Предлагаемое устройство по сравнению с известным позволяет уменьшить величину флуктуационной ошибки в $1/\sqrt{\Phi(q)}$ раз, а величину динамической ошибки - в $1/\Phi(q)$ раз.

Для отношения сигнал/помеха, равного единице, эти величины соответственно равны 1,21 и 1,46. При меньших отношениях сигнал/помеха достигается более существенный выигрыш.

Кроме того, предложенное устройство лишено недостатков, присущих известному, связанных с асимметрией дискриминационной характеристики.



Фиг.2