



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3417185/18-21  
(22) 31.03.82  
(46) 07.08.83. Бюл. № 29  
(72) А.Н. Морозевич  
(71) Минский радиотехнический институт  
(53) 621.374.44(088.8)  
(56) 1. Авторское свидетельство СССР № 663068, кл. Н 03 В 19/10, 1976.  
2. Авторское свидетельство СССР № 690609, кл. Н 03 В 19/10, 1977.

(54) (57) ЦИФРОВОЙ УМНОЖИТЕЛЬ ЧАСТОТЫ СЛЕДОВАНИЯ ИМПУЛЬСОВ, содержащий генератор опорной частоты, два счетчика импульсов, два регистра, первый формирователь импульсов, первый элемент ИЛИ, элемент задержки, три элемента И и первый и второй блоки элементов И, выходы которых подключены к блоку элементов ИЛИ, выходы которого подключены к информационным входам сумматора, отличающа-  
ю щ и й с я тем, что, с целью повышения точности умножения при одновременном упрощении устройства, в него введены второй формирователь импульсов, третий счетчик импульсов и второй элемент ИЛИ, первый вход которого подключен к выходу первого элемента И, второй вход - к выходу генератора опорной частоты и суммирующему входу первого счетчика импульсов, выходы которого подключены к информационным входам первого регистра, а импульсный выход - к суммирующему входу второго счетчика импульсов, выходы которого подключены к информационным входам второго регистра, выходы которого соединены с информационными входа-

ми третьего счетчика импульсов, вычитающий вход которого соединен с выходом второго элемента ИЛИ, а суммирующий вход - с выходом второго элемента И, первый вход которого подключен к выходу второго формирователя импульсов и первому входу первого элемента И, второй вход которого подключен к входу переноса сумматора, нулевому выходу старшего разряда первого регистра и управляющему входу первого блока элементов И, информационные входы которого соединены с нулевыми выходами остальных разрядов первого регистра, единичные выходы которых подключены к информационным входам второго блока элементов И, управляющий вход которого подключен к второму входу второго элемента И и единичному выходу старшего разряда первого регистра, управляющий вход первого регистра соединен с управляющим входом второго регистра, первым управляющим входом сумматора, выходом первого формирователя импульсов, входом элемента задержки, выход которого подключен к установочным входам первого и второго счетчиков импульсов и первому входу второго элемента ИЛИ, второй вход которого соединен с выходом третьего счетчика импульсов и первым входом третьего элемента И, а выход - с управляющим входом третьего счетчика импульсов и вторым управляющим входом сумматора, выход которого подключен к входу второго формирователя импульсов, второй вход третьего элемента И подключен к шине блокировки, а выход является выходом устройства.

Изобретение относится к радиотехнике и может быть использовано в измерительных информационных системах различного назначения.

Известен цифровой умножитель частоты следования импульсов, содержащий последовательно соединенные формирователь импульсов, блок управления, первый вентиль, первый делитель частоты, выход которого подключен к второму входу блока управления, первый регистр памяти, первую схему переноса, второй делитель частоты и элемент И, к выходу которого, являющемуся выходом цифрового умножителя частоты, подключен через элемент ИЛИ другой вход первого блока переноса, последовательно включенные между выходом первого и другим входом второго делителя частоты, второй регистр памяти, другой вход которого соединен с входом второго и выходом первого вентиля, второй блок переноса, другой вход которого соединен с выходом элемента И, параллельный сумматор, другой вход которого соединен с выходом третьего блока переноса, триггер задержки и третий вентиль, а также генератор импульсов эталонной частоты, выход которого соединен с вторыми входами триггера задержки, первого и третьего вентиля, при этом выход блока управления соединен с выходом третьей схемы переноса, с вторыми входами второго вентиля и элемента ИЛИ и третьим входом третьего вентиля, между выходом второго блока переноса включены последовательно соединенные триггер и регистр сдвига, вторые входы которых подключены к выходу блока управления, при этом третий вход блока управления соединен с выходом параллельного сумматора [1].

Данный умножитель имеет невысокую точность умножения, работает только в стартстопном режиме, т.е. не позволяет осуществлять непрерывное умножение меняющейся во времени частоты с заданной точностью, обладает избыточным объемом используемого оборудования.

Наиболее близким по технической сущности к предлагаемому является цифровой умножитель частоты, содержащий последовательно соединенные формирователь импульсов, блок управления, первый вентиль, первый делитель частоты, первый счетчик импульсов, выход которого подключен к второму входу блока управления, первый регистр, первый блок переноса (блок элементов И), второй делитель частоты, второй счетчик импульсов и элемент И, к выходу которого являющемуся выходом цифрового умножителя частоты, подключен через элемент ИЛИ другой вход первого блока переноса, последовательно включенные между выходом первого и другим входом второго делителя частоты, второй регистр памяти, другой вход которого соединен с входом второго и выходом первого вентиля, второй блок переноса (второй блок элементов И), дру-

гой вход которого соединен с выходом элемента И, параллельный сумматор, другой вход которого соединен с выходом третьего блока переноса, триггер задержки и третий вентиль, а также генератор импульсов эталонной частоты, выход которого соединен с вторыми входами триггера задержки, первого и третьего вентиля, при этом выход блока управления соединен с выходом третьего блока переноса, с вторыми входами второго вентиля и элемента ИЛИ и третьим входом третьего вентиля, между выходом второго блока переноса включены последовательно соединенные триггер и регистр сдвига, вторые входы которых подключены к выходу блока управления, при этом третий вход блока управления соединен с выходом параллельного сумматора [2].

Известное устройство характеризуется недостаточно высокой точностью умножения и сложностью.

Цель изобретения - повышение точности умножения при одновременном упрощении устройства.

Поставленная цель достигается тем, что в цифровой умножитель частоты следования импульсов, содержащий генератор опорной частоты, два счетчика импульсов, два регистра, первый формирователь импульсов, первый элемент ИЛИ, элемент задержки, три элемента И и первый и второй блоки элементов И, выходы которых подключены блоку элементов ИЛИ, выходы которого подключены к информационным входам сумматора, введенной второй формирователь импульсов, третий счетчик импульсов и второй элемент ИЛИ, первый вход которого подключен к выходу первого элемента И, второй вход - к выходу генератора опорной частоты и суммирующему входу первого счетчика импульсов, выходы которого подключены к информационным входам первого регистра, а импульсный выход - к суммирующему входу второго счетчика импульсов, выходы которого подключены к информационным входам второго регистра, выходы которого соединены с информационными входами третьего счетчика импульсов, вычитающий вход которого соединен с выходом второго элемента ИЛИ, а суммирующий вход - с выходом второго элемента И, первый вход которого подключен к выходу второго формирователя импульсов и первому входу первого элемента И, второй вход которого подключен к входу переноса сумматора, нулевому выходу старшего разряда первого регистра и управляющему входу пер-

вого блока элементов И, информационные входы которого соединены с нулевыми выходами остальных (младших) разрядов первого регистра, единичные входы которых подключены к информационным входам второго блока элементов И, управляющий вход которого подключен к второму входу второго элемента И и единичному выходу старшего разряда первого регистра, управляющий вход первого регистра соединен с управляющим входом второго регистра, первым управляющим входом сумматора, выходом первого формирователя импульсов, входом элемента задержки, выход которого подключен к установочным входам первого счетчика импульсов, второго счетчика импульсов и первому входу второго элемента ИЛИ, второй вход которого соединен с выходом третьего счетчика импульсов и первым входом третьего элемента И, а выход - с управляющим входом третьего счетчика импульсов и вторым управляющим входом сумматора, выход которого подключен к входу второго формирователя импульсов, второй вход третьего элемента И подключен к шине блокировки, а выход является выходом устройства.

На чертеже представлена структурная схема устройства.

Устройство содержит генератор 1 опорной частоты, регистры 2 и 3 сдвига, блоки 4 и 5 элементов И, блок 6 элементов ИЛИ, сумматор 7, формирователи 8 и 9 импульсов, элементы И 10 - 12, счетчики 13 - 15 импульсов, элементы ИЛИ 16 и 17, элемент 18 задержки.

Цифровой умножитель работает следующим образом.

Входной периодический сигнал с периодом  $T_{вх}$  поступает на формирователь 8, формирующий короткие прямоугольные импульсы, период которых тоже равен  $T_{вх}$ . Генератор 1 вырабатывает стабильные импульсы с периодом следования  $T_0$ , которые поступают на суммирующий вход счетчика 13. На его импульсном выходе формируется импульсная последовательность с периодом  $T_0 \cdot K$  ( $K$  - коэффициент деления счетчика 13, равный заданному коэффициенту умножения частоты). Эти импульсы поступают на суммирующий вход счетчика 14.

За первый (после включения устройства) период входного сигнала осуществляется автоматическая настройка устройства на работу. В этот период времени выходные сигналы не отражают требуемую зависимость  $T_{вых} = T_{вх} / K$ . Для блокировки этих сигналов используют элемент 12, включенный на выходе устройства.

Первый импульс с выхода формирователя 8 осуществляет перезапись кодов из счетчиков 13 и 14 в регист-

ры 2 и 3 соответственно и установку сумматора 7 в ноль. Однако во время первого периода входного сигнала их состояние не отражается на выходном сигнале (выход устройства заблокирован). Этот же сигнал, но задержанный элементом 18 на время перезаписи кодов, устанавливает в счетчике 14 код 1...1, в счетчике 13 - код  $K/2$ , в сумматоре 7 - прямой или дополнительный код содержимого регистра 2, а в счетчике 15 - код, равный коду регистра 3 (сигналы на сумматор 7 и счетчик 15 поступают через элемент 17), но они в первый период входного сигнала не оказывают влияния (выход устройства заблокирован).

За период времени  $T_{вх}$  на вход счетчика 13 поступает  $T_{вх} / T_0$  импульсов, следовательно, с учетом начального состояния счетчика 13 на вход счетчика 14 поступит  $N = J \left( \frac{T_{вх}}{T_0} + \frac{K}{2} \right) / K$  импульсов. Максимальная ошибка измерения периода входного сигнала уменьшается в два раза, так как в прототипе  $N = J \frac{T_{вх}}{T_0 \cdot K}$ . Здесь  $J$  означает целую часть. С учетом того, что исходным состоянием счетчика 14 является код 1...1, в этом счетчике за период  $T_{вх}$  будет код  $N-1$ , так как первый импульс с выхода счетчика 13 устанавливает код 0...0 в счетчике 14.

Следующий импульс с выхода формирователя 8 также осуществляет перезапись кодов из счетчиков 13 и 14 в регистры 2 и 3 соответственно. Таким образом, в регистре 2 хранится код ошибки измерения  $T_{вх}$  с учетом ее знака. Причем, если в старшем разряде (в старшем триггере) регистра 2 код 1, то ошибка измерения  $T_x$  приведет к уменьшению кода, т.е.  $T_x > N \cdot T_0$ ; если в старшем разряде 0, то  $T_x < N \cdot T_0$ . Код модуля ошибки  $\Delta N$  хранится в остальных разрядах (триггерах) регистра 2. Следует отметить, если в старшем разряде  $D$ , то код модуля ошибки равен дополнительному коду числа, хранящегося в младших (без одного старшего) триггерах регистра 2. В это же время в регистре 3 записан и хранится код  $N-1$ . Задержанный сигнал с выхода элемента 18 опять устанавливает в исходное состояние счетчики 13 и 14, в сумматор 7 переписывается соответствующий код из регистра 2, а в счетчик 15 (через элемент 17) переписывает код  $N-1$ . Состояние регистров 2 и 3 не изменяется в течение времени  $T_{вх}$ , т.е. до прихода следующего импульса с формирователя 8. Импульсы с генератора 1 с периодом следования  $T_0$  продолжают через элемент 16 поступать на вычитающий вход счетчика 15 и суммирующий вход счетчика 13. При этом каждый импульс, поступивший на вы-

читающий вход счетчика 15, уменьшает его содержимое на единицу. Следовательно, через время  $(N-1) T_0$  код счетчика 15 становится нулевым, а следующий импульс вызывает его отрицательное переполнение и на его выходе возникает сигнал (импульс). Этот импульс, проходя через элемент 17, осуществляет запись в счетчик 15 кода  $N-1$ .

Как следует из изложенного, период следования выходных импульсов  $T_{вых} = N \cdot T_0 \cdot T_{вх} / K$ , что и требовалось получить. Однако ошибка  $\Delta T = \Delta N$  места положения (во времени) выходного импульса при этом может достигать по модулю величины  $T_0/2$  (в прототипе  $T_0$ ) и должна была бы накапливаться, если бы не импульсы, формируемые на выходе сумматора 7. В сумматоре 7 осуществляется накопление суммы вида  $\sum_{i=0}^k \Delta T_i$ , где  $i$  - номер импульса с выхода счетчика 15, т.е. каждый импульс с выхода счетчика 15, поступая на управляющий вход сумматора 7 (через элемент 17), осуществляет прибавление к содержимому сумматора 7 модуля величины ошибки измерения периода  $T_x$ . Очевидно, что именно на эту величину будет отличаться период выходных импульсов. Заметим, что при  $T_x > N \cdot T_0$  на информационные входы сумматора 7 поступает (через блоки 5 и 6) прямой код (с единичных выходов триггеров) величины, хранящейся в регистре 2. Если же  $T_x < N \cdot T_0$  (т.е. в старшем разряде регистра 2 код "0"), то на информационные входы сумматора поступает обратный код (с нулевых выходов триг-

геров) величины, хранящейся в регистре 2. Одновременно на вход переноса сумматора 7 поступает сигнал, соответствующий единице младшего разряда сумматора. Так из обратного кода формируется дополнительный код.

Если  $\Delta N \neq 0$ , то через некоторое время (например, по приходу  $m$ -го импульса с выхода счетчика 15) в старшем разряде сумматора 7 появится "1". Это сигнализирует о том, что при формировании следующего  $(m+1)$ -го выходного импульса ошибка накопления  $\Delta T_m$  превысит величину  $T_0/2$ . Поэтому в момент появления "1" в старшем разряде сумматора 7 формирователь 9 формирует импульс коррекции, который поступает либо на суммирующий вход (через элемент 11), либо на вычитающий вход (через элементы 10 и 16) в зависимости от того, что хранится в старшем триггере регистра 2, или, что то же самое, в зависимости от того, ошибка  $\Delta N$  уменьшила или увеличила код относительно значения  $T_{вх}/T_0 \cdot K$ . Импульс коррекции изменяет (уменьшает или увеличивает время) появления  $(m+1)$ -го выходного импульса на  $T_0$ . Следовательно, ошибка положения во времени  $(m+1)$ -го выходного импульса изменит свой знак, но по модулю станет меньше величины  $T_0/2$ . В дальнейшем работа происходит аналогично описанному выше.

Процесс формирования импульсов коррекции поясняется следующей таблицей, в которой рассмотрено два примера:  $\Delta N = +011_2 = 3/16_{10}$  и  $\Delta N = -101_2 = -5/16_{10}$ , при этом взят четырехразрядный регистр 2.

m	Содержимое регистра 2		Сигнал коррекции	Содержимое сумматора 7	Ошибка $\Delta T_m$
	Старший разряд	Младший разряд			
0	1	011		0011-прямой код	-
1	1	011		0110	+3/16
2	1	011	1	1001	+6/16
3	1	011		1100	-7/16
4	1	011		1111	-4/16
5	1	011		0010	-1/16
6	1	011		0101	+2/16
7	1	011	1	1000	+5/16
8	1	011		1011	-8/16
9	1	011		1110	-5/16

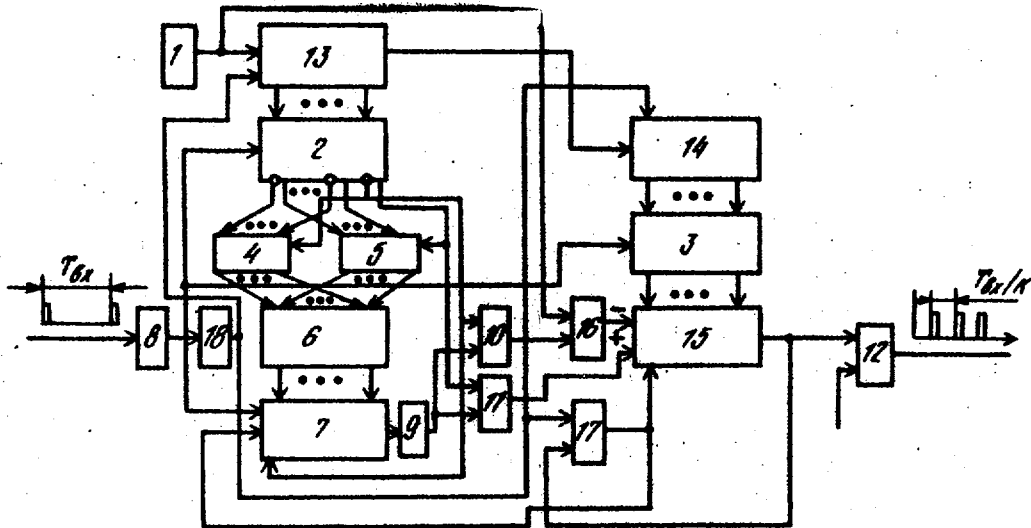
Продолжение таблицы

m	Содержимое регистра 2		Сигнал коррек- ции	Содержи- мое сум- матора 7	Ошибка $\Delta T_m$
	Старший разряд	Младший разряд			
10	1	011		0001	-2/16
11	1	011		0100	+1/16
12	1	011		0011	+4/16
13	1	011	1	1010	+7/16
14	1	011		1101	-6/16
15	1	011		0000	-3/16
16	1	011		0011	0
0	0	011		0101-допол- нительный код	-
1	0	011	1	1010	-5/16
2	0	011		1111	+6/16
3	0	011		0100	+1/16
4	0	011	1	1001	-4/16
5	0	011		1110	+7/16
6	0	011		0011	+2/16
7	0	011	1	1000	-3/16
8	0	011		1101	+8/16
9	0	011		0010	+3/16
10	0	011		0111	-2/16
11	0	011	1	1100	-7/16
12	0	011		0001	+4/16
13	0	011		0110	-1/16
14	0	011	1	1011	-6/16
15	0	011		0000	+5/16
16	0	011		0101	0

Таким образом, введение новых элементов и соответствующих функциональных связей вместо блока управления, многоходового элемента И и триггера обеспечивает предлагаемому устройству по сравнению с известным повышение точности измерения периода входного сигнала в предлагаемом максимальное значение ошибки  $+KT_0/2$  в известном КТ; это важное преимущество, так как умножители обычно исполь-

зуют одновременно и как измерители периода.

Кроме того, обеспечивается возможность умножения изменяющихся по частоте входных сигналов в непрерывном режиме, что не только расширяет область использования устройств аналогичного назначения, но и уменьшает величину динамической ошибки, а также уменьшается объем используемого оборудования.



Редактор В. Петраш      Составитель О. Кружилина      Техред И. Гайду      Корректор А. Тяско

Заказ 5641/57      Тираж 936      Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4