



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

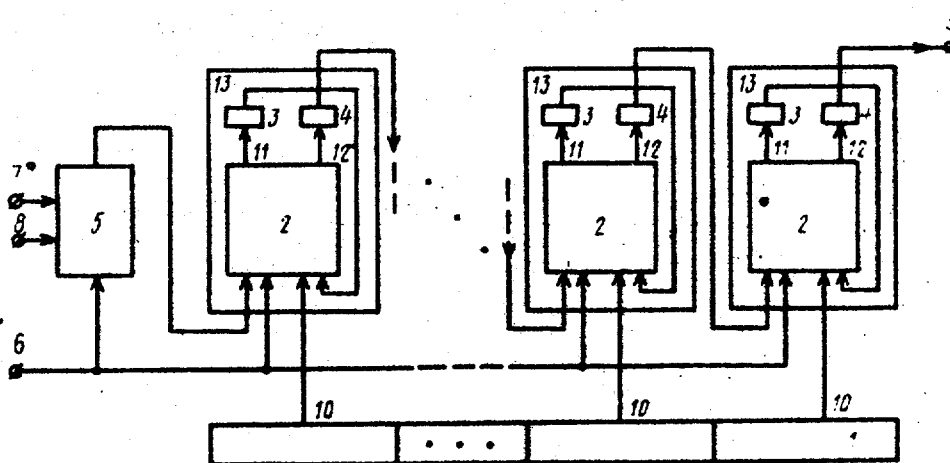
## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (61) 888109
- (21) 3348020/18-24
- (22) 23.10.81
- (46) 15.08.83. Бюл. № 30
- (72) Г.П. Лопато и А.А. Шостак
- (71) Минский радиотехнический институт
- (53) 681.325(088.8)
- (56) 1. Авторское свидетельство СССР № 888109, кл. G 06 F 7/52, 1978 (прототип).

(54)(57) 1. УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ по авт.св. № 888109, отличающееся тем, что, с целью расширения области применения за счет умножения чисел в дополнительном коде, в него введен блок преобразования множителя в дополнительный код, информационный вход которого соединен со входом множителя устройства, первый и второй управляющие входы - со вхо-

дами знака множимого и признака дополнительного кода устройства соответственно, а выход - с четвертым входом последнего блока вычисления разрядных значений произведения.

2. Устройство по п.1, отличающееся тем, что блок преобразования множителя в дополнительный код содержит счетчик, регистр и триггер, выход которого подключен к счетному входу счетчика, информационный выход - к информационному входу регистра, выход которого соединен с информационным входом счетчика, выход переполнения которого соединен с информационным входом триггера, установочный вход которого соединен с установочным входом регистра и вторым управляющим входом блока, первый управляющий вход которого подключен к разрешающему входу регистра.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в любой позиционной системе счисления в дополнительном коде.

По основному авт. св. № 888109 известно устройство для умножения, содержащее регистр множимого,  $n$  блоков вычисления разрядных значений произведения ( $n$  - число разрядов множимого),  $n$  буферных регистров первой группы и  $n$  буферных регистров второй группы, причем первые входы блоков вычисления разрядных значений произведения соединены с выходами соответствующих разрядов регистра множимого, вторые входы - с входами множителя устройства, третьи и четвертые входы - с выходами соответствующих буферных регистров первой и второй групп, входы буферных регистров первой и второй групп соединены соответственно с выходами старшего и младшего разряда соответствующих блоков вычисления разрядных значений произведения, выход первого буферного регистра второй группы подключен к выходу устройства, четвертый вход последнего блока вычисления разрядных значений произведения соединен с входом коррекции устройства [1].

Недостатком это устройства является невозможность умножения на нем чисел, представленных в дополнительном коде, что существенно сужает область его применения.

Цель изобретения - расширение области применения устройства за счет возможности умножения чисел в дополнительном коде.

Поставленная цель достигается тем, что устройство для умножения дополнительно содержит блок преобразования множителя в дополнительный код, информационный вход которого соединен со входом множителя устройства, первый и второй управляющие входы - с входами знака множимого и признака дополнительного кода устройства соответственно, а выход - с четвертым входом последнего блока вычисления разрядных значений произведения.

Кроме того, блок преобразования множителя в дополнительный код содержит счетчик, регистр и триггер, выход

которого подключен к счетному входу счетчика, а информационный выход - к информационному входу счетчика, выход которого является выходом блока, информационный вход которого соединен с информационным входом счетчика, выход переполнения которого соединен с информационным входом триггера, установочный вход которого соединен с установочным входом регистра и вторым управляющим входом блока, первый управляющий вход которого подключен к разрешающему входу регистра.

На фиг.1 приведена структурная схема устройства; на фиг.2 - блок преобразования множителя в дополнительный код для случая двоично-кодированной  $2^k$ -й системы счисления. Устройство содержит (фиг.1)  $n$ -разрядный регистр 1 множимого, блоки 2 вычисления разрядных значений произведения, буферные регистры 3 и 4 первой и второй групп соответственно, блок 5 преобразования множителя в дополнительный код, вход 6 множителя устройства, входы 7 и 8 знака множимого и признака дополнительного кода устройства соответственно, выход 9 устройства. Первый вход  $i$ -го блока 2 вычисления разрядных значений произведения ( $i = 1, 2, \dots, n$ ) соединен с выходом 10  $i$ -го разряда регистра 1 множимого, второй вход - с входом 6 множителя устройства, третий вход - с выходом  $i$ -го буферного регистра 3 первой группы, четвертый вход - с выходом  $i + 1$ -го буферного регистра 4 второй группы, причем его выход 11 старшего разряда соединен с  $i$ -м буферным регистром 3 первой группы, а выход 12 младшего разряда с  $i$ -м буферным регистром 4 второй группы. Информационный вход блока 5 преобразования множителя в дополнительный код соединен со входом 6 множителя устройства, а его первый и второй управляющие входы - с входами 7 и 8 знака множимого и признака дополнительного кода устройства соответственно, выход блока 5 преобразования множителя в дополнительный код соединен с четвертым входом последнего блока 2 вычисления разрядных значений произведения, выход первого буферного регистра 4 второй группы является выходом 9 устройства.

Совокупность  $i$ -го блока 2 вычисления разрядных значений произведения

и  $i$ -х буферных регистров 3 и 4 может быть конструктивно выполнена в виде единого модуля 13, реализованного, например, как большая интегральная схема. Включение в модуль 13 соответствующего разряда регистра 1 множимого в качестве его третьего буферного регистра обеспечивает однородность устройства умножения чисел.

Блок 5 преобразования множителя в дополнительный код осуществляет последовательное формирование дополнительного кода множителя, начиная с младших разрядов, и содержит (фиг. 2)  $K$ -разрядный двоичный комбинационный счетчик 14,  $K$ -разрядный регистр 15 и триггер 16, причем выход триггера 16 подключен к счетному входу счетчика 14, информационный выход которого подключен к информационному входу регистра 15, выход которого является и выходом блока 5, информационный вход блока 5, являющийся входом 6 множителя устройства, соединен с информационным входом счетчика 14, выход переполнения которого соединен с информационным входом триггера 16, установочный вход которого соединен с установочным входом регистра 15 и вторым управляющим входом блока 5, являющимся входом 8 признака дополнительного кода устройства, первый управляющий вход блока 5, являющийся и входом 7 знака множимого устройства, подключен к разрешающему входу регистра 15.

Блок 5 преобразования множителя в дополнительный код работает следующим образом.

В исходном состоянии его регистр 15 обнулен, а в триггере 16 записана единица (запись этой единицы осуществляется через второй управляющий вход блока 5, являющийся и входом 8 признака дополнительного кода). Далее в каждом такте работы устройства в счетчике 14 производится прибавление к младшей цифре  $K$ -инверсных двоичных цифр множителя, поступающих на его информационный вход со входа 6 множителя устройства (предполагается, что по этому входу в каждом такте поступает наряду с  $K$ -прямыми  $K$ -инверсных двоичных цифр множителя), 55 содержащего триггера 16, а получившаяся при этом сумма и перенос записываются соответственно в регистр

15 и триггер 16 (регистр 15 в блоке 5 фактически выполняет роль одноканальной линии задержки информации). Запись информации в регистр 15 осуществляется только при наличии разрешающих потенциалов на входах 7 и 8 устройства одновременно. Наличие разрешающего потенциала на входе 7 устройства соответствует отрицательному множимому, а наличие разрешающего потенциала на входе 8 означает, что в устройстве производится умножение числа в дополнительном коде (в противном случае предполагается, что выполняется умножение чисел без учета их знаков, т.е. в беззнаковой форме).

Причем функции блока 5 преобразования множителя в дополнительный код в принципе может выполнить дополнительно введенный в устройство модуль 13, если, например, его первый вход соединить со входом 6 множителя, а на второй и четвертый входы подавать соответственно в каждом такте и только в первом такте  $K$ -разрядный двоичный код  $\underbrace{000, \dots, 01}_K$

при условии, что множимое отрицательное (в противном случае на эти входы необходимо подавать нули). Это обеспечивает однородность устройства для умножения на уровне идентичных модулей 13 и может оказаться целесообразным при небольших значениях  $k$ .

Работу устройства для умножения чисел рассмотрим применительно к двоично-кодированной  $2^k$ -й системе счисления, т.е. когда каждый разряд как множимого, так и множителя представляет собой набор из  $k$  двоичных цифр. В исходном состоянии буферные регистры 3 и 4 всех модулей 13, а также регистр 15 блока 5 преобразования множителя в дополнительный код обнулены, в триггере 16 блока 5 записана единица, а в регистре 1 множимого хранится  $n$ -разрядный  $2^k$ -й код множимого ( $n \cdot k$  - разрядный двоичный дополнительный код множимого).

В каждом из  $n$  первых тактов работы устройства на его вход 6 поступает параллельно  $K$  двоичных разрядов множителя, начиная с его младших разрядов. При этом в  $i$ -м блоке 2 вычисления разрядных значений произведения осуществляется умножение  $K$  двоичных разрядов множителя, посту-

пающих на его второй вход со входа 6 устройства, на  $K$  двоичных разрядов множимого, поступающих на его первый вход с выхода 10  $i$ -го  $2^K$ -го разряда регистра 1 множимого и прибавление к  $K$  младшим разрядам получившегося при этом  $2 \cdot K$  - разрядного произведения через четвертый и третий входы блока 2 соответственно  $K$  младших двоичных разрядов произведения  $(i+1)$ -го блока 2, сформированных в предыдущем такте и хранимых в буферном регистре 4  $(i+1)$ -го модуля 13 и  $K$  старших двоичных разрядов произведения  $i$ -го блока 2, сформированных в предыдущем такте и хранимых в буферном регистре 3  $i$ -го модуля 13. После этого сформированные  $K$  младших двоичных разрядов произведения  $i$ -го блока 2 с его выхода 12 записываются в  $i$ -й буферный регистр 4, а  $K$  старших двоичных разрядов произведения - с выхода 11 в  $i$ -й буферный регистр 3. Одновременно с формированием разрядных произведений в блоках 2 устройства в течение первых  $n$  тактов его работы в блоке 5 преобразования множителя в дополнительный код формируется последовательным образом (по  $K$  двоичных разрядов в каждом такте) дополнительный код множителя, если только множимое отрицательное, значение которого по  $K$  двоичных разрядов поступает в каждом такте, кроме первого, на четвертый вход последнего блока 2 формирования разрядных значений произведения (в первом такте на этот вход поступает нулевая информация, так как в исходном состоянии регистр 15 блока 5 обнулен). Этим самым практически производится прибавление к  $n$  старшим разрядам произведения множимого на множитель дополнительного кода множителя, т.е. вводится коррекция в результат по знаку множимого.

После выполнения первых  $n$  тактов работы устройства осуществляется дополнительно еще  $n$  тактов, в течение которых из устройства выводится с соответствующим преобразованием информация, хранимая в буферных регистрах 3 и 4 всех модулей 13. При этом, если множитель положительный, то на вход 6 устройства в каждом такте подается нулевой  $K$ -разрядный

двоичный код  $0 \dots 000$ , если же множитель отрицательный - единичный  $K$ -разрядный двоичный код  $1 \dots 111$ .

(подачу этих кодов легко осуществить, производя в регистре множителя модифицированный сдвиг информации, т.е. заполняя высвобождающиеся при сдвиге разряды значением знакового разряда множителя). Этим осуществляется прибавление к  $n$  старшим разрядам произведения множимого на множитель дополнительного кода множимого, т.е. вводится коррекция в результат по знаку множителя. Получение дополнительного кода множимого здесь основано на том, что  $n$  младших разрядов произведения  $n$ -разрядного множимого на максимально возможное  $n$ -разрядное число и есть дополнительный код множимого. Вывод  $2 \cdot n$ -разрядного произведения множимого на множитель в устройстве осуществляется в течение  $2 \cdot n$  тактов его работы через выход 9 в параллельно-последовательном коде (по  $K$  двоичных разрядов в каждом такте).

В табл. 1 для всех сочетаний знаков сомножителей приведены сведения о том, что используется в устройстве в качестве коррекции результата и как она формируется в нем.

Как видно из таблицы, в устройстве фактически используется хорошо известный алгоритм умножения чисел в дополнительном коде с двумя явными коррекциями. Следует только отметить, что если знаки множимого и множителя входят в их старшие  $2^K$ -е цифры (это всегда может быть обеспечено, например, за счет расширения разрядной сетки сомножителей), то в качестве коррекций используются дополнительные коды множимого и множителя, а знак результата определяется автоматически двумя старшими двоичными разрядами наиболее значимой  $2^K$ -й цифры произведения: "00" означает, что произведение положительное, "11" определяет отрицательное произведение, "01" указывает на то, что произошло положительное переполнение при умножении двух наибольших по модулю отрицательных чисел; сочетание "10" быть не может. Если же знаки множимого и множителя не являются составной,

частью их старших  $2^k$ -х цифр, то умножение производится точно так же, как и в предыдущем случае, за исключением следующих двух обстоятельств: во-первых, в качестве коррекций используются не дополнительные коды, а дополнения множимого и множителя, т.е. дополнительные коды без знаков (дополнения, как и дополнительные коды, получаются в устройстве автоматически либо в блоке 5 преобразования множителя в дополнительный код, либо за счет подачи на вход 6 устройства единиц в течение и дополнительных тактов его работы); во-вторых, знак результата должен быть сформирован отдельно путем сложения по модулю два знаковых разрядов сомножителей (схема формирования знака для этого случая не показана).

Рассмотрим принцип работы устройства для случая, когда  $n=2$ ,  $k=4$ , а знаки множимого и множителя входят в их старшие  $2^k$ -е цифры. Пусть множимое  $X = -1001111$ , множитель  $Y =$

$= -1100111$ , тогда произведение  $P = X \cdot Y = + 01111111001001$ . В устройстве множимое и множитель представлены в дополнительном коде:  $X_{DK} = 10110001$  и  $Y_{DK} = 10011001$ . Все основные действия, выполняемые устройством при умножении заданных сомножителей, приведены в табл.2.

После выполнения четырех тактов на выходе 9 устройства сформировано произведение  $P = 0001111111001001$ , два старших двоичных разряда которого указывают на то, что оно положительное (это произведение формируется по четыре двоичных разряда в каждом такте).

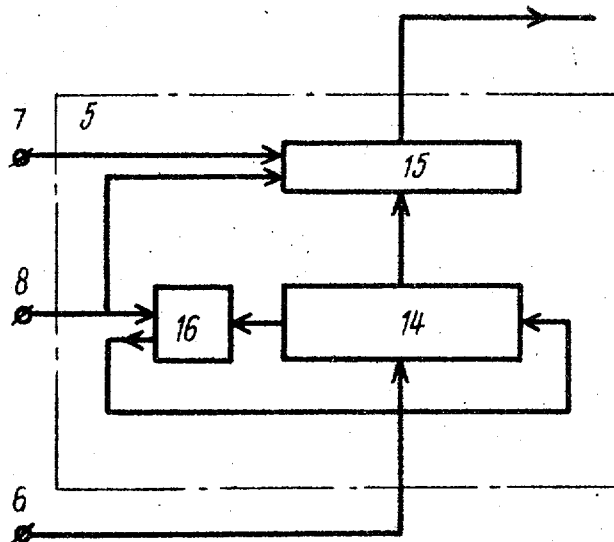
Таким образом, предложенное устройство при том же быстродействии, что и известное, обеспечивает умножение чисел как в дополнительном коде, так и в беззнаковой форме, т.е. без учета их знаков. Этим самым значительно расширена область его применения в сравнении с известным устройством.

Т а б л и ц а 1

Множимое	Множитель	Что используется в качестве коррекции	П р и м е ч а н и е
"+"	"+"	Результат не корректируется	Запись информации в регистр 15 блока 5 блокируется по входу 7 устройства На вход 6 устройства в течение $n$ дополнительных тактов подаются нули
"-"	"+"	Дополнительный код множителя	Разрешается прием информации в регистр 15 блока 5 по входам 7, 8 устройства На вход 6 устройства в течение $n$ дополнительных тактов поступают нули.
"+"	"-"	Дополнительный код множимого	Прием информации в регистр 15 блока 5 блокируется по входу 7 устройства На вход 6 устройства в течение $n$ дополнительных тактов подаются единицы
"-"	"-"	Дополнительные коды множимого и множителя	Разрешается прием информации в регистр 15 блока 5 по входам 7, 8 устройства. На вход 6 устройства в течение $n$ дополнительных тактов поступают единицы

Т а б л и ц а 2

Такт, №	Действия в блоке 5	Действия в старшем модуле 13	Действия в младшем модуле 13	Разряды результата на выходе 9 устройства
1	$\begin{array}{r} + 0110 \\ 1 \\ \hline 0111 \end{array}$	$\begin{array}{r} \phantom{+} 1011 \\ \phantom{+} \times 1001 \\ \hline 01100011 \\ + 0000 \\ + 0000 \\ \hline 01100011 \end{array}$	$\begin{array}{r} \phantom{+} 0001 \\ \phantom{+} \times 1001 \\ \hline 00001001 \\ + 0000 \\ + 0000 \\ \hline 00001001 \end{array}$	1001
2	$\begin{array}{r} + 0110 \\ 0 \\ \hline 0110 \end{array}$	$\begin{array}{r} \phantom{+} 1011 \\ \phantom{+} \times 1001 \\ \hline 01100011 \\ + 0110 \\ + 0111 \\ \hline 01110000 \end{array}$	$\begin{array}{r} \phantom{+} 0001 \\ \phantom{+} \times 1001 \\ \hline 00001001 \\ + 0000 \\ + 0011 \\ \hline 00001100 \end{array}$	1100
3	$\begin{array}{r} + 0000 \\ 0 \\ \hline 0000 \end{array}$	$\begin{array}{r} \phantom{+} 1011 \\ \phantom{+} \times 1111 \\ \hline 10100101 \\ + 0111 \\ + 0110 \\ \hline 10110010 \end{array}$	$\begin{array}{r} \phantom{+} 0001 \\ \phantom{+} \times 1111 \\ \hline 00001111 \\ + 0000 \\ + 0000 \\ \hline 00001111 \end{array}$	1111
4	$\begin{array}{r} + 0000 \\ 0 \\ \hline 0000 \end{array}$	$\begin{array}{r} \phantom{+} 1011 \\ \phantom{+} \times 1111 \\ \hline 10100101 \\ + 1011 \\ + 0000 \\ \hline 10110000 \end{array}$	$\begin{array}{r} \phantom{+} 0001 \\ \phantom{+} \times 1111 \\ \hline 00001111 \\ + 0000 \\ + 0010 \\ \hline 00010001 \end{array}$	0001



Фиг. 2

ВНИИПИ Заказ 5834/50 Тираж 706 Подписное

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4