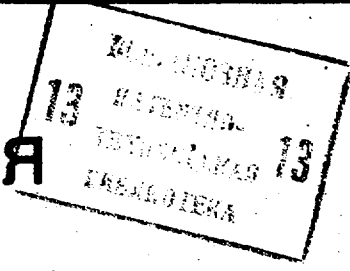




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

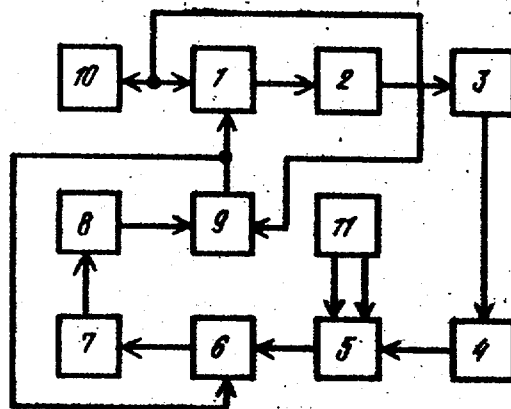
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3509234/18-21
 (22) 02.11.82
 (46) 07.03.84. Бюл. № 9
 (72) Н.И.Шатило, Л.Н.Харченко,
 В.В.Кандыбин и М.П.Федоринчик
 (71) Специальное конструкторско-технологическое бюро с опытным производством Минского радиотехнического института и Минский радиотехнический институт
 (53) 621.317.799(088.8)
 (56) 1. Шатило Н.И. Автоматизация измерений динамических параметров линейных интегральных схем. - Тезисы докладов Всесоюзного научно-технического совещания. "Линейные интегральные схемы и их применение в приборостроении и промышленной электронике". Л., 1977, с. 18-20.
 2. Авторское свидетельство СССР № 750402, кл. G 01 R 31/28, 1980.
 (54)(57) УСТРОЙСТВО ДЛЯ ИЗМЕРЕНИЯ ДИНАМИЧЕСКИХ ПАРАМЕТРОВ ЭЛЕКТРОННЫХ БЛОКОВ, содержащее последовательно соединенные первый элемент совпадения и блок задержки, выход которого соединен с первым входом первого

элемента совпадения, с входом индикатора и с входом формирователя входного сигнала, выход которого соединен с зажимом для подключения входа испытываемого блока, источник опорного напряжения, первый и второй выходы которого соединены с первым и вторым входами дифференциального дискриминатора напряжения, третий вход которого соединен с зажимом для подключения выхода испытываемого блока, отличающееся тем, что, с целью расширения пределов измерения в область меньших значений, в него введены последовательно соединенные второй элемент совпадения, одновибратор, интегратор и блок переменной задержки, причем первый вход второго элемента совпадения соединен с выходом дифференциального дискриминатора напряжения, выход блока переменной задержки соединен с вторым входом первого элемента совпадения и с вторым входом второго элемента совпадения, второй вход блока переменной задержки соединен с выходом блока задержки.

(19) SU (11) 1078364 A



Фиг. 1.

Изобретение относится к измерительной технике и может быть использовано для измерения различных динамических параметров.

Известно устройство для измерения динамических параметров электронных блоков интегральных схем, в том числе времени установления выходного напряжения, содержащее дифференциальный дискриминатор, два пороговых устройства, времяамплитудный преобразователь, элемент задержки и элемент совпадения, выход которого соединен с входом элемента задержки, выход дифференциального дискриминатора соединен с входом времяамплитудного преобразователя [1].

Недостатком его является то, что оно обладает сравнительно высокой температурной и временной погрешностью измерений, связанной с нестабильностью блоков устройства в первую очередь, элемента задержки и времяамплитудного преобразователя.

Наиболее близким по технической сущности к предлагаемому является устройство для измерения динамических параметров электронных блоков, содержащее последовательно соединенные элемент совпадения, блок задержки и формирователь сигнала, вход которого соединен также с индикатором и первым входом элемента совпадения, а выход - с входом испытуемого электронного блока, дифференциальный дискриминатор, первый вход которого подключен к выходу испытуемого электронного блока, второй и третий - к источнику опорных напряжений [2].

Цель изобретения - расширение пределов измерения в область меньших значений.

Цель достигается тем, что в устройстве, содержащее последовательно соединенные первый элемент совпадения и блок задержки, выход которого соединен с первым входом первого элемента совпадения, с входом индикатора и с входом формирователя входного сигнала, выход которого соединен с зажимом для подключения входа испытуемого блока, источник опорного напряжения, первый и второй выходы которого соединены с первым и вторым входами дифференциального дискриминатора напряжения, третий вход которого соединен с зажимом для подключения выхода испытуемого блока, введены последовательно соединенные второй элемент совпадения, одновибратор, интегратор и блок переменной задержки, причем первый вход второго элемента совпадения соединен с выходом дифференциального дискриминатора напряжения, выход блока переменной задержки соединен с вторым входом первого элемента

совпадения и с вторым входом второго элемента совпадения, второй вход блока переменной задержки соединен с выходом блока задержки.

На фиг. 1 приведена структурная схема предлагаемого устройства; на фиг. 2 - временные диаграммы, иллюстрирующие работу устройства.

Устройство содержит последовательно соединенные первый элемент 1 совпадения, блок 2 задержки, формирователь 3 сигнала, первый испытуемый блок 4, дифференциальный дискриминатор 5, второй элемент 6 совпадения, одновибратор 7, интегратор 8, блок 9 переменной задержки, а также индикатор 10 и источник 11 опорного напряжения. Вход индикатора 10 соединен с первым входом первого элемента 1 совпадения и с входом блока 9 переменной задержки.

Источник 11 опорных напряжений соединен с вторым и третьим входами дифференциального дискриминатора 5, первый вход которого соединен с испытуемым блоком 4, а выход - с первым входом второго элемента 6 совпадения, второй вход которого соединен с выходом блока 9 переменной задержки, а выход - с входом одновибратора, выход которого соединен с входом интегратора 8, выход интегратора 8 соединен с первым входом блока 9 переменной задержки, выход которого соединен с вторым входом первого элемента 1 совпадения и с вторым входом второго элемента 6 совпадения. Вход формирователя 3 сигнала соединен с выходом блока 2 задержки, а выход - с входом испытуемого блока 4.

Элементы 1 и 6, совпадения осуществляют сравнение сигналов на входах и вырабатывают сигналы совпадения при равенстве этих сигналов. Блоки 2 и 9 задержки задерживают сигналы, поступающие на их входы. Формирователь 3 сигнала формирует испытательный сигнал для контроля блока 4. Дискриминатор 5 и источник 11 опорных напряжений обеспечивают отсчет динамических параметров на заданных уровнях. Одновибратор 7 вырабатывает импульс заданной формы при поступлении на его вход запускающего импульса. Интегратор 8 усредняет импульсы, поступающие на его вход (выделяет постоянную составляющую этих импульсов). Индикатор 10 измеряет период (частоту) колебаний, устанавливающуюся в устройстве.

Устройство работает следующим образом.

Предположим, что на выходе блока 2 задержки появился положительный перепад напряжения (фиг. 2б). Этот перепад, сформированный формирователем 3 (фиг. 2в), поступает на

вход испытуемого блока 4, на выходе которого появляется выходной сигнал (фиг. 2г). В течение интервала времени, когда выходное напряжение испытуемого блока 4 находится в зоне допустимой погрешности (между нижним U_n и верхним U_B (фиг. 2г) порогами дискриминации дифференциального дискриминатора 5, задаваемыми источником 11 опорных напряжений), сигнал на выходе дифференциального дискриминатора 5 равен нулю (фиг. 2д). Если же выходное напряжение испытуемого блока 4 находится вне зоны допустимой погрешности, на выходе дифференциального дискриминатора 5 появляется положительный потенциал (фиг. 2д).

Импульсы с выхода дифференциального дискриминатора 5 поступают на второй элемент 6 совпадения, на второй вход которого приходит положительный перепад напряжения с выхода элемента 2 задержки, задержанный в блоке 9 переменной задержки. Если время задержки сигнала в блоке 9 переменной задержки меньше, чем время установления выходного напряжения испытуемого блока 4 (фиг. 2ж), то на выходе второго элемента 6 совпадения появляются импульсы (фиг. 2з), запускающие одновибратор 7 (фиг. 2и). Импульсы одновибратора 7 поступают на интегратор 8, на выходе которого начинает увеличиваться напряжение (фиг. 2к), что вызывает увеличение задержки в блоке 9 переменной задержки. Возрастание времени задержки выходных сигналов блока 2 задержки в блоке 9 переменной задержки будет происходить до тех пор, пока величина его не станет равной (фиг. 2е).

$$t_9 = t_3 + t_4 + t_{уст} + t_5, \quad (1)$$

где t_3, t_4, t_5 - задержки сигналов в блоках 3, 4 и 5 соответственно;
 $t_{уст}$ - время установления напряжения в испытуемом блоке 4.

При этом совпадении импульсов на входах второго элемента 6 совпадения не происходит, одновибратор 7 не запускается и напряжение на выходе интегратора 8 не изменяется.

При разряде интегратора описанный процесс повторяется, и напряжение на выходе интегратора 8 снова возрастает, поддерживая соотношение (1) с заданной степенью точности.

В момент появления положительного перепада на выходе блока 9 переменной задержки (фиг. 2е) переключается элемент 1 совпадения (фиг. 2а), так как на его первом входе имеет-

ся положительное напряжение с выхода блока 2 задержки (фиг. 2б).

Этот отрицательный перепад через время t_2 появится на выходе блока 2 задержки (фиг. 2б) и под его действием на выходе элемента 1 совпадения, реализующего логическую функцию И-НЕ, появляется положительный перепад (фиг. 2а), который также задерживается блоком 2 задержки. Через время t_2 на выходе блока 2 задержки появляется положительный перепад напряжения, и весь цикл повторяется.

Таким образом, предлагаемое устройство представляет собой автогенератор с задержанной обратной связью, период колебаний в котором равен (фиг. 2)

$$T = t_9 + t_1 + t_2 + t_1 + t_2; \quad (2)$$

где t_1, t_2 и t_9 - задержка сигналов в блоках 1, 2 и 9 соответственно.

В установившемся режиме, соответствующем условию (1), период равен

$$T_1 = 2(t_1 + t_2) + t_3 + t_4 + t_{уст} + t_5. \quad (3)$$

Если в дифференциальном дискриминаторе 5 нижний порог дискриминации U_n установить на нижнем уровне отсчета $t_{уст}$ (обычно $0,1U_{уст}$, где $U_{уст}$ - установившееся амплитудное значение выходного напряжения испытуемого блока 4), а верхний U_B - выше амплитудного значения выходного напряжения испытуемого блока 4 (U_n и U_B на фиг. 2г), то в устройстве установятся колебания с периодом

$$T_2 = 2(t_1 + t_2) + t_3 + t_4 + t_5. \quad (4)$$

так как в этом случае выходное напряжение испытуемого блока 4 сразу входит в зону допустимой погрешности и не выходит из нее (фиг. 2г), а время задержки в блоке 9 переменной задержки становится равным $t_9 = t_3 + t_4 + t_5$.

Измерив с помощью индикатора 10 периоды (частоты) колебаний $T_1(f_1)$ и $T_2(f_2)$ можно определить время установления испытуемого электронного блока 4

$$t_{уст} = T_1 - T_2 = \frac{t_2 - t_1}{f_1 - f_2}. \quad (5)$$

Предлагаемое устройство, как и известное позволяет измерять другие динамические параметры электронных блоков по методике, изложенной в [2]. Аналогично производятся измерения и других динамических параметров испытуемого блока.

В предлагаемой структуре погрешность измерения определяется в пер-

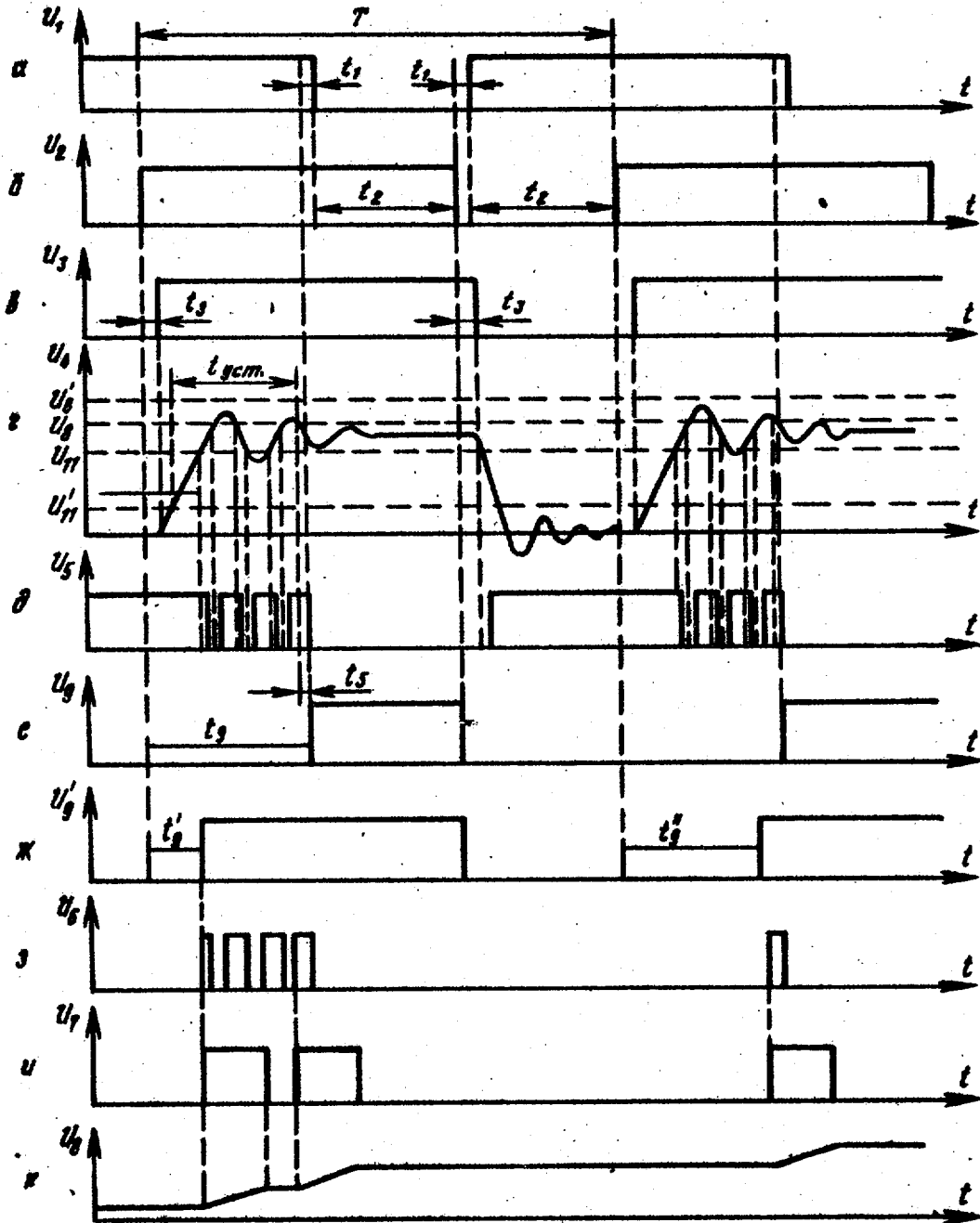
вую очередь чувствительностью одно-
вibrатора к длительности запускаю-
щего импульса, от которого зависит
точность поддержания равенства

$$t_9 = t_3 + t_4 + t_5.$$

Наибольшей чувствительностью в
данном отношении обладают одновибра-
торы на туннельных диодах, которые
запускаются от импульсов длитель-

ностью в десятые доли наносекунды
(0,1 - 0,2). Полагая, что такая по-
грешность поддержания указанного вы-
ше равенства обеспечивает 5% по-
грешность измерения, нетрудно опреде-
лить, что нижний предел измеренных
динамических параметров предлагаемым
устройством будет составлять 5-10 нс,
что более чем на порядок меньше,
чем у известного устройства.

5



Фиг. 2