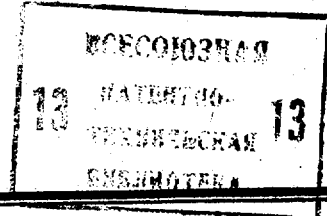




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3538476/18-24  
(22) 12.01.83  
(46) 15.03.84. Бюл. № 10  
(72) А.И.Шемаров  
(71) Минский радиотехнический институт  
(53) 681.32(088.8)  
(56) 1. Авторское свидетельство СССР № 548863, кл. G 06 F 15/332, 1976.  
2. Авторское свидетельство СССР № 922763, кл. G 06 F 15/332, 1982 (прототип):

(54) (57) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ АДРЕСОВ ПРОЦЕССОРА БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ, содержащее первый и второй реверсивные счетчики, дешифратор, регистр,  $M$  узлов блокировки, блок управления, выходы переноса и заема первого реверсивного счетчика соединены соответственно с суммирующим и вычитаемым входами второго реверсивного счетчика, информационный выход которого соединен со входом дешифратора, информационный выход регистра является информационным выходом устройства, каждый из  $M$  узлов блокировки содержит элемент 2И-НЕ, элемент 2ИЛИ-НЕ и два сумматора по модулю два, причем выход элемента 2 ИЛИ-НЕ подключен к первому входу первого сумматора по модулю два, выход которого подключен к первому входу второго сумматора по модулю два, второй вход первого сумматора по модулю два соединен с выходом элемента 2И-НЕ, первый вход которого объединен с первым входом элемента 2 ИЛИ-НЕ, при этом второй вход элемента 2 ИЛИ-НЕ  $i$ -го ( $i = 1, N$ ) узла блокировки соединен с выходом  $i$ -го разряда первого реверсивного счетчика, выход второго сумматора по модулю два  $i$ -го узла блокировки соединен со входом  $i$ -го разряда регистра и входом  $i$ -го разряда первого

реверсивного счетчика, отличающееся тем, что, с целью расширения функциональных возможностей за счет реализации алгоритмов с различными основаниями, в него введен вычитающий счетчик, выход  $j$ -го ( $j = 1, \log_2 k$ ,  $k$ -основание алгоритма) разряда которого подключен ко второму входу элемента 2И-НЕ  $i$ -го ( $i = j, j + \log_2 k, j + 2 \log_2 k, \dots, M$ ) узла блокировки, а  $l$ -ый ( $l = 0, M-1$ ) выход дешифратора подключен к первому входу элемента 2 ИЛИ-НЕ  $i$ -го ( $i = l \cdot \log_2 k + 1, (l+1) \log_2 k$ ) узла блокировки, причем блок управления содержит счетчик, узел постоянной памяти и четыре элемента 2И-НЕ, при этом тактовый вход счетчика и первые входы элементов 2И-НЕ объединены между собой и являются тактовым входом устройства, информационный выход счетчика подключен к адресному входу узла постоянной памяти, вход старшего разряда адресного входа которого подключен к выходу старшего разряда дешифратора, первый информационный выход узла постоянной памяти подключен ко второму входу первого элемента 2И-НЕ, выход которого подключен к суммирующему входу первого реверсивного счетчика, второй информационный выход узла постоянной памяти соединен со вторым входом второго элемента 2И-НЕ, выход которого подключен к вычитаемому входу первого реверсивного счетчика, третий информационный выход узла постоянной памяти соединен со вторым входом третьего элемента 2И-НЕ, выход которого подключен ко входу занесения информации первого реверсивного счетчика, четвертый информационный выход узла постоянной памяти подключен к тактовому входу регистра, пятый информационный выход узла постоянной па-

мяти соединен со вторым входом четвертого элемента ИИ-НЕ, выход которого подключен к управляющему входу вычитающего счетчика, шестой инфор-

мационный выход узла постоянной памяти подключен ко второму входу второго сумматора по модулю два  $i$ -го узла блокировки.

1

Изобретение относится к вычислительной технике и может быть использовано в составе процессора быстрого преобразования Фурье (БПФ), применяемого в спектроанализаторах, генераторах, широкополосного случайного процесса, синтезаторах речевых сигналов, а также как устройство адресации процессоров быстрого преобразования в базис других ортогональных функций (например, функций Уолша).

Известно устройство формирования адресов, содержащее узел реконфигурации счетчика, выход которого соединен с управляющим входом счетчика, блок выдачи адресов, первый информационный вход которого соединен с выходом счетчика, а выход - с выходом устройства, причем вход узла реконфигурации счетчика, первый и второй счетные входы счетчика и первый управляющий вход блока выдачи адресов соединены соответственно с первым, вторым, третьим и четвертым входами блока, регистр и группу элементов ИЛИ, выход регистра и группа элементов ИЛИ соединены соответственно с вторым и третьим информационными входами узла выдачи адресов, второй и третий управляющий входы которого, управляющий вход, регистра и второй вход группы элементов ИЛИ соединены соответственно с пятым, шестым, седьмым и первым входами устройства. На второй, третий, четвертый, пятый, шестой, седьмой входы устройства подаются сигналы, которые вырабатываются блоком управления данного устройства. На первый вход устройства поступает информация о номере слоя алгоритма БПФ, в котором в данный момент времени функционирует устройство. Для получения данной информации устройство должно содержать второй счетчик и дешифратор, причем выход счетчика соединен с входом дешифратора, выход которого соединен с первым входом устройства. Управляющий вход второго счетчика должен быть соединен с выходом блока управления устройства [1].

Недостатки известного блока - сложность его построения, невозмож-

2

ность организации перекрытия циклов, а также невозможность формирования адресов алгоритма БПФ с основанием выше двух (четыре, восемь и т.д.).

Наиболее близким к изобретению по технической сущности является устройство формирования адресов процессора БПФ, содержащее первый и второй счетчики, дешифратор, регистр и блок управления, первый, второй и третий входы которого соединены соответственно с входом суммирования, входом вычитания и тактовым входом первого реверсивного счетчика, выход переноса и выход заема которого соединены соответственно с суммирующим и вычитающим входами второго реверсивного счетчика, входы которого соединены с входами дешифратора, выход старшего разряда которого подключен к первому входу блока управления, второй вход которого является тактовым входом устройства, а четвертый выход блока управления соединен с тактовым входом регистра, входы которого являются выходами устройства,  $N$  узлов блокировки, каждый из которых содержит элемент ИЛИ-НЕ, элемент И-НЕ и два сумматора по модулю два, причем выход элемента ИЛИ-НЕ подключен к первому входу первого сумматора по модулю два, выход которого соединен с первым входом второго сумматора по модулю два, второй вход первого сумматора по модулю два соединен с выходом элемента И-НЕ, первый вход которого объединен с первым входом элемента ИЛИ-НЕ, при этом второй вход элемента ИЛИ-НЕ  $i$ -го ( $i = \overline{1, N}$ ) узла блокировки соединен с  $i$ -ым информационным выходом первого реверсивного счетчика, второй вход элемента И-НЕ  $i$ -го узла блокировки ( $i = \overline{1, N}$ ) соединен с пятым выходом блока управления, второй вход второго сумматора по модулю два  $i$ -го ( $i = \overline{1, N}$ ) узла блокировки соединен с шестым выходом блока управления, а выход второго сумматора по модулю два  $i$ -го ( $i = \overline{1, N}$ ) узла блокировки соединен с  $i$ -ым ( $i = \overline{1, N}$ ) информационным входом регистра и  $i$ -ым ( $i = \overline{1, N}$ ) информационным входом первого реверсивного счетчика, причем  $i$ -ый выход ( $i = \overline{1, N-1}$ )

дешифратора подключен к первому входу элемента ИЛИ-НЕ  $i+1$ -го ( $i=0, N-1$ ) узла блокировки [2].

Недостаток известного устройства - невозможность формирования адресов процессора БПФ с основанием выше двух.

Цель изобретения - расширение функциональных возможностей устройства за счет реализации алгоритмов с различными основаниями.

Поставленная цель достигается тем, что в устройство для формирования адресов процессора быстрого преобразования Фурье, содержащее первый и второй реверсивные счетчики, дешифратор, регистр,  $N$  узлов блокировки, блок управления, выходы переноса и заема первого реверсивного счетчика соединены соответственно с суммирующим и вычитающим входами второго реверсивного счетчика, информационный выход которого соединен со входом дешифратора, информационный выход регистра является информационным выходом устройства, каждый из  $N$  узлов блокировки содержит элемент 2И-НЕ, элемент 2 ИЛИ-НЕ и два сумматора по модулю два, причем выход элемента 2 ИЛИ-НЕ подключен к первому входу первого сумматора по модулю два, выход которого подключен к первому входу второго сумматора по модулю два, второй вход первого сумматора по модулю два соединен с выходом элемента 2И-НЕ, первый вход которого объединен с первым входом элемента 2 ИЛИ-НЕ  $i$ -го ( $i = \overline{1, N}$ ) узла блокировки соединен с выходом  $i$ -го разряда первого реверсивного счетчика, выход второго сумматора по модулю два  $i$ -го узла блокировки соединен со входом  $i$ -го разряда регистра и входом  $i$ -го разряда первого реверсивного счетчика, введен вычитающий счетчик, выход  $j$ -го ( $j = \overline{1, \log_2 k}$ ,  $k$  - основание алгоритма) разряда которого подключен к второму входу элемента 2И-НЕ  $i$ -го ( $i = \overline{1, j + \log_2 k, j + 2\log_2 k, \dots \in N}$ ) узла блокировки, а  $l$ -ый ( $l = \overline{0, M-1}$ ) выход дешифратора подключен к первому входу элемента 2 ИЛИ-НЕ  $i$ -го ( $i = \overline{l \cdot \log_2 k + 1, (l+1) \cdot \log_2 k}$ ) узла блокировки, причем блок управления содержит счетчик, узел постоянной памяти и четыре элемента 2И-НЕ, при этом тактовый вход счетчика и первые входы элементов 2И-НЕ объединены между собой и являются тактовым входом устройства, информационный выход счетчика подключен к адресному входу узла постоянной памяти, вход старшего разряда адресного входа которого подключен к входу старшего разряда дешифра-

тора, первый информационный выход узла постоянной памяти подключен ко второму входу первого элемента 2И-НЕ, выход которого подключен к суммирующему входу первого реверсивного счетчика, второй информационный выход узла постоянной памяти соединен со вторым входом второго элемента 2И-НЕ, выход которого подключен к вычитающему входу первого реверсивного счетчика, третий информационный выход узла постоянной памяти соединен со вторым входом третьего элемента 2И-НЕ, выход которого подключен ко входу занесения информации первого реверсивного счетчика, четвертый информационный выход узла постоянной памяти подключен к тактовому входу регистра, пятый информационный выход узла постоянной памяти соединен со вторым входом четвертого элемента 2И-НЕ, выход которого подключен к управляющему входу вычитающего счетчика, шестой информационный выход узла постоянной памяти подключен ко второму входу второго сумматора по модулю два  $i$ -го узла блокировки.

Принцип работы устройства заключается в следующем.

Если в алгоритме БПФ с основанием два при выполнении базовой операции обрабатываются два операнда, то в алгоритме с основанием четыре, восемь и т.д. обрабатываются четыре, восемь и т.д. операндов, адреса которых отличаются информацией для алгоритма с основанием два в одном разряде, а с основанием четыре, восемь и т.д. в двух, трех и т.д. разрядах. Номера заблокированных разрядов соответствуют номеру слоя алгоритма БПФ, если рассматривать два, три и т.д. разряда как один разряд в четвертичной, восьмиричной и т.д. системах счисления.

Если заблокировать данные разряды, т.е. не пропускать информацию данных разрядов на выход устройства, а вместо информации заблокированных разрядов на выход устройства подавать в двоичном коде номер операнда базовой операции, то можно адресовать четыре операнда, восемь операндов и т.д. Каждое состояние счетчика адресует четыре, восемь и т.д. операндов, поэтому счетчик обладает избыточностью, для устранения которой вводится операция восстановления счетчика, описанная в прототипе. Единицы или нули восстанавливаются во всех заблокированных разрядах одновременно. При работе в специальном слое без избыточного алгоритма БПФ ни один из разрядов не блокируется и устройство функционирует так же, как

и устройство адресации, описанное в прототипе.

На фиг. 1 представлена функциональная схема предлагаемого устройства; на фиг. 2 - функциональная схема узла блокировки; на фиг. 3 - функциональная схема блока управления; на фиг. 4 - временные диаграммы работы блока управления при формировании адресов алгоритма БПФ с основанием четыре.

Устройство для формирования адресов процессора БПФ содержит блок 1 управления, первый реверсивный счетчик 2, второй реверсивный счетчик 3, дешифратор 4,  $N$  узлов блокировки (разряды) 5, регистр 6 и вычитающий счетчик 7.

Каждый узел блокировки 5 (фиг. 2) содержит элемент 2И-НЕ 8, элемент 2 ИЛИ-НЕ 9 и два (двухвходовых) сумматора по модулю два 10, 11.

Блок управления (фиг. 3) содержит счетчик 12, узел постоянной памяти 13 и четыре элемента 2И-НЕ 14 - 17.

Устройство для формирования адресов процессора БПФ функционирует следующим образом (для примера рассмотрим алгоритм с основанием четыре).

В первоначальном состоянии все счетчики обнулены. На с  $i$ -вход счетчика 12 поступают активные импульсы, по каждому из которых счетчик переключается в новое состояние. Каждое состояние счетчика определяет адрес, по которому из узла 13 происходит считывание информации, которая с помощью комбинационной схемы на элементах 14 - 17 формирует управляющие сигналы на выходах блока управления 1, согласно временной диаграмме, представленной на фиг. 4, где ТИ - тактовые импульсы; А1 - А4 - разрядные выходы счетчика 12; 18 - сигнал на первом выходе блока управления 1; 19 - 24 - сигналы на первом, втором, третьем, четвертом, пятом, шестом выходах блока управления 1.

Рассмотрим функционирование устройства при обработке  $n$ -ой пары  $i$ -го слоя алгоритма БПФ.

Пусть в данном цикле (16 тактов) обрабатывается  $n$ -ая четверка  $i$ -го слоя алгоритма БПФ с основанием четыре. Во время обработки  $n$ -ой четверки операндов должна быть адресована  $n-1$  четверка операндов для записи их в запоминающее устройство (эта четверка операндов была обработана в предыдущем цикле) и  $n+1$  четверка операндов для считывания их из запоминающего устройства (эта пара обрабатывается в следующем цикле). Номеру слоя соответствует состояние счетчика 3. В соответст-

вии с этим блокируются 2 $i$  и 2 $i+1$  разряды счетчика. В незаблокированных разрядах информация с выходов счетчика 2 через два инвертора (элемент 2 ИЛИ-НЕ и первый двухвходовой сумматор по модулю два) и повторитель (второй двухвходовой сумматор по модулю два) поступает на выход устройства. В заблокированных разрядах информация с выходов счетчика 7 через инвертор (элемент 2 И-НЕ) и два повторителя (первый и второй двухвходовые сумматоры по модулю два) поступает на выход устройства. В счетчике 2 хранится информация, адресующая четверку операндов алгоритма БПФ с основанием четыре, а в счетчике 7 - информация, адресующая операнд в четверке выбранных операндов (состояние счетчика 7 [11] адресует первый операнд, [01] - второй операнд, [10] - третий операнд, [00] - четвертый операнд). Все счетчики переключаются по положительному перепаду импульса, т.е. из 0 в 1. В первом такте на пятом выходе блока управления 1 вырабатывается сигнал, по которому из счетчика 7 вычитается единица, чем адресуется первый операнд четверки операндов. Во втором такте на третьем выходе блока управления вырабатывается сигнал, по которому в заблокированных разрядах восстанавливается значение 00, и сигнал на втором выходе блока управления 1, по которому из счетчика 2 вычитается единица, чем адресуется  $n-1$  четверка операндов. Также вырабатывается сигнал на четвертом выходе блока управления 1, по отрицательному перепаду которого в регистр 6 заносится адрес первого операнда ( $n-1$ -ой четверки операндов). В третьем такте вырабатывается сигнал на пятом выходе блока управления 1, по которому из счетчика 7 вычитается единица, чем адресуется второй операнд четверки операндов. В четвертом такте вырабатывается сигнал на четвертом выходе блока управления 1, по которому в регистр 6 заносится адрес второго операнда ( $n-1$ -ой четверки операндов). В пятом такте вырабатывается сигнал на пятом выходе блока управления 1, по которому из счетчика 7 вычитается единица, чем адресуется третий операнд четверки операндов. В шестом такте на четвертом выходе блока управления 1 вырабатывается сигнал, по которому в регистр 6 заносится адрес третьего операнда ( $n-1$ -ой четверки операндов).

В седьмом такте на пятом выходе блока управления 1 вырабатывается сигнал, по которому из счетчика 7

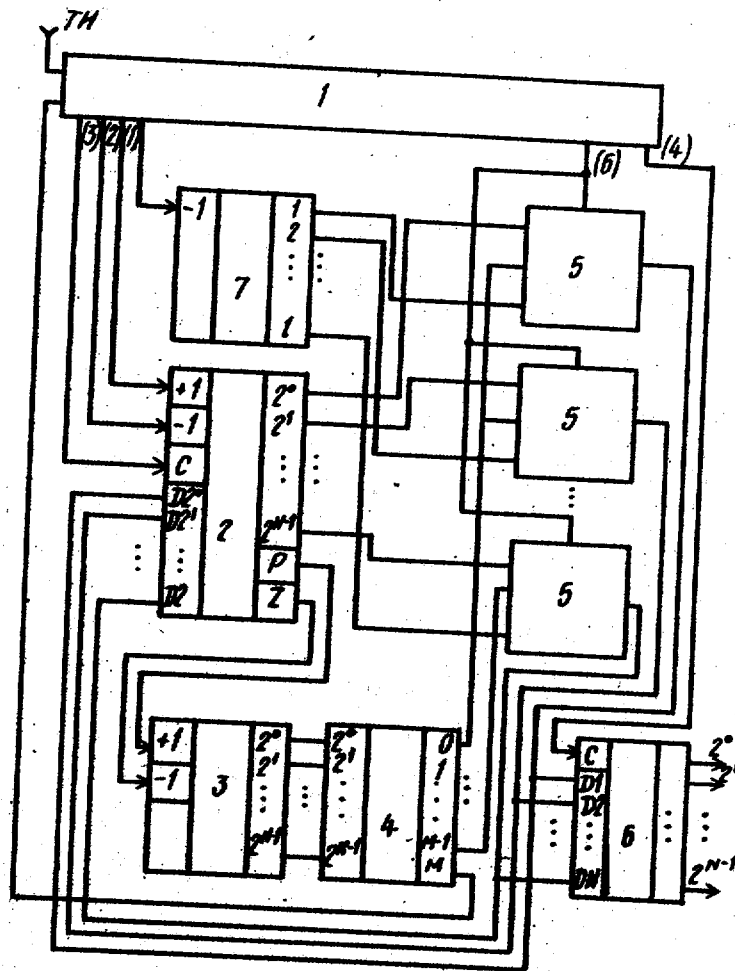
вычитается единица, чем адресует-ся четвертый операнд четверки операндов. В восьмом такте вырабатывается сигнал на четвертом выходе блока управления 1, по которому в регистр 6 заносится адрес четвертого операнда ( $n-1$ )-ой четверки операндов. В девятом такте на третьем выходе блока управления 1 вырабатывается сигнал, по которому в заблокированных разрядах восстанавливается значение [11], и сигнал на первом выходе блока управления 1, по которому в счетчик 2 добавляется единица, чем адресуется  $n$ -ая четверка операндов. В десятом такте вырабатывается сигнал на третьем выходе блока управления 1, по которому в заблокированных разрядах счетчика 2 восстанавливается значение [11], и сигнал на первом выходе блока управления 1, по которому в счетчик 2 добавляется единица, чем адресуется  $(n+1)$ -ая четверка операндов, кроме того, в этом такте вырабатывается сигнал на пятом выходе блока управления 1, по которому из счетчика 7 вычитается единица, чем адресуется первый операнд четверки операндов. Также в десятом такте вырабатывается сигнал на четвертом выходе блока управления 1, по которому в регистр 6 заносится первый операнд  $(n+1)$ -ой четверки операндов. В одиннадцатом такте вырабатывается сигнал на пятом выходе блока управления 1, по которому из счетчика 7 вычитается единица, чем адресуется второй операнд четверки операндов. В двенадцатом такте на четвертом выходе блока управления 1 вырабатывается сигнал, по которому в регистр 6 за-

носятся адрес второго операнда  $(n+1)$ -ой четверки операндов. В тринадцатом такте вырабатывается сигнал на пятом выходе блока управления 1, по которому из счетчика 7 вычитается единица, чем адресуется третий операнд  $(n+1)$ -ой четверки операндов. В четырнадцатом такте на четвертом выходе блока управления 1 вырабатывается сигнал, по которому в регистр 6 заносится третий операнд  $(n+1)$ -ой четверки операндов. В пятнадцатом такте вырабатывается сигнал на пятом выходе блока управления 1, по которому из счетчика 7 вычитается единица, чем адресуется четвертый операнд четверки операндов. В шестнадцатом такте вырабатывается сигнал на четвертом выходе блока управления 1, по которому в регистр 6 заносится четвертый операнд  $(n+1)$ -ой четверки операндов.

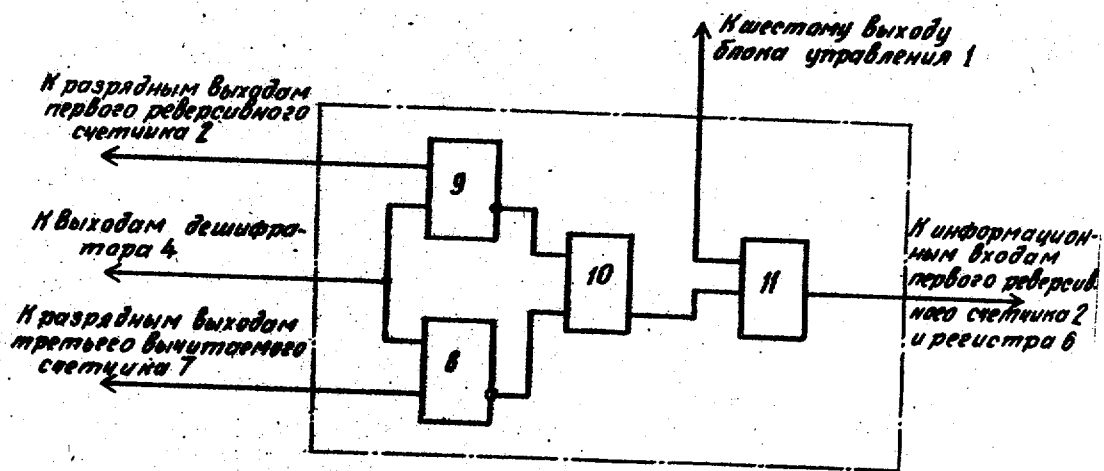
Цикл повторяется снова и снова до тех пор, пока не будут обработаны все четверки операндов по всем слоям, после чего устройство начинает вырабатывать адреса пар операндов специального слоя безизбыточного алгоритма БПФ. В этом случае устройство функционирует аналогично устройству, описанному в прототипе. На временной диаграмме работы блока управления 1 (фиг.4) изображены два цикла по восемь тактов.

После обнуления счетчиков устройство снова готово к работе.

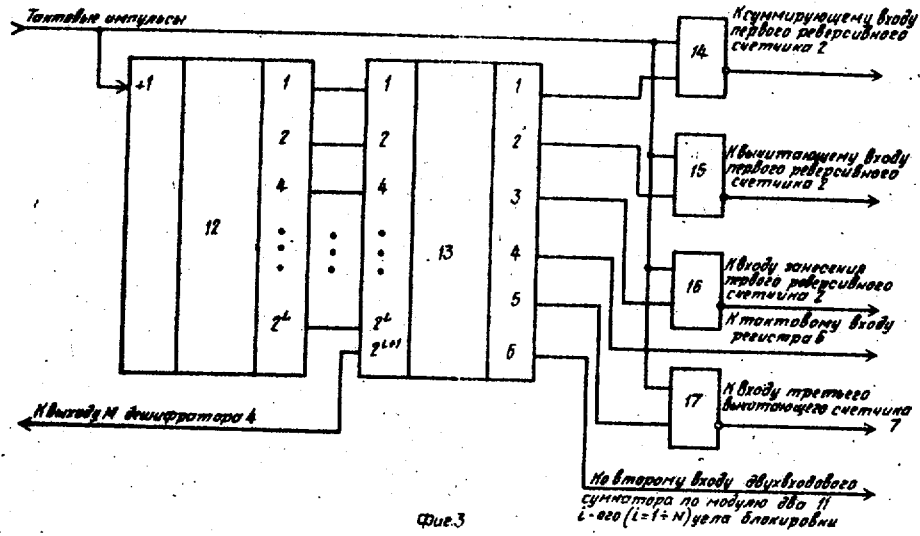
Таким образом, предлагаемое устройство позволяет формировать адреса алгоритма БПФ с основанием выше двух (четыре, восемь, шестнадцать и т.д.), что расширяет его функциональные возможности.



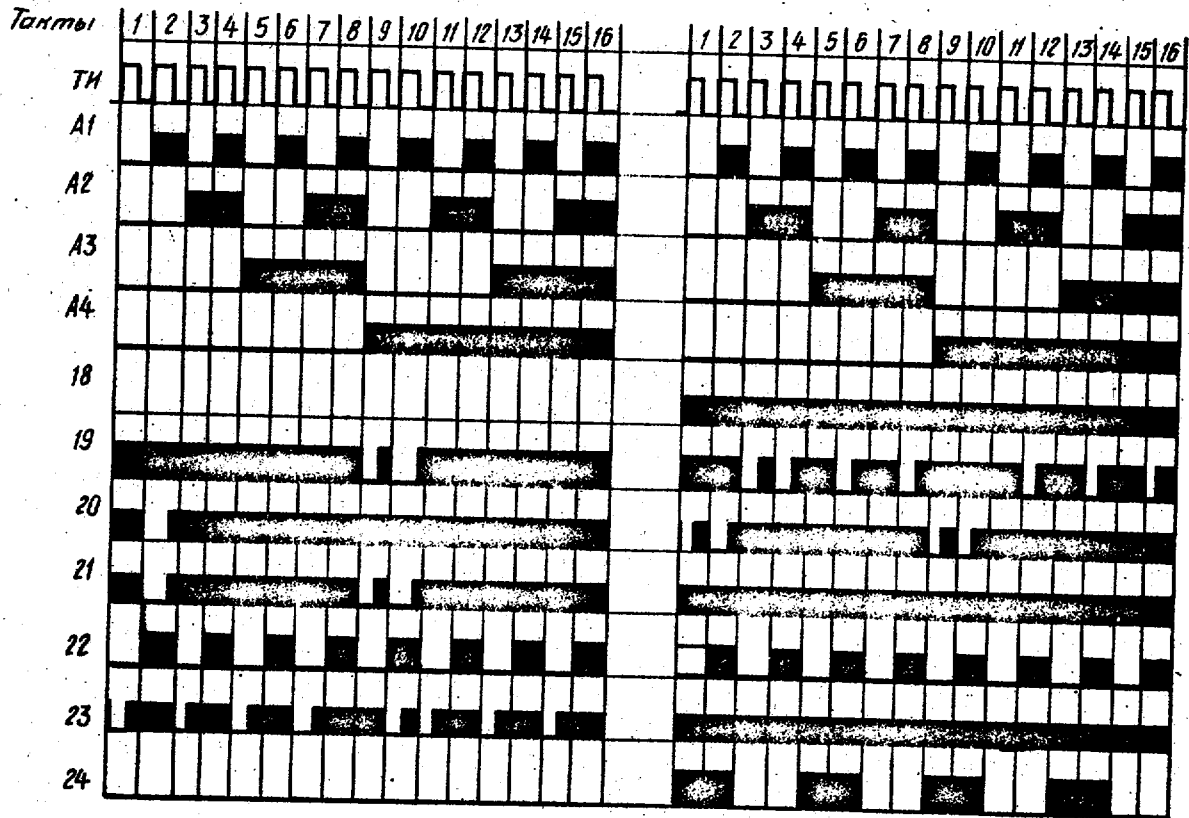
фиг.1



фиг.2



Фиг.3



Фиг.4