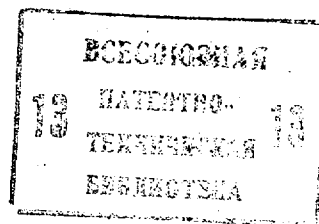




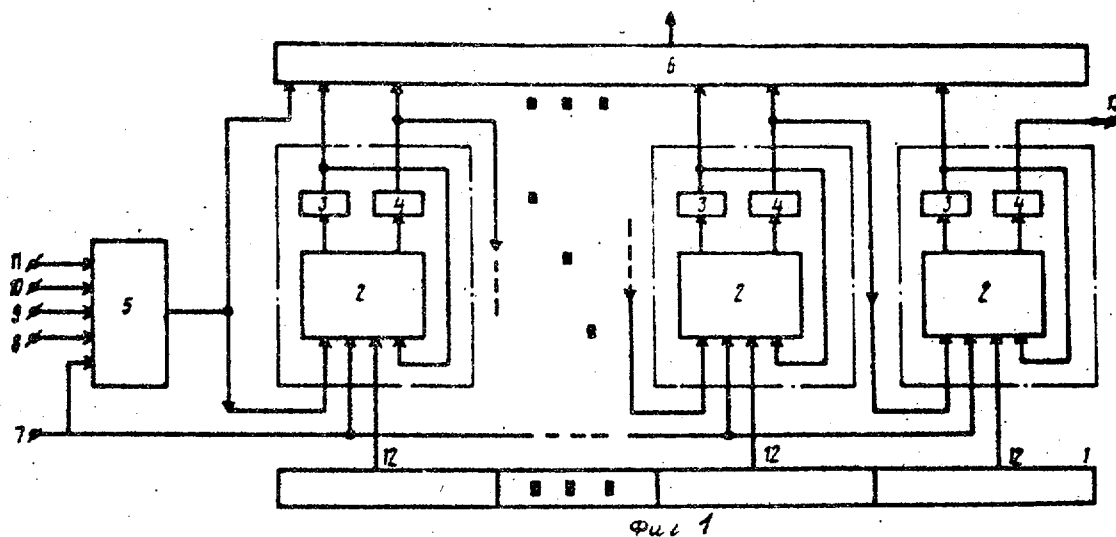
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (61) 888109
- (21) 3437889/18-24
- (22) 12.05.82
- (46) 30.08.83. Бюл. № 32
- (72) Г. П. Лопато, Л. Г. Лопато  
и А. А. Шостак
- (71) Минский радиотехнический институт
- (53) 621.325 (088.8)
- (56) 1. Авторское свидетельство СССР  
№ 888109, кл. G 06 F 7/52, 1972  
(прототип).
- (54) (57) 1. УСТРОЙСТВО ДЛЯ УМНО-  
ЖЕНИЯ по авт. св. № 888109, о т -  
л и ч а ю щ е е с я т е м , ч т о , с ц е л ь ю  
расширения функциональных возможностей  
за счет обеспечения умножения чисел в

дополнительном коде, оно содержит  $n$ -  
разрядный сумматор и блок формирования  
коррекции, причем первый, второй, тре-  
тий, четвертый и пятый входы блока  
формирования коррекции соединены соот-  
ветственно с входами множителя, множи-  
мого, знака множителя, знака множимого  
и режима работы устройства, выход блока  
формирования коррекции соединен с чет-  
вертым входом последнего блока вычисле-  
ния разрядных значений произведения, выход  
блока формирования коррекции и выходы  
буферных регистров, за исключением перво-  
го буферного регистра второй группы сое-  
динены с соответствующими входами  $n$ -раз-  
рядного сумматора.



2. Устройство по п. 1, о т л и ч а ю -  
 щ е е с я тем, что блок формирования  
 коррекции содержит два сумматора, бу-  
 ферный регистр, два триггера, причем  
 первый и второй входы блока формирова-  
 ния коррекции соединены соответственно  
 с первой и второй группой входов перво-  
 го сумматора, выход которого соединен  
 с входом второго сумматора, выход кото-  
 рого соединен с входом буферного регист-  
 ра, выход которого является выходом бло-  
 ка формирования коррекции, выходы пере-  
 носа первого и второго сумматоров соеди-  
 нены соответственно с первыми входами  
 первого и второго триггеров, выходы кото-

рых соединены соответственно с входами  
 переноса первого и второго сумматоров,  
 третий вход блока формирования коррекции  
 соединен с первым входом разрешения  
 приема информации первого сумматора и  
 входом разрешения приема информации  
 первого триггера, четвертый вход блока  
 формирования коррекции соединен с вто-  
 рым входом разрешения приема информации  
 первого сумматора и входом разрешения  
 приема информации второго триггера,  
 пятый вход блока формирования коррекции  
 соединен с входом разрешения приема ин-  
 формации буферного регистра, вторыми  
 входами первого и второго триггеров.

1  
 Изобретение относится к вычислительной  
 технике и может быть использовано при  
 разработке быстродействующих устройств  
 для умножения чисел, представленных в  
 любой позиционной системе счисления в  
 дополнительном коде. Особенно эффектив-  
 но его применение при использовании  
 больших интегральных схем, в частности  
 при разработке высокопроизводительных  
 наращиваемых микропроцессоров и микро-  
 процессорных систем.

По основному авт. св. № 888109 из-  
 вестно устройство для умножения, содер-  
 жащее регистр множимого,  $n$  блоков вычис-  
 ления разрядных значений произведения  
 ( $n$  - число разрядов множимого),  $n$  буфер-  
 ных регистров первой группы и  $n$  буфер-  
 ных регистров второй группы, причем пер-  
 вые входы блоков вычисления разрядных  
 значений произведения соединены с выхо-  
 дами соответствующих разрядов регист-  
 ра множимого, вторые входы - с входом  
 множителя устройства, третьи и четвертые  
 входы - с выходами соответствующих  
 буферных регистров первой и второй групп,  
 входы буферных регистров первой и второй  
 групп соединены соответственно с выхо-  
 дами старшего и младшего разряда соот-  
 ветствующих блоков вычисления разрядных  
 значений произведения, выход первого бу-  
 ферного регистра второй группы подклю-  
 чен к выходу устройства, четвертый вход  
 последнего блока вычисления разрядных  
 значений произведения соединен с входом  
 коррекции устройства [1].

2  
 Недостатком известного устройства яв-  
 ляется невозможность перемножения на  
 нем чисел, представленных в дополни-  
 тельном коде, что снижает область его приме-  
 нения.

5  
 Цель изобретения - расширение функцио-  
 нальных возможностей устройства за счет  
 обеспечения умножения чисел в дополни-  
 тельном коде.

10  
 Поставленная цель достигается тем,  
 что устройство для умножения дополни-  
 тельно содержит  $n$ -разрядный сумматор  
 и блок формирования коррекции, причем  
 первый, второй, третий четвертый и пя-  
 тый входы блока формирования коррекции  
 соединены соответственно с входами мно-  
 жителя, множимого, знака множителя,  
 знака множимого и режима работы устрой-  
 ства, выход блока формирования коррек-  
 ции соединен с четвертым входом послед-  
 него блока вычисления разрядных значений  
 произведения, выход блока формирования  
 коррекции и выходы буферных регистров,  
 за исключением первого буферного  
 регистра второй группы соединены  
 25 соответствующими входами  $n$ -разряд-  
 ными входами  $n$ -разрядного сумматора.

30  
 Кроме того, блок формирования коррек-  
 ции содержит два сумматора, буферный  
 регистр, два триггера, причем первый  
 и второй входы блока формирования кор-  
 рекции соединены соответственно с первой  
 и второй группой входов первого сумма-  
 тора, выход которого соединен с входом  
 35 второго сумматора, выход которого сое-  
 динен с входом буферного регистра,

Выход которого является выходом блока формирования коррекции, выходы переноса первого и второго сумматора соединены соответственно с первыми входами первого и второго триггеров, выходы которых соединены соответственно с входами переноса первого и второго сумматоров, третий вход блока формирования коррекции соединен с первым входом разрешения приема информации первого сумматора и входом разрешения приема информации первого триггера, четвертый вход блока формирования коррекции соединен с вторым входом разрешения приема информации первого сумматора и входом разрешения приема информации второго триггера, пятый вход блока формирования коррекции соединен с входом разрешения приема информации буферного регистра, вторыми входами первого и второго триггеров.

На фиг. 1 изображена структурная схема устройства для умножения; на фиг. 2 - блок формирования коррекции для случая двоично-кодированной  $2^k$ -ичной системы счисления.

Устройство для умножения содержит  $n$ -разрядный регистр 1 множимого, блоков 2 вычисления разрядных значений произведения,  $n$  буферных регистров первый 3 и второй 4 групп, блок 5 формирования коррекции,  $n$ -разрядный сумматор 6, входы 7, 8, 9, 10, 11 соответственно множителя, множимого, знака множителя, знака множимого, режима работы устройства, выходы 12 регистра множимого, выход 13 устройства.

Блок формирования коррекции содержит первый и второй сумматоры 14 и 15, буферный регистр 16, первый и второй триггеры 17 и 18.

Блоки вычисления разрядных значений произведения комбинационного типа могут быть реализованы, например, с использованием ПЗУ или быстродействующих логических преобразователей информации. Может оказаться целесообразной реализация этих блоков в виде итеративной сети или же на основе многослойной древовидной структуры.

Совокупность  $i$ -го блока 2 вычисления разрядных значений произведения и  $i$ -ых буферных регистров 3 и 4 может быть конструктивно выполнена в виде единого модуля, реализованного, например, как большая интегральная схема.

Блок формирования коррекции работает следующим образом.

Если знак множимого отрицательный (на входе 10 присутствует сигнал логи-

ческой единицы), то в каждом такте работы устройства в сумматор 14 через его первый вход осуществляется прием информации с входа 7 множителя устройства, а также до начала работы устройства производится запись единицы в триггер 18 через вход 11 режима устройства (в противном случае запись информации по этим каналам блокируется). Аналогично, если знак множителя отрицательный (на входе 9 присутствует сигнал логической единицы), то в сумматор 14 через его второй вход разрешается прием информации в каждом такте работы устройства с входа 8 множимого устройства, а также осуществляется запись единицы в триггер 17 по входу 11 до начала работы устройства (в противном случае запись информации по этим каналам блокируется). Предлагается, что по входам 7 и 8 устройства поступают в каждом такте в блок 5 коррекции  $k$  инверсных двоичных цифр множителя и  $k$  инверсных двоичных цифр множимого, например, с инверсных выходов триггеров регистров множителя и множимого с цепями одноканального сдвига на  $k$  разрядов (эти регистры на чертеже не показаны).

Запись в буферный регистр 16 производится с разрешения сигнала на входе 11 устройства только в режиме умножения чисел в дополнительном коде. Когда же устройством производится умножение чисел в беззнаковой форме, т.е. без учета знаков, то запись информации в буферный регистр блокируется. Буферный регистр выполняет в блоке 5 роль одноканальной задержки информации и поэтому в тех случаях, когда не требуется такая задержка, он должен быть заменен специальной комбинационной схемой выборки. Итак, с помощью блока 5 формируется в каждом такте работы устройства  $k$  двоичных цифр коррекции (если в устройстве осуществляется умножение чисел в дополнительном коде).

Устройство для умножения чисел работает следующим образом.

Работу устройства для умножения чисел рассмотрим применительно к двоично-кодированной  $2^k$ -ичной системе счисления, т.е. когда каждый разряд как множимого, так и множителя, представляет собой набор из  $k$  двоичных цифр. В исходном состоянии буферные регистры 3 и 4 и буферный регистр 16 блока формирования коррекции обнулены; в триггере 17 хранится единица, если знак множителя отрицательный; в триггере 18 хранится еди-

нища, если знак множимого отрицательный; в регистре 1 множимого записан  $n$ -разрядный  $2^k$ -ичный код множимого ( $n$   $k$ -разрядный двоичный код множимого).

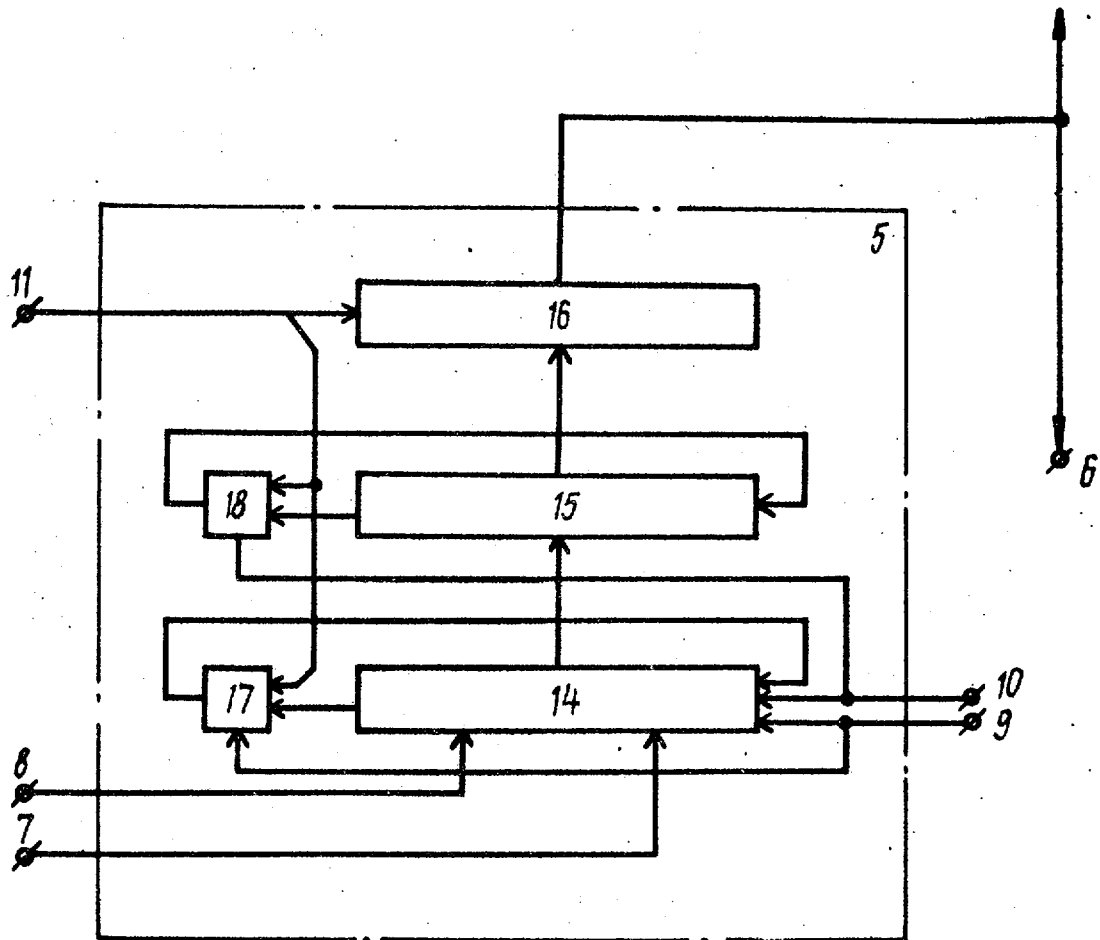
В каждом из  $n$  первых тактов работы устройства на его вход 7 поступает параллельно  $k$  двоичных разрядов, множителя, начиная со стороны младших разрядов. При этом в  $i$ -ом блоке 2 вычисления разрядных значений произведения осуществляется умножение  $k$  двоичных разрядов множителя, поступающих на его второй вход с входа 7 устройства, на  $k$  двоичных разрядов множимого, поступающих на его первый вход с выхода 12  $i$ -го  $2^k$ -ичного разряда регистра 1 множимого и прибавление к  $k$  младшим двоичным разрядам полученного при этом  $2^k$  разрядного произведения через четвертый и третий входы блока 2 соответственно  $k$  младших двоичных разрядов произведения ( $i+1$ -го блока 2, сформированных в предыдущем такте и хранимых в  $(i+1)$ -ом буферном регистре 4 и  $k$  старших двоичных разрядов произведения  $i$ -го блока 2, сформированных в предыдущем такте и хранимых в  $i$ -ом буферном регистре 3. После этого сформированные  $k$  младших двоичных разрядов произведения  $i$ -го блока 2 с его выхода записываются в  $i$ -ый регистр 4, а  $k$  старших двоичных разрядов произведения - в  $i$ -ый буферный регистр 3. Одновременно с формированием в каждом такте работы устройства разрядных произведений в блоках 2 устройства в блоке 5 коррекции формируется  $k$  двоичных цифр коррекции, которые с задержкой в один такт подаются на вход коррекции устройства. Запись информации в буферные регистры 3 и 4, в буферный регистр 16 и в триггеры 17 и 18 блока 5 формирования коррек-

ции осуществляется под действием одного и того же синхросигнала.

Вывод  $2n$   $2^k$ -ичных разрядов произведения осуществляется через выход устройства для умножения 13 по  $k$  двоичных разрядов за такт. Ускоренный вывод произведения возможен за  $n+1$  такт, для чего необходимо в  $(n+1)$ -ом такте осуществить суммирование содержимого буферных регистров 3, 4 и 16 (кроме первого буферного регистра 4) на сумматоре 6.

В устройстве для умножения используется алгоритм умножения чисел в дополнительном коде с двумя явными коррекциями. Следует только отметить, что если знаки множимого и множителя входят в их старшие  $2^k$ -ичные цифры, то в качестве корректирующих поправок в блоке 5 коррекции используются дополнительные коды множимого и множителя, а знак результата определяется двумя старшими двоичными разрядами наиболее значимой  $2^k$ -ичной цифры произведения. Если же знаки множимого и множителя не являются составной частью из старших  $2^k$ -ичных цифр (т.е. они не участвуют непосредственно в умножении), то в качестве корректирующих поправок в блоке 5 используются дополнения множимого и множителя, а знак результата должен быть сформирован отдельно путем сложения по модулю два знаков сомножителей.

Технико-экономические преимущества предлагаемого устройства в сравнении с известным состоят в расширении его функциональных возможностей за счет обеспечения умножения чисел в дополнительном коде. Кроме того, оно позволяет умножить числа в беззнаковой форме, т.е. без учета знаков, что расширяет область его применения.



Фиг. 2

Составитель В. Ключев

Редактор Н. Стащишина Техред С. Мигунова Корректор Л. Бокшан

Заказ 6231/55

Тираж 706

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4