



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3457380/18-24
(22) 28.06.82
(46) 23.09.83. Бюл. №35
(72) В.В. Лосев и П.П. Урбанович
(71) Минский радиотехнический институт
(53) 681.327(088.8)

(56) 1. Микроэлектроника. Сб. статей под ред. Ф.А. Лукина, М., "Советское радио", 1972, вып.5, с.128-150.

2. Патент ФВГ № 2549392, кл. G 11 C 7/00, опублик. 1977 (прототип).

(54)(57) 1. ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С АВТОНОМНЫМ КОНТРОЛЕМ, содержащее накопитель, числовые входы которого подключены к выходам дешифратора адреса строк, основные и дополнительные усилители, одни из выходов и входов которых подключены соответственно к основным и к дополнительным разрядным входам и выходам накопителя, а управляющие входы соединены с первым выходом блока ввода и вывода информации, блок кодирования, выходы которого подключены к первым входам элементов И и входам регистра контрольных разрядов, выходы которого соединены с одними из входов формирователя контрольных сигналов, дешифратор адресов разрядов, одни из входов и выходов которого подключены соответственно к второму выходу блока ввода и вывода информации и к одним из выходов и входов основного числового регистра, другие входы и выходы которого соединены соответственно с выходами и с входами основных усилителей и входами блока кодирования, и дополнительный числовой регистр, входы и одни из выходов которого подключены к выходам и к входам дополнительных усилителей и выходам элементов И, а другие выходы - к другим входам

формирователя контрольных сигналов, причем вторые входы элементов И соединены с первым входом блока ввода и вывода информации, который является входом разрешения записи устройства, второй и третий входы и третий выход блока ввода и вывода информации являются соответственно информационным и адресным входами и информационным выходом устройства, отличающееся тем, что, с целью повышения надежности устройства путем обнаружения и исправления ошибок в двух рядом расположенных разрядах строки накопителя, в него введен блок вычисления кодов адресов, группы сумматоров по модулю два, первый сумматор по модулю два и элемент ИЛИ, причем первые входы сумматоров по модулю два первой группы соединены с выходами формирователя контрольных сигналов, первые выходы - с первыми входами сумматоров по модулю два второй и третьей групп, выходы которых и вторые выходы сумматоров по модулю два первой группы подключены к входам элемента ИЛИ, выход которого соединен с четвертым входом блока ввода и вывода информации, вторые входы сумматоров по модулю два групп подключены к выходам блока вычисления кодов адресов, один из входов которого соединен с первым входом блока ввода и вывода информации, а другие входы и второй вход первого сумматора по модулю два подключены к другим выходам дешифратора адресов разрядов.

2. Устройство по п.1, отличающееся тем, что блок вычисления кодов адресов содержит второй и третий сумматоры по модулю два, счетчики единиц, логические блоки и элемент НЕ, вход которого соединен с первыми входами логических блоков и является одним из входов блока,

(19) SU (11) 1043743 A

причем одни из входов второго и третьего сумматоров по модулю два и первого счетчика единиц соответственно объединены и являются другими входами блока, выход элемента НЕ подключен к другим входам второго и третьего сумматоров по модулю два, выходы которых соединены с входами второго и третьего счетчиков единиц соответственно, выходы первого, второго и третьего счетчиков единиц подключены к вторым и третьим входам первого, второго и третьего логических блоков, выходы второго и третьего сумматоров по модулю два и входы

первого счетчика единиц являются выходами блока.

3. Устройство по пп.1 и 2, о т л и ч а ю щ е е с я тем, что каждый логический блок содержит четвертый и пятый сумматоры по модулю два, первые входы которых объединены и являются первым входом блока, и элемент И, первый и второй входы которого являются вторым и третьим входами блока, причем выход и второй вход элемента И соединены с вторыми входами четвертого и пятого сумматоров по модулю два соответственно, выходы которых являются выходами блока.

1

Изобретение относится к вычислительной технике и может быть использовано при изготовлении БИС ЗУ, имеющих большую площадь кристаллов, а также в системах памяти повышенной надежности.

Известно запоминающее устройство с автономным контролем, содержащее накопитель и схемы логики обрамления позволяющие производить обращение при записи и считывании информации к одному из элементов памяти ЭП накопителя [1].

Недостатком этого устройства является невысокая надежность.

Наиболее близким по технической сущности к изобретению является запоминающее устройство с автономным контролем, содержащее накопитель, числовые шины которого соединены с выходами дешифратора адреса строк, основные и дополнительные разрядные шины накопителя соединены с одними основными и дополнительными шинами соответствующих усилителей записи-считывания, другие шины которых соединены с соответствующими разрядами регистра основных разрядов и входами блока кодирования, выходы блока кодирования соединены с одними входами элементов И и входами дополнительного регистра, выходами связанного с первыми входами схемы вычисления синдрома, вторые шины дополнительных усилителей записи-считывания связаны с регистром дополнительных разрядов и с выходами элементов И, выходы регистра дополнительных разрядов подключены к вторым входам схемы вычисления синдрома другие регистры основных разрядов связаны с дешифратором адреса разрядов, одни входы которого соединены с адресными разрядными входами устройства, вторые входы дешифратора

2

адреса разрядов связаны с первым выходом блока ввода-вывода информации, второй и третий выходы которого соединены соответственно с управляющими входами усилителей записи-считывания и с выходом устройства, первый, второй и третий входы блока ввода-вывода информации соединены соответственно с шинами входной информации, разрешения записи и вторыми входами элементов И и с шиной выборки кристалла [2].

Недостатком этого устройства является то, что оно не обеспечивает безошибочную обработку информации при возникновении двух, в частности рядом расположенных дефектных запоминающих элементов (ЗЭ), что снижает надежность устройства.

Целью изобретения является повышение надежности устройства за счет обнаружения и исправления ошибок в двух рядом расположенных разрядах строки накопителя.

Поставленная цель достигается тем, что в запоминающее устройство с автономным контролем, содержащее накопитель, числовые входы которого подключены к выходам дешифратора адреса строк, основные и дополнительные усилители, одни из выходов и входов которых подключены соответственно к основному и к дополнительному разрядным входам и выходам накопителя, а управляющие входы соединены с первым выходом блока ввода и вывода информации, блок кодирования, выходы которого подключены к первым входам элементов И и входам регистра контрольных разрядов, выходы которого соединены с одними из входов формирователя контрольных сигналов, дешифратор адресов разрядов, один из входов и выходов которого подключены соответственно к второму

выходу блока ввода и вывода информации и к одним из выходов и входов основного числового регистра, другие входы и выходы которого соединены соответственно с выходами и с входами основных усилителей и входами блока кодирования, и дополнительный числовой регистр, входы и одни из выходов которого подключены к выходам и к входам дополнительных усилителей и выходам элементов И, а другие выходы - к другим входам формирователя контрольных сигналов, причем вторые входы элементов И соединены с первым входом блока ввода и вывода информации, который является входом разрешения записи устройства, второй и третий входы и третий выход блока ввода и вывода информации являются соответственно информационным и адресным входами и информационным выходом устройства, введены блок вычисления кодов адресов, группы сумматоров по модулю два, первый сумматор по модулю два и элемент ИЛИ, причем первые входы сумматоров по модулю два первой группы соединены с выходами формирователя контрольных сигналов, первые выходы - с первыми входами сумматоров по модулю два второй и третьей групп, выходы которых и вторые выходы сумматоров по модулю два первой группы подключены к входам элемента ИЛИ, выход которого соединен с четвертым входом блока ввода и вывода информации, вторые входы сумматоров по модулю два групп подключены к выходам блока вычисления кодов адресов, один из входов которого соединен с первым входом блока ввода и вывода информации, а другие входы и второй вход первого сумматора по модулю два подключены к другим выходам дешифратора адресов разрядов.

Кроме того, блок вычисления кодов адресов содержит второй и третий сумматоры по модулю два, счетчики единиц, логические блоки и элемент НЕ, вход которого соединен с первыми входами логических блоков и является одним из входов блока, причем одни из входов второго и третьего сумматоров по модулю два и первого счетчика единиц соответственно объединены и являются другими входами блока, выход элемента НЕ подключен к другим входам второго и третьего сумматоров по модулю два, выходы которых соединены с входами второго и третьего счетчиков единиц соответственно, выходы первого, второго и третьего счетчиков единиц подключены к вторым и третьим входам первого, второго, и третьего логических блоков, выходы второго и третьего сумматоров по модулю два

и входы первого счетчика единиц являются выходами блока.

При этом каждый логический блок содержит четвертый и пятый сумматоры по модулю два, первые входы которых объединены и являются первым входом блока и элемент И, первый и второй входы которого являются вторым и третьим входами блока, причем выход и второй вход элемента И соединены с вторыми входами четвертого и пятого сумматоров по модулю два соответственно, выходы которых являются выходами блока.

На фиг. 1 представлена функциональная схема предлагаемого устройства; на фиг. 2 - то же, вычисления кодов адресов.

Предлагаемое устройство содержит накопитель 1 с дополнительными разрядами 2, числовыми входами 3, основными 4 и дополнительными 5 разрядными выходами и входами, дешифратор 6 адреса строк, основные 7 и дополнительные 8 усилители со входами 9 и 10 соответственно, основные регистры, блок 13 кодирования, элементы И 14, дешифратор 15 адресов разрядов со входами и выходами 16. На фиг. 1 обозначены другие выходы 17 дополнительного числового регистра. Устройство содержит также формирователь 18 контрольных сигналов, регистр 19 контрольных разрядов, первую группу сумматоров 20 по модулю два с первыми входами 21 и первыми выходами 22, вторую 23 и третью 24 группы сумматоров по модулю два. На фиг. 1 обозначены также вторые выходы 25 сумматоров первой группы. Устройство содержит также элемент ИЛИ 26, первый сумматор 27 по модулю два со входами 28 и 29, блок 30 ввода и вывода информации с выходами 31-34 и входами 35-37 и блок 38 вычисления кодов адресов со входами 39-41 и выходами 42-44. Блок вычисления кодов адресов содержит (фиг. 2) второй 45 и третий 46 сумматоры по модулю два, элемент НЕ 47, первый 48, второй 49 и третий 50 счетчики единиц с выходами 51-53 соответственно, первый 54, второй 55 и третий 56 логические единицы 55 и третий 56 логические блоки, каждый из которых содержит элемент И 57, четвертый 58 и пятый 59 сумматоры.

Счетчики единиц 48-50 предназначены для установления отсутствия единичных символов и присутствия одного единичного символа в двоичном слове. Поэтому при количестве разрядов в этом слове каждый счетчик 48-50 будет состоять из одного

\bar{b} -входного элемента ИЛИ-НЕ, элементов НЕ и \bar{b} -входовых логических элементов ИЛИ-НЕ.

Предлагаемое устройство работает следующим образом.

Принцип работы устройства основан на свойстве кода Хемминга, состоящем в том, что место вектор-столбца в проверочной матрице $H_{n,k}$ кода, совпадающего с контрольным сигналом, указывает однозначно положение этого разряда в накопителе. Учитывая, что K основных вектор-столбцов матрицы $H_{n,k}$ кода не должны содержать нулевого числа и двоичных чисел, на одной из позиций которых стоит "1", построим такую матрицу, первые \bar{b} разрядов вектор-столбцов которой будут совпадать с кодами адресов всех разрядов матрицы накопителя. Для этого каждый вектор-столбец проверочной матрицы дополняется двумя разрядами с учетом отмеченного условия. Для примера показана матрица $H_{13,8}$

$$H_{13,8} = \begin{bmatrix} 01010101 & 10000 \\ 00110011 & 01000 \\ 00001111 & 00100 \\ 11101000 & 00010 \\ 10000000 & 00001 \end{bmatrix}$$

В режиме записи информации на входы дешифратора 6 (фиг.1) поступает код адреса опрашиваемой строки. В соответствии с этим возбуждается один из входов 3 накопителя. Одновременно на основании кода адреса опрашиваемого разряда, поступающего по входам 40 и 41, и единичных сигналов на выходах 35 и 37, в регистре 11 и выбираемом разряде записывается двоичная информация, поступающая по входу 36. По K разрядам опрашиваемой строки, с учетом записываемого в блоке 13 формируются P дополнительных разрядов которые через элементы И 14 поступают на входы 10 усилителей 8. Кодовое слово, состоящее из $n=k+p$ разрядов, усилителями 7 и 8 записывается в соответствующую строку накопителя 1. На этом цикл записи закончен.

В режиме считывания информации сигналы на входах 35 и 36 отсутствуют. Как и в режиме записи, в регистры 11 и 12 заносится слово, хранящееся в опрашиваемой строке накопителя 1. По K считанным разрядам (в слове могут быть ошибки) блок 13 формирует вновь P разряды, которые записываются в регистр 19. Далее определяется, является ли опрашиваемый бит правильным, т.е. соответствующим записанному. Для этого в формирователе 18 формируется сигнал 5, равный нулю лишь при отсутствии ошибок в

считанном кодовом слове. Одновременно с этим в блоке 38 устанавливается соответствие расположения опрашиваемого и соседних с ним разрядов вектор-столбцом матрицы $H_{n,k}$. Поступающие на входы 40 и 41 блока 38 \bar{b} разрядов кода адреса опрашиваемого разряда в сумматорах 45 и 46 (фиг.2) формируют \bar{b} разрядов кодов адресов, расположенных по обе стороны от опрашиваемого столбца накопителя 1 путем добавления и вычитания единичного бита, поступающего с выхода элемента НЕ 47. На одном из выходов счетчиков 48-50 присутствует единичный сигнал, если в анализируемых разрядах будут одни нули, а на втором выходе тот же сигнал появится при наличии в этих разрядах одной и только одной единицы. Блоки 54-56 вырабатывают два дополнительных разряда и на выходах 42-44 блока 38 формируются три вектор-столбца матрицы $H_{n,k}$ порядковые номера которых будут такими же, как у опрашиваемого и соседних с ним разрядов опрашиваемого слова (считаем, что дефектными могут быть два из трех соседних разряда.) В сумматорах 21 установлено (при сложении вектор-столбца опрашиваемого разряда k и сигнала 5), произошла ли ошибка в опрашиваемом разряде. Если ошибка возникла, на выходе 25 появится единичный сигнал (во всех разрядах полученной суммы будут нулевые символы). На выходах сумматоров 23 и 24 присутствуют единичные символы, если соответственно выполняются условия $5 \oplus k_1 \oplus k_0 = 0$ и $5 \oplus k_1 \oplus k_2 = 0$, где k_0 и k_2 означают соседние с опрашиваемым вектор-столбцы проверочной матрицы, а \oplus - сложение по модулю два. При ошибочном опрашиваемом бите на выходе элемента ИЛИ 26 находятся единичный сигнал, который в сумматоре 27 инвертирует бит, поступивший с выхода 29 дешифратора 15. Правильная информация через блок 30 поступает на выход 33 устройства.

Если в опрашиваемой строке дефектны один или два других (не считываемых) бита, то они будут скорректированы при их считывании из накопителя 1.

В случае отказа одного из дополнительных разрядов 2 на выходе элемента ИЛИ 26 никогда не будет единичного сигнала, и все считываемые биты будут проходить на выход устройства без изменений.

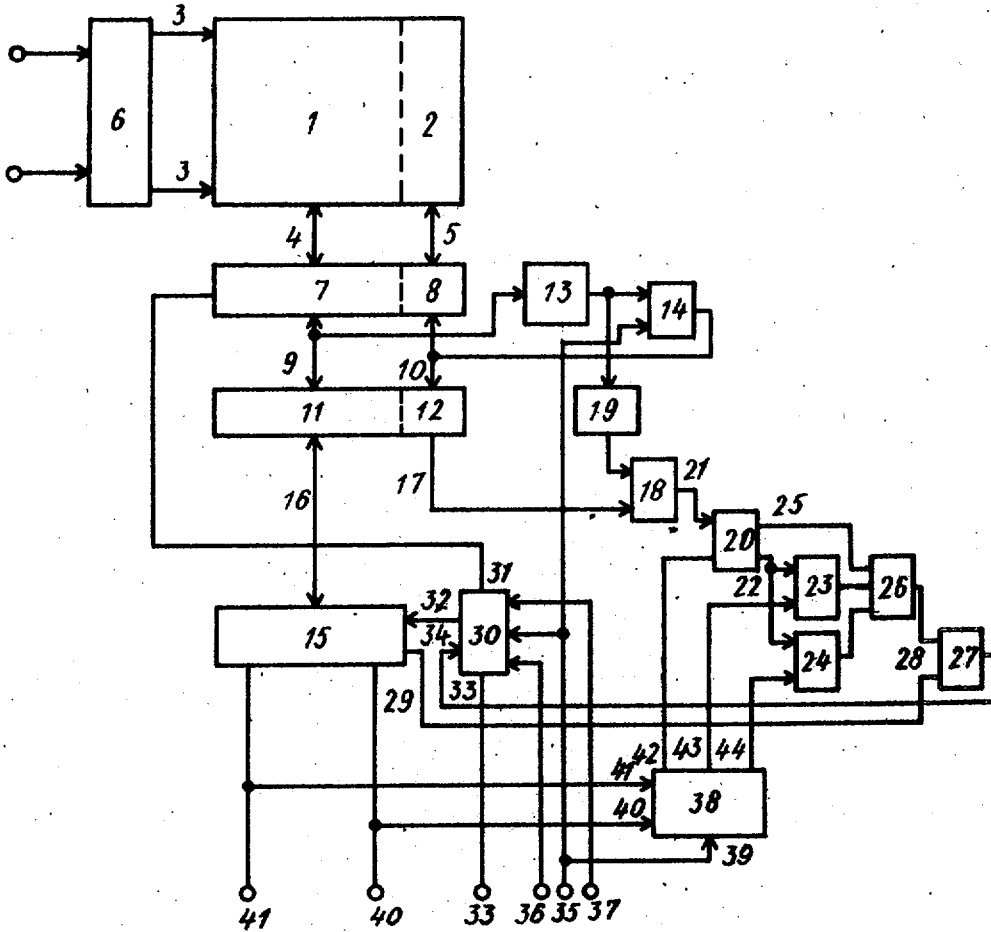
В качестве примера рассмотрим запись и считывание информационного слова, состоящего из восьми битов. Пусть, например, с учетом записываемого символа и состояния остальных 39 основных разрядов строки накопителя 1 хранению подлежит слово

А = 10110111. Тогда в дополнительных разрядах 2 строки, согласно проведённой матрице $M_{3,8}$, должны быть записаны дополнительные биты 10101. Сформированное таким образом кодовое слово В = 10110111 10101 записывается в опрашиваемую строку. Положим далее, что при считывании символа пятого разряда в регистры 11 и 12 записывается слово В = 10101111 10101 (дефектные разряды подчеркнуты). В регистр 19 записываются пять вновь сформированных блоком 13 символов 01011. В формирователе 18 формируется сигнал $S = 11110$. На входах 40 и 41 дешифратора 15 установлен код адреса опрашиваемого разряда 100 (а при считывании четвертого разряда - 011). С помощью этого кода на выходах 42-44 блока 38 формируются соответственно двоичные числа 01100, 00101, 00011 (при считывании четвертого бита - соответственно 00011, 01100, 01010). Биты, поступающие с выходов 42 блока 38 в сумматорах 21 поразрядно складываются с сигналом $S : 01100 + 11110 = 10010/0$. Результат сложения поступает на первые входы сумматоров 23 и 24, на выходах которых соответственно формируются логические "0" и "1" (на выходе 25 сумматоров 21 - также "0"). Единичный символ с выхода 28 элемента ИЛИ 26 проинвертирует в сумматоре 27 неправильно считанный бит: "1" на "0". Это позволит на выходе 33 устройства получить правильную информацию.

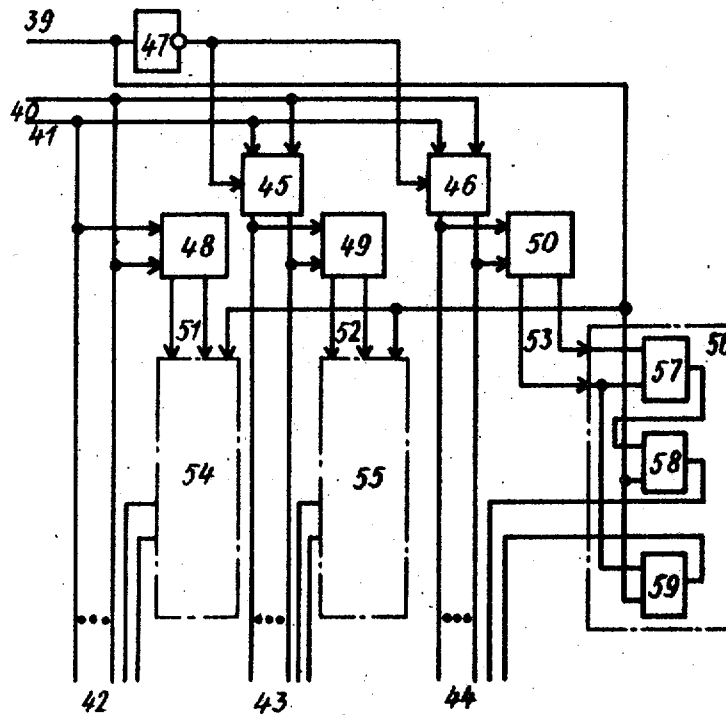
Таким образом, предлагаемое ЗУ обнаруживает и исправляет ошибки в двух рядом расположенных разрядах опрашиваемой строки матрицы накопителя по сравнению с коррекцией только одной ошибки в известном устройстве, за счет чего увеличивается надежность ЗУ, поскольку анализ статистики распределения дефектов на час точно годных кристаллах базового

объекта показал, что практически все (95%) двойные дефекты в строках накопителя расположены в соседних разрядах. При этом избыточность предлагаемого ЗУ практически не увеличивается, так как если в известном устройстве при матричной организации накопителя для БИС ЗУ емкостью четыре, шесть,надцать и шестьдесят четыре К бит необходимо дополнительно расположить на кристалле соответственно семь, восемь и девять столбцов ЗЭ, то в предлагаемом устройстве - восемь, девять и десять дополнительных столбцов 2. т.е. лишь на один больше, чем в известном. Отметим, что, если двоянные ошибки корректировать известными методами, то пришлось бы при тех же полезных емкостях кристаллов увеличить число дополнительных столбцов ЗЭ 2. В известном устройстве самую большую площадь на кристалле в сравнении с другими избыточными схемами занимает блок декодирования (определения местоположения дефектного бита). В предлагаемом устройстве схемы определения дефектности считываемого бита (блок 38, сумматоры 21-24 и элемент ИЛИ 26) требуют для их размещения, по крайней мере, не больше площади кристалла, чем упомянутый блок в известном устройстве, а это значит, что увеличение надежности устройства достигается практически без увеличения площади кристалла и усложнения устройства. Вместе с тем, устойчивая работа устройства при наличии двух дефектных ЗЭ позволит повысить не только его надежность, но и выход годных БИС ЗУ при их производстве.

Технико-экономическое преимущество предлагаемого устройства заключается в его более высокой надежности, достигаемой за счет обнаружения и исправления ошибок в двух рядом расположенных разрядах строки накопителя.



Фиг. 1



Фиг. 2