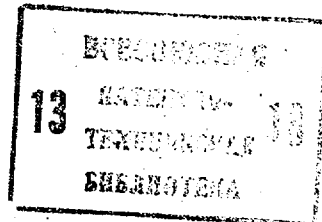




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3470366/18-24
(22) 28.04.82
(46) 15.10.83. Бюл. № 38
(72) Л.А. Глухова
(71) Минский радиотехнический институт

(53) 681.325(088.8)
(56) 1. Карцев М.А. Арифметика цифровых машин. М., "Наука", 1969, с. 525.

2. Авторское свидетельство СССР № 807282, кл. G 06 F 7/52, 1979, (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ДЕСЯТИЧНЫХ ЧИСЕЛ, содержащее регистр частотного, регистр делителя, десятичный сумматор, регистр хранения, блок управления, содержащий первый, второй, третий, четвертый, пятый, шестой и седьмой элементы И, генератор тактовых импульсов, двоичный счетчик; первый, второй и третий элементы задержки, триггер; причем информационный выход регистра делителя соединен с информационным входом десятичного сумматора, выход регистра хранения соединен с информационным входом регистра делителя, выход управления вычитанием блока управления соединен с входом вычитания десятичного сумматора, вход сложения которого подсоединен к выходу управления сложением блока управления, вход положительного и отрицательного знаков которого подключен соответственно к выходам положительного и отрицательного знаков десятичного сумматора, выход управления установкой блока управления соединен с входом установки в "1" младшего бита регистра част-

ного, вход сдвига на бит младшей тетрады которого соединен с выходом управления сдвигом на бит блока управления, выход управления преобразованием которого соединен с входом сдвига регистра делителя, вход приема которого подключен к выходу управления приемом блока управления, отличающееся тем, что, с целью повышения быстродействия, в него введена схема сравнения, причем первый вход схемы сравнения соединен с информационным выходом трех старших тетрад десятичного сумматора, вход сдвига на тетраду которого соединен с входом сдвига на тетраду регистра частного, вход установки десяти младшей тетрады которого подключен к выходу управления сложением блока управления, вход признака которого подсоединен к выходу признака схемы сравнения, второй вход которой соединен с информационным выходом трех старших тетрад регистра делителя, вход сдвига на тетраду десятичного сумматора соединен с выходом управления сдвигом на тетраду блока управления, а в блок управления введены восьмой элемент И, элемент задержки, элемент ИЛИ-НЕ, делитель частоты, первый, второй, третий, четвертый, пятый, шестой, седьмой элементы ИЛИ, причем первый вход элемента ИЛИ-НЕ соединен с выходом управления сложением блока управления и с выходом первого элемента И, первый вход которого подключен к выходу делителя частоты и первому входу второго элемента И, второй вход которого соединен с выходом первого элемента

ИЛИ, первый вход которого подсоединен к выходу второго элемента ИЛИ, первый, второй и третий входы которого соединены соответственно с первым, вторым и третьим выходами двоичного счетчика, четвертый выход которого подключен к второму входу первого элемента ИЛИ и первому входу третьего элемента ИЛИ, выход которого соединен с входом сброса триггера, вход установки которого подключен к второму входу элемента ИЛИ-НЕ, выходу второго элемента И и выходу управления вычитанием блока управления, вход признака которого соединен с третьим входом второго элемента И, четвертый вход которого соединен с первым входом третьего и четвертого элементов И и с входом положительного знака блока управления, вход отрицательного знака которого подключен к первому входу пятого элемента И, второй вход которого соединен с выходом триггера и вторым входом четвертого элемента И, третий вход которого соединен с третьим входом пятого элемента И, первым входом двоичного счетчика, первым входом шестого элемента И и первым входом седьмого элемента И, второй вход которого соединен с первым входом первого элемента ИЛИ, выход которого соединен с вторым входом шестого элемента И, выход которого через первый элемент задержки соединен с выходом управления сдвигом на бит блока управления, выход управления сдвигом на тетраду которого

соединен с выходом четвертого элемента ИЛИ, первый вход которого через второй элемент задержки подключен к пятому выходу двоичного счетчика и второму входу третьего элемента И, выход которого соединен с первым входом пятого элемента ИЛИ, выход которого через третий элемент задержки соединен с вторым входом двоичного счетчика, шестой выход которого соединен с вторым входом первого элемента И, выход которого соединен с первым входом шестого элемента ИЛИ, второй вход которого соединен с выходом восьмого элемента И, первый вход которого соединен с выходом генератора импульсов, а второй вход - с выходом элемента ИЛИ-НЕ, второй вход которого подключен к третьему входу шестого элемента ИЛИ, выход которого соединен с первым входом двоичного счетчика, седьмой выход которого подключен к второму входу четвертого элемента ИЛИ и второму входу пятого элемента ИЛИ, выход которого соединен с выходом управления приемом в регистр делителя блока управления, выход управления преобразованием которого соединен с выходом седьмого элемента И, а выход управления установкой - с выходом седьмого элемента ИЛИ, первый вход которого подключен к второму входу третьего элемента ИЛИ и выходу четвертого элемента И, а второй вход - через четвертый элемент задержки к выходу пятого элемента И.

1

Изобретение относится к области вычислительной техники и предназначено для деления десятичных чисел, представленных кодом 8-4-2-1. Устройство целесообразно применять в быстродействующих вычислителях, работающих с многоразрядными десятичными операндами.

Известно устройство для деления n -разрядных десятичных чисел, содержащее десятичный сумматор, регистр частного, регистр-преобразователь делителя, регистр восьмикратного делителя и блок управления [1].

2

Недостатком данного устройства являются большие затраты оборудования (разрядность сумматора, регистра-преобразователя делителя, регистра восьмикратного делителя соответствует удвоенной разрядности десятичных операндов).

Наиболее близким по технической сущности к изобретению является устройство для деления n -разрядных десятичных чисел, содержащее десятичный сумматор, регистр частного, регистр делителя, регистр хранения, блок управления, содержащий первый,

второй, третий, четвертый, пятый, шестой и седьмой элементы И, генератор тактовых импульсов, двоичный счетчик, первый, второй и третий элементы задержки, триггер, причем информационный выход регистра делителя соединен с информационным входом десятичного сумматора, выход регистра хранения соединен с информационным входом регистра делителя, выход управления вычитанием блока управления соединен с входом вычитания десятичного сумматора, вход сложения которого подсоединен к выходу управления сложением блока управления, вход положительного и отрицательного знаков которого подключен соответственно к выходам положительного и отрицательного знака десятичного сумматора, выход управления установкой блока управления соединен с входом установки в единицу младшего бита регистра частного, вход сдвига на бит младшей тетрады которого соединен с выходом управления сдвигом на бит блока управления, выход управления преобразованием которого соединен с входом сдвига регистра делителя, вход приема которого подключен к выходу управления приемом блока управления. Данное устройство обрабатывает частное путем последовательного определения значимых битов в двоично-десятичном представлении десятичных цифр частного [2].

К недостаткам устройства можно отнести низкое быстродействие: для нахождения каждой десятичной цифры частного требуется четыре такта (сложения) вычитания.

Цель изобретения - повышение быстродействия устройства для деления десятичных чисел.

Поставленная цель достигается тем, что в устройство введена схема сравнения, причем первый вход схемы сравнения соединен с информационным выходом трех старших тетрад десятичного сумматора, вход сдвига на тетраду которого соединен с входом сдвига на тетраду регистра частного, вход установки девяти младшей тетрады которого подключен к выходу управления сложением блока управления, вход признака которого подсоединен к выходу признака схемы сравнения, второй вход которого соединен с информационным выходом трех старших тетрад регистра

делителя, вход сдвига на тетраду десятичного сумматора соединен с выходом управления сдвигом на тетраду блока управления, а в блок управления введены восьмой элемент И, элемент задержки, элемент ИЛИ-НЕ, делитель частоты, первый, второй, третий, четвертый, пятый, шестой, седьмой элементы ИЛИ, причем первый вход элемента ИЛИ-НЕ соединен с выходом управления сложением блока управления и с выходом первого элемента И, первый вход которого подключен к выходу делителя частоты и первому входу второго элемента И, второй вход которого соединен с выходом первого элемента ИЛИ, первый вход которого подключен к выходу второго элемента ИЛИ, первый, второй, третий входы которого соединены соответственно с первым, вторым и третьим выходами двоичного счетчика, четвертый выход которого подключен к второму входу первого элемента ИЛИ и первому входу третьего элемента ИЛИ, выход которого соединен с входом сброса триггера, вход установки которого подключен к второму входу элемента ИЛИ-НЕ, выходу второго элемента И и выходу управления вычитанием блока управления, вход признака которого соединен с третьим входом второго элемента И, четвертый вход которого соединен с первыми входами третьего и четвертого элементов И и с входом положительного знака блока управления, вход отрицательного знака которого подключен к первому входу пятого элемента И, второй вход которого соединен с выходом триггера и вторым входом четвертого элемента И, третий вход которого соединен с третьим входом пятого элемента И, первым входом двоичного счетчика, первым входом шестого элемента И и первым входом седьмого элемента И, второй вход которого соединен с первым входом первого элемента ИЛИ, выход которого соединен с вторым входом шестого элемента И, выход которого через первый элемент задержки соединен с выходом управления сдвигом на бит блока управления, выход управления сдвигом на тетраду которого соединен с выходом четвертого элемента ИЛИ, первый вход которого через второй элемент задержки подключен к пятому выходу двоичного счетчика и второму входу третьего

элемента И, выход которого соединен с первым входом пятого элемента ИЛИ, выход которого через третий элемент задержки соединен с вторым входом двоичного счетчика, шестой выход которого соединен с вторым входом первого элемента И, выход которого соединен с первым входом шестого элемента ИЛИ, второй вход которого соединен с выходом восьмого элемента И, первый вход которого соединен с выходом генератора импульсов, а второй вход - с выходом элемента ИЛИ-НЕ, второй вход которого подключен к третьему входу шестого элемента ИЛИ, выход которого соединен с первым входом двоичного счетчика, седьмой выход которого подключен к второму входу четвертого элемента ИЛИ и второму входу пятого элемента ИЛИ. выход которого соединен с выходом управления приемом в регистр делителя блока управления, выход управления преобразованием которого соединен с выходом седьмого элемента И, а выход управления установкой - с выходом седьмого элемента ИЛИ, первый вход которого подключен к второму входу третьего элемента ИЛИ и выходу четвертого элемента И, а второй вход - через четвертый элемент задержки к выходу пятого элемента И.

На фиг. 1 представлена структурная схема устройства для деления десятичных чисел; на фиг. 2 - функциональная схема блока управления устройства.

Устройство для деления десятичных чисел содержит десятичный сумматор 1, содержащий (n+1) десятичный разряд (n-разрядность операндов), регистр 2 частного, содержащий n десятичных разрядов (тетрад), регистр 3 делителя, содержащий (n+1) десятичный разряд и предназначенный для хранения восьмикратного делителя и получения путем деления на два других его кратных, регистр 4 хранения, содержащий (n+1) десятичный разряд и предназначенный для хранения восьмикратного делителя, блок 5 управления, схему 6 сравнения.

Блок 5 управления имеет выход 7 управления вычитанием, выход 8 управления сложением, вход 9 положительного знака, выход 10 блока 5 управления установкой, выход 11 управления сдвигом на бит, выход 13

управления преобразованием, выход 14 управления приемом в регистр 3 делителя, вход 15 признака, вход 16 отрицательного знака. Блок 5 управления содержит генератор 17 импульсов, делитель 18 частоты, счетчик 19, триггер 20, элементы 21-28 И, элементы 29-35 ИЛИ, элементы 36-39 задержки, элемент 40 ИЛИ-НЕ.

Схема 6 сравнения предназначена для предварительного анализа необходимости вычитания текущего кратного делителя из очередного остатка.

Если при обработке дробных десятичных операндов производить сравнение делимого и текущего кратного делителя с точностью до 0,01, то истинная цифра частного L будет связана с полученной в результате сравнения цифрой K неравенством

$$L \geq K - 1 \quad (1)$$

Действительно, предположим, что в процессе деления принимают участие n-разрядные десятичные дроби, причем делитель A неподвижен и нормализован. Покажем, что при этих условиях для оценки необходимости вычитания текущего кратного делителя из очередного остатка достаточно сравнивать их значение с точностью до 0,01.

Делитель A с учетом (1) можно представить в виде

$$A = A_{-1} \cdot 10^{-1} + A_{-2} \cdot 10^{-2} + \sum_{i=3}^n A_{-i} \cdot 10^{-i} \quad (2)$$

причем из условия нормализации следует, что $A_{-1} \neq 0$:

$$1 \leq A_{-1} \leq 9 \quad (3)$$

X-кратное делителя можно записать как

$$\begin{aligned} XA &= X \cdot A_{-1} \cdot 10^{-1} + X \cdot A_{-2} \cdot 10^{-2} + \sum_{i=3}^n X \cdot A_{-i} \cdot 10^{-i} = \\ &= d_0 \cdot 10^0 + (X \cdot A_{-1} + d_{-1} - 10 \cdot d_0) \cdot 10^{-1} + (X \cdot A_{-2} + d_{-2} - \\ &- 10 \cdot d_{-1}) \cdot 10^{-2} + \sum_{i=3}^n (X \cdot A_{-i} + d_{-i} - 10 \cdot d_{-i+1}) \cdot 10^{-i}, \end{aligned} \quad (4)$$

где d_{-i} - левая (старшая) цифра двузначных произведений $X \cdot A_{-i-1}$. Очевидно, что

$$0 \leq X \cdot A_{-i} + d_{-i} - 10 \cdot d_{-i+1} \leq 9 \quad (5)$$

В общем случае очередной остаток C после сдвига в ходе деления влево может оказаться больше единицы

$$C = C_0 \cdot 10^0 + C_{-1} \cdot 10^{-1} + C_{-2} \cdot 10^{-2} + \sum_{i=3}^n C_{-i} \cdot 10^{-i} \quad (5)$$

Обозначим через A' , KA' и C' представления чисел A , KA и C с точностью до $0,01$:

$$\begin{aligned} A' &= A_{-1} \cdot 10^{-1} + A_{-2} \cdot 10^{-2}; \\ KA' &= d_0 \cdot 10^0 + (K + A_{-1} + d_{-1} - 10 \cdot d_0) \cdot 10^{-1} + \\ &+ (K \cdot A_{-2} + d_{-2} - 10 \cdot d_{-1}) \cdot 10^{-2}; \\ C' &= C_0 \cdot 10^0 + C_{-1} \cdot 10^{-1} + C_{-2} \cdot 10^{-2}. \end{aligned} \quad (7) \quad 10$$

Предположим, что при сравнении старших разрядов остатка и старших разрядов текущего K -кратного делителя (с точностью до $0,01$) схема сравнения сформировала признак того, что $C' \geq KA'$. В этом случае выполняется соотношение

$$C' = K \cdot A' + Z', \quad (8)$$

где K - цифра частного, полученная в результате сравнения старших разрядов; Z' - остаток от вычитания из старших разрядов предыдущего остатка C' величины KA' , причем

$$0 \leq Z' < A'. \quad (9)$$

Истинная цифра частного L соответствует выражению

$$C = L \cdot A + Z, \quad (10)$$

где Z - истинный остаток от вычитания кратного делителя LA из предыдущего остатка C , причем

$$0 \leq Z \leq A - 10^{-n} \quad (11)$$

Остаток R от вычитания кратного делителя KA из предыдущего остатка C , исходя из (4), (6), (7), (8), представляется как

$$\begin{aligned} R = C - K \cdot A = Z' + \sum_{i=3}^n [C_{-i} - (K \cdot A_{-i} + d_{-i} - \\ - 10 \cdot d_{-i+1})] \cdot 10^{-i} = Z' + \alpha, \end{aligned} \quad (12)$$

где

$$\alpha = \sum_{i=3}^n [C_{-i} - (K \cdot A_{-i} + d_{-i} - 10 \cdot d_{-i+1})] \cdot 10^{-i}. \quad (13)$$

Исходя из (9) и (12), справедливо соотношение

$$Z' = R - \alpha \geq 0, \quad (14)$$

откуда $R \geq \alpha$.

Как следует из (13)

$$\alpha_{\min} = - \sum_{i=3}^n (K \cdot A_{-i} + d_{-i} - 10 \cdot d_{-i+1}) \cdot 10^{-i}. \quad (15)$$

С учетом (5) справедливо

$$\alpha_{\min} \geq -10^{-2} - 10^{-n} \quad (16)$$

или, как следует из (2) и (3),

$$\alpha_{\min} \geq -0,1A + 10^{-n} \quad (17)$$

На основании (14) и (17)

$$R \geq -0,1A + 10^{-n}. \quad (18)$$

Исходя из выражений (10) и (12), истинная цифра частного L связана с цифрой K , полученной в результате сравнения старших разрядов остатка и текущего кратного делителя, равенством

$$LA = KA + R - Z,$$

которое на основании (18) и (11) приводится к неравенству

$$\begin{aligned} LA &\geq K \cdot A - 0,1A + 10^{-n} - A + 10^{-n} = \\ &= (K-1) \cdot A - (0,1A - 2 \cdot 10^{-n}) \end{aligned} \quad (19)$$

Поскольку величина $0,1A - 2 \cdot 10^{-n}$ заведомо меньше A , а L и K могут принимать только целые значения, то (19) сводится к виду (1).

Устройство (см. фиг. 1) обрабатывает десятичную информацию, представленную кодом 8-4-2-1.

Деление n -разрядных чисел в устройстве выполняется за n циклов. На каждом цикле определяется значение очередного десятичного разряда (тетрады) двоично-десятичного частного. Деление выполняется методом без восстановления остатков с неподвижным делителем и сдвигом остатков влево.

Устройство работает следующим образом.

В исходном состоянии в младших n тетрадах сумматора 1 находится делимое, в регистре 3 и регистре 4 восьмикратный делитель (однократный делитель должен быть нормализован), старший десятичный разряд сумматора 1 и регистра 2 установлены в нуль.

Счетчик 19 и триггер 20 блока 5 управления также установлены в нуль. На первом цикле определяется старший десятичный разряд (тетрада) частного.

При определении каждой тетрады частного может возникнуть две ситуации.

Все остатки, формируемые в сумматоре 1 в ходе определения текущей тетрады частного, положительны. В этом случае значение десятичной цифры частного определяется за четыре такта. На каждом такте отыскивается значение очередного бита в двоично-десятичном представлении тетрады частного.

В ходе определения текущей тетрады частного на одном из тактов вычитания в сумматоре 1 образовался отрицательный остаток. В этом случае количество тактов, необходимое для нахождения текущей цифры частного, соответствует моменту получения от-

рицательного остатка, а для отработки следующей тетрады частного требуется один такт сложения отрицательного остатка с делителем.

Рассмотрим работу устройства в каждой из этих ситуаций.

Пусть при определении текущей десятичной цифры частного все остатки, формируемые в сумматоре 1, положительны. В этом случае устройство работает следующим образом.

На первом такте цикла схема сравнения 6 анализирует значение содержимого старших десятичных разрядов (разряда с весом целых 10^0 и двух разрядов с весом 10^{-1} и 10^{-2}) сумматора 1 (очередного остатка) и регистра 3 (восьмикратного делителя). При отрицательном результате сравнения (старшие разряды остатка меньше восьмикратного делителя) на выходе схемы сравнения 6 присутствует нуль. В этом случае, как следует из (1), текущая десятичная цифра частного меньше восьми (1000), т.е. бит ее двоично-десятичного представления (в коде 8-4-2-1) с весом "8" равен нулю. В этом случае вычитание восьмикратного делителя, хранящегося в регистре 3, не производится. Блок 5 управления формирует сигналы на выходах 13 и 12. По сигналу 13 в регистре 3 выполняется деление его содержимого на два. Поэтому к концу данного такта в регистре 3 фиксируется четырехкратный делитель.

По сигналу 12 выполняется сдвиг содержимого младшей тетрады регистра 2 частного на один бит в сторону старших разрядов. В этом случае длительность такта определяется длительностью операции деления на два в регистре 3.

Если же результат сравнения на выходе схемы 6 сравнения положителен (старшие разряды остатка больше или равны старшим разрядам восьмикратного делителя), то как следует из (1), текущая десятичная цифра частного равна "7" (0111), "8" (1000) или "9" (1001). В этом случае блок управления 5 формирует сигнал на выходе 7, по которому в сумматоре 1 из его содержимого вычитается содержимое регистра 3. Одновременно по сигналу 13 блока 5 управления в регистре 3 выполняется деление его содержимого на два (к концу такта в нем фиксируется

четырекратный делитель), а по сигналу 12 в младшей тетраде гистра 2 производится сдвиг на один бит влево. В младший бит регистра 2 при этом заносится нуль.

В этом случае длительность такта определяется длительностью операции вычитания в сумматоре 1. Знак результата вычитания поступает на входы знака 9 и 16 блока управления 5.

На втором такте блок управления 5 анализирует знак очередного остатка, сформированного в сумматоре 1. Если знак на его входе 9 положителен и на предыдущем такте выполнялось вычитание, то, следовательно, предыдущий остаток был больше восьмикратного делителя, т.е. текущая цифра частного равна "8" (1000) или "9" (1001), а ее бит с весом "8" равен единице. Поэтому блок 5 управления формирует сигнал на выходе 11, по которому младший бит регистра 2 частного устанавливается в единицу.

Одновременно схема 6 сравнения анализирует содержимое трех старших тетрад сумматора 1 (очередного остатка) и регистра 3 (четырекратного делителя). При отрицательном результате сравнения бит с весом "4" текущей тетрады частного равен нулю. Вычитание четырехкратного делителя из очередного остатка не производится. Блок 5 управления формирует сигналы на выходах 13 и 12. По сигналу 13 в регистре 3 выполняется деление его содержимого на два (к концу такта в нем фиксируется двухкратный делитель). По сигналу 12 производится сдвиг содержимого младшей тетрады регистра частного на один бит в сторону старших разрядов. В младший бит регистра 2 при этом заносится нуль.

При положительном результате сравнения (единица на выходе схемы 6 сравнения), как следует из (1), текущая десятичная цифра частного равна "3" (0011), "4" (0100), "5" (0101), "6" (0110) или "7" (0111). В этом случае блок 5 управления помимо сигналов на выходах 13 и 12 формирует сигнал на выходе 7, по которому в сумматоре 1 из его содержимого вычитается содержимое регистра 3. Знак результата вычитания поступает на входы знака 9, 16 блока 5 управления.

Третий такт выполняется аналогично второму. Блок 5 управления анализи-

рует знак остатка, поступающий на его входы 9, 16. Если он положителен (вход 9) и на предыдущем такте выполнялось вычитание, то, следовательно, предыдущий остаток был больше четырехкратного делителя, т.е. бит с весом "4" текущей тетрады частного равен единице. Поэтому блок 5 управления формирует сигнал на выходе 11, по которому младший бит регистра 2 частного устанавливается в единицу.

Одновременно схема 6 сравнения анализирует содержимое старших разрядов остатка и регистра 3 (двухкратного делителя). При отрицательном результате сравнения вычитание двухкратного делителя из очередного остатка не производится. Блок 5 управления формирует сигналы на выходах 13 и 12. По сигналу 13 в регистре 3 выполняется деление его содержимого на два (к концу такта в нем формируется однократный делитель). По сигналу 12 содержимое младшей тетрады регистра 2 сдвигается на один бит в сторону старших разрядов.

При положительном результате сравнения (признак на выходе схемы 6 сравнения равен единице), как следует из (1), значение в двух младших битах текущей тетрады частного равно 01, 10 или 11. В этом случае помимо сигналов на выходах 13 и 12 блок 5 управления формирует сигнал на выходе 7. По этому сигналу в сумматоре 1 из его содержимого вычитается содержимое регистра 3 (двухкратный делитель).

Знак результата вычитания поступает на входы знака 9, 16 блока 5 управления.

Четвертый такт выполняется аналогично. Блок 5 управления анализирует знак на входах 9, 16. Если он положителен и на предыдущем такте выполнялось вычитание, то предыдущий остаток был больше двухкратного делителя, т.е. бит с весом "2" текущей тетрады частного равен единице. Поэтому по сигналу на выходе 11 блока 5 управления младший бит регистра 2 устанавливается в единицу.

Одновременно схема 6 анализирует старшие разряды остатка и однократного делителя. При положительном результате сравнения блок 5 управления формирует сигнал на выходе 7, по которому в сумматоре 1 из его содержимого

вычитается содержимое регистра 3 (однократный делитель). В это же время появляется сигнал на выходе 12, по которому содержимое младшей тетрады регистра 2 сдвигается на один бит влево.

Сигнал на выходе 14 блока 5 управления на четвертом такте не формируется. Поэтому к концу данного такта в регистре 3 сохраняется однократный делитель.

На этом цикл определения значения текущей тетрады частного оканчивается.

На пятом такте блок 5 управления анализирует знак на входах 9, 16. Если сигнал поступил на вход 9 и на предыдущем такте выполнялось вычитание, то, следовательно, бит с весом "1" текущей тетрады частного равен единице. Поэтому на выходе 11 блока 5 управления появляется сигнал, по которому младший бит регистра 2 устанавливается в единицу. Таким образом, в младшей тетраде регистра 2 сформировалось значение тетрады частного в коде 8-4-2-1.

По сигналу на выходе 10 блока 5 управления содержимое регистра 2 частного и сумматора 1 сдвигается на тетраду в сторону старших разрядов. При этом в младшей тетраде регистра 2 устанавливается нуль. Одновременно, если на вход 9 блока 5 управления пришел сигнал, то появляется сигнал на выходе 14. По этому сигналу в регистр 3 принимается восьмикратный делитель из регистра 4.

Устройство начинает обработку следующей тетрады частного.

Рассмотрим теперь работу устройства для случая, когда при определении текущей тетрады частного в результате одного из тактов вычитания в сумматоре 1 образовался отрицательный остаток (до этого момента такая тетрада обрабатывалась аналогично).

В этом случае нет необходимости в дальнейшем определении битов текущей тетрады частного. Как следует из (1), если при вычитании K-кратного делителя в сумматоре 1 получился отрицательный остаток, то текущий бит данной тетрады частного равен нулю, а последующая группа из $\log_2 K$ битов данной тетрады равна $11\dots 1(K-1)$. При определении значения данной тетрады частного следует учесть значение ее стар-

ших битов, сформированные до получения отрицательного остатка. Так, если отрицательный остаток получился при вычитании восьмикратного делителя (8A), то тетрада частного равна 0111 ("7"); четырехкратного делителя (4A) - 011 ("3"), двухкратного делителя - V_8V_401 , однократного делителя - $V_8V_4V_20$. Здесь V_i - значения битов с весом i текущей тетрады частного, сформированные до получения в сумматоре 1 отрицательного остатка.

Очевидно, что отрицательный остаток в результате вычитания может появиться лишь в том случае, когда со- 15 держимое десятичных разрядов с весом $10^0, 10^{-1}, 10^{-2}$ сумматора 1 и регистра 3 совпадает (результат сравнения на выходе схемы 6 сравнения был положительным), т.е. выполняется условие 20 $C_i - KA^i \geq 0$, а величина L_i (см. выражение (13)) отрицательна. В этом случае, как следует из (18), значение остатка по абсолютной величине меньше 0,1A.

Поэтому сдвинутый на тетраду влево отрицательный остаток по модулю оказы- 25 вается меньше делителя A. В связи с этим программа определения следующей тетрады частного, формируемой из отрицательного остатка, может быть 30 заранее предсказана:

$$\begin{aligned} C_1 &= -C_6 + 8A > 0; \\ C_2 &= C_7 - 4A > 0; \\ C_3 &= C_2 - 2A > 0; \\ C_4 &= C_3 - A > 0; \end{aligned} \quad (20)$$

где C_0 - отрицательный остаток, полученный в ходе определения предыдущей (χ)-ой тетрады частного; C_i - 35 остатки, формируемые на i -ом такте определения текущей тетрады частного.

Поскольку все эти остатки заведомо 40 положительно, то цифра частного равна 1111. Легко показать, что если к началу определения очередной тетрады частного остаток отрицателен, то цифра десятичного частного, сформированная в результате сложений (вычитаний), превышает истинную на 45 шесть. Исходя из этого, истинная цифра частного в данном случае равна 50 $1111 - 0110 = 1001$ ("9").

Анализ последовательности действий (20) показывает, что она эквивалентна одному действию

$$C_0(\chi+1) = -C_0\chi + A \quad (21)$$

Таким образом, если в ходе деления двоично-десятичных чисел в сум-

маторе 1 получен отрицательный остаток, то цикл обработки следующей тетрады частного сводится к формированию и прибавлению делителя и отрицательному остатку и к установке в младшей тетраде регистра 2 кода 1001. Для формирования делителя может быть использовано кратное, полученное в регистре 3 к моменту получения отрицательного остатка в сумматоре 1.

После получения отрицательного остатка устройство работает следующим образом.

Тетрада частного, в ходе определения которой получен отрицательный остаток, обрабатывается, как и в предыдущем случае, за четыре такта. Но действия в сумматоре 1 после получения отрицательного остатка не выполняются.

Блок 5 управления анализирует знак на входах 9, 16. Если он отрицателен (если сигнал на входе 16) и на предыдущем такте выполнялось вычитание K -кратного делителя, то бит с весом K текущей тетрады частного равен нулю. Сигнал на выходе 11 блока 5 управления не появляется. Поэтому младший бит регистра 2 остается в нуле. По сигналу 12 содержащее младшей тетрады регистра 2 сдвигается на бит влево.

На следующих тактах обработки текущей тетрады частного блок 5 управления формирует сигналы на выходах 35 11 и 12. По сигналу 11 в младший бит регистра 2 устанавливается единица. По сигналу 12 содержимое младшей тетрады регистра 2 сдвигается на бит влево. 40 во.

Кроме того, на первых трех тактах 45 обработки текущей тетрады на выходе 13 блока 5 управления появляется сигнал, обеспечивающий деление содержимого регистра 3 на два. Поэтому к началу четвертого такта в регистре 3 фиксируется однократный делитель. На этом обработка текущей тетрады частного оканчивается. 50

На пятом такте формируются сигналы на выходах 11, 10 блока управления. По сигналу 11 в младший бит регистра 2 устанавливается единица. По сигналу 10 содержимое регистра 2 и сумматора 1 сдвигается на тетраду влево. При этом в младшей тетраде регистра 2 устанавливается нуль. 55

На шестом такте обрабатывается следующая тетрада частного (тетрада, получаемая из отрицательного остатка в сумматоре 1). Заранее известно, что ее значение равно "9" (1001). Поэтому на шестом такте блок 5 управления формирует сигнал на выходе 8. По данному сигналу в соответствии с (21) в сумматоре 1 выполняется сложение его содержимого с содержимым регистра 3 (однократным делителем). При этом в сумматоре 1 формируется положительный остаток. Кроме того, сигнал с выхода 8 поступает на вход установки девяти младшей тетрады регистра 2 частного, обеспечивая установку в данной тетраде кода 1001.

На седьмом такте блок 5 управления формирует сигналы на выходах 14, 10. По сигналу 14 в регистр 3 принимается восьмикратный делитель из регистра 4. По сигналу 10 в сумматоре 1 и регистре 2 частного выполняется сдвиг на тетраду влево.

Устройство переходит к следующему циклу - определению следующей тетрады частного. Данная тетрада отыскивается аналогично указанному для случая, когда к началу ее определения остаток в сумматоре 1 положителен. Деление считается законченным по завершению n-го цикла.

Блок 5 управления работает следующим образом. В исходном состоянии счетчик 19 установлен в нуль (потенциал на первом выходе счетчика). Триггер 20 также установлен в нуль. Каждому такту деления соответствует определенное состояние счетчика 19. После выполнения каждого такта к содержимому счетчика 19 прибавляется единица и счетчик 19 переходит в следующее состояние, соответствующее следующему такту деления.

Четырем тактам обработки тетрады частного, формируемой на основании положительного остатка, соответствуют потенциалы на первом - четвертом выходах счетчика 19 (состояния счетчика 000 + 011), такту сдвига - потенциал на пятом выходе (100 в счетчике), такту сложения при формировании тетрады частного из отрицательного остатка - потенциал на шестом выходе (101 в счетчике), такту сдвига после обработки такой тетрады - потенциал на седьмом выходе (110 в счетчике).

На каждом такте выход признака схемы 6 сравнения поступает на вход 15 блока 5 управления, выходы знаков сумматора 1 - на входы 9, 16.

На первом-четвертом тактах обработки очередной тетрады частного (потенциал на первом-четвертом выходах счетчика 19 соответственно) присутствует сигнал на выходе ИЛИ 29, на первом-третьем тактах - на выходе ИЛИ 30. Если на вход 15 блока 5 управления пришел положительный результат сравнения (единица) и остаток в сумматоре 1 положителен (потенциал на входе 9), то по приходу стробирующего сигнала с выхода делителя 18 частоты на выходе элемента И 22 появляется сигнал, поступающий на выход 7 управления вычитанием блока 5 управления. Данный сигнал поступает на установочный вход триггера 20. Поэтому к началу следующего такта триггер 20 устанавливается в единицу. Кроме того, сигнал с выхода 7 проходит на выход элемента 34 ИЛИ. Если сигнал на выходе 7 (или 8) не появляется (потенциал на выходе элемента 40 ИЛИ-НЕ), то на выход элемента 34 ИЛИ проходит сигнал с выхода генератора 17 импульсов, прошедший через элемент 28 И.

Таким образом, на выходе элемента 34 ИЛИ появляется сигнал с периодом, соответствующим периоду генератора 17 импульсов, если сложение (вычитание) в сумматоре 1 не производится, или с периодом, соответствующим периоду делителя 18 частоты, если выполняется сложение (вычитание).

Период импульсов на выходе генератора соответствует длительности такта преобразования (деления на два) в регистре 3. Период импульсов на выходе делителя 18 частоты соответствует длительности такта сложения/вычитания в сумматоре 1.

Делитель 18 частоты может быть реализован, например, на базе двоичного счетчика, на счетный вход которого поступают импульсы с выхода генератора 17. Выходом делителя 18 частоты может быть один из выходов счетчика в зависимости от соотношения длительностей сложения/вычитания и деления на два. Если, например, длительность сложения/вычитания превышает длительность деления на два

в два раза, выходом делителя частоты будет выход счетчика с весом "1", в четыре раза - выход счетчика с весом "2" и т.д.

Если остаток в сумматоре 1 положителен (потенциал на входе 9 блока 5 управления) и триггер 20 установлен в единицу (на предыдущем такте выполнялось вычитание), то стробирующий сигнал с выхода элемента 34 ИЛИ проходит через элемент 24 И и элемент 35 ИЛИ, обеспечивая появление сигнала на выходе 11 блока 5 управления, по которому младший бит регистра 2 устанавливается в единицу. Одновременно сигнал с выхода элемента 24, пройдя через элемент 31 ИЛИ, сбрасывает триггер 20 в нуль.

Кроме того, на каждом из первых трех тактов обработки тетрады (потенциалы на первых трех выходах счетчика 19) стробирующий сигнал с выхода ИЛИ 34 проходит через И 27 на выход 13 блока управления. Сигнал с выхода 13 обеспечивает деление на два со- 25 держимого регистра 3.

На каждом из четырех тактов обработки тетрады частного, формируемой из положительного остатка (потенциал на первом-четвертом выходах счетчика) 30 стробирующий сигнал с выхода элемента 34 ИЛИ проходит через элемент 26 И и элемент 36 на выход 12 блока 5 управления. По сигналу 12 осуществляется сдвиг содержимого младшей тетрады регистра 2 влево на один бит. Длительность задержки на элементе 36 соответствует времени установки младшего бита регистра 2 в единицу по сигналу 11.

Одновременно стробирующий сигнал с выхода элемента 34 ИЛИ поступает на счетный вход счетчика 19 и обеспечивает прибавление единицы к его содержимому.

После обработки четырех тактов оп- 45 ределения текущей тетрады частного счетчик 19 переходит в состояние 100 (потенциал на его пятом выходе). Если на вход 9 блока 5 управления пришел сигнал и триггер 23 установлен в единицу (на предыдущем такте в сумматоре 1 выполнялось вычитание); то стробирующий импульс с выхода элемента 34 ИЛИ проходит через элемент 24 И и элемент 35 ИЛИ, появляясь на выходе 11 блока 5 управления. Данный сигнал устанавливает младший бит регистра 2 в единицу.

Кроме того, задержанный на элементе 37 потенциал с пятого выхода счетчика 19 походит через элемент 32 ИЛИ и появляется на выходе 10 блока 5 управления. По сигналу 10 осуществляется сдвиг содержимого регистра 2 и сумматора 1 в сторону старших разрядов на тетраду.

Если в результате обработки текущей тетрады частного остаток в сумматоре 1 положителен, то потенциал с пятого выхода счетчика 19 проходит через элемент 23 И и элемент 33 ИЛИ, обеспечивая формирование сигнала на выходе 14 блока 5 управления. По данному сигналу в регистр 3 принимается восьмикратный делитель из регистра 4. Кроме того, сигнал с выхода 14, задержавшись на элементе задержки 38 (длительность задержки определяется временем приема в регистр 3), поступает на вход установки нуля счетчика 19 и сбрасывает его в нуль. В результате появляется потенциал на первом выходе счетчика 19. Начинается обработка следующей тетрады частного.

Если же в ходе обработки текущей тетрады частного на одном из тактов вычитания в сумматоре 1 образовался отрицательный остаток, то блок 5 управления начинает работать следующим образом.

Если на вход 16 блока 5 управления поступит сигнал, то элемент 22 И закрыт, сигнал на выходе 7 не появляется. Поэтому на выходе элемента 34 ИЛИ формируются стробирующие импульсы, с частотой импульсов генератора 17. На первых трех тактах обработки текущей тетрады аналогично указанному импульсы с выхода элемента 34 ИЛИ проходят через элемент 27 И и появляются на выходе 13 блока 5 управления, обеспечивая деление содержимого регистра 3 на два. К началу четвертого такта (потенциал на четвертом выходе счетчика 19) в регистре 3 фиксируется однократный делитель.

Кроме того, в результате выполнения вычитания триггер 20 устанавливается в единицу. Поэтому стробирующие импульсы с выхода элемента 34 ИЛИ проходят через элемент 25 И и, задержавшись на элементе 39, через элемент 35 ИЛИ. Длительность задержки на элементе 39 определяется продолжительностью такта деления на два.

Поэтому не следующем после получения отрицательного остатка такте на выходе 11 сигнал не появляется, младший бит регистра 3 остается в нуле. На последующих тактах отработки текущей тетрады на выходе элемента 39 и элемента 35 ИЛИ появляются сигналы, обеспечивающие установку младшего бита регистра 2 в единицу.

На четвертом такте сигнал с четвертого выхода счетчика 19 проходит через элемент 31 ИЛИ на вход установки нуля триггера 20. Поэтому к концу выполнения четвертого такта триггер 20 сбрасывается в нуль. В связи с этим на выходе 11 последним появляется сигнал, сформированный элементом 25 И на четвертом такте (на выходе элемента 39 задержки и элемента 35 ИЛИ он появляется на пятом такте).

В результате выполнения четвертого такта счетчик 19 переходит в состояние 100 (потенциал на его пятом выходе). На пятом такте формируется сигнал на выходе 10 блока 5 управления, по которому в регистре 2 и сумматоре 1 выполняется сдвиг на тетраду влево. При отрицательном остатке в сумматоре 1 (нуль на входе 9) элементы 23 И и 33 ИЛИ не срабатывают, сигнал на выходе 14 блока 5 управления не формируется. Поэтому в регистре 3 к началу отработки следующей тетрады частного сохраняется код однократного делителя, а на вход установки нуля счетчика 19 сигнал не приходит. В результате, по стробирующему импульсу с выхода элемента 34 ИЛИ счетчик 19 переходит в состояние 101 (потенциал на его шестом выходе).

На шестом такте по приходу синхросигнала с выхода делителя 18 частоты срабатывает элемент 21 И. Сигнал с его выхода поступает на выход 8 блока 5 управления, обеспечивая сложение в сумматоре 1 его содержимого с содержимым регистра 3 (делителем). Кроме того, сигнал с выхода 8 поступает на вход установки девяти младшей тетрады регистра 2. В последней устанавливается код 1001. Одновременно сигнал с выхода элемента 21 И проходит через элемент 34 ИЛИ на счетный вход счетчика 19. Поэтому счетчик 19 переходит в состояние 110 (потенциал на его седьмом выходе).

На седьмом такте срабатывают элементы 32, 33 ИЛИ. Сигнал с выхода эле-

мента 32 ИЛИ поступает на выход 10 блока 5 управления и обеспечивает сдвиг содержимого регистра 2 и сумматора 1 на тетраду влево. Сигнал с выхода элемента 33 ИЛИ поступает на выход 14 блока 5 управления, и через элемент 38 задержки - на вход установки нуля счетчика 19. Поэтому в регистре 3 принимается восьмикратный делитель из регистра 4, а счетчик 19 сбрасывается в нуль. Таким образом, блок 5 управления переходит к отработке следующей тетрады частного.

Аналогично в предлагаемом устройстве может быть выполнено деление целых десятичных чисел. При этом восьмикратный делитель в регистре 4 необходимо располагать так, чтобы старшая десятичная цифра однократного делителя занимала в нем вторую тетраду. Предварительное получение восьмикратного делителя может быть выполнено различными способами. Одним из них является получение десятикратного делителя путем сдвига делителя на один десятичный разряд влево с последующим двухкратным вычитанием делителя из полученной после сдвига величины.

Данное устройство обеспечивает выполнение деления n -разрядных десятичных чисел за среднее время, не превышающее величины

$$T_{\sigma 1} = n(4t_{\Phi} + 2t_{\Sigma} + 1,5t_{CA}) + (n-1)t_{CAВ} \quad (22)$$

где t_{σ} - длительность сравнения содержимых трех старших разрядов остатка и текущего кратного делителя;

t_{Φ} - длительность формирования кратного делителя, используемого на следующем такте (деления на два в регистре 3);

t_{CA} - длительность двоично-десятичного сложения в сумматоре 1;

$t_{CAВ}$ - длительность сдвига в регистре 2 частного и в сумматоре 1.

Среднее время деления десятичных чисел в прототипе составляет величину

$$T_{\sigma 2} = 4 \cdot n \cdot t_{CA} + (n-1) \cdot t_{CAВ} \quad (23)$$

Деление на два в регистре 3 выполняется без распространения переносов. Поэтому при больших разрядностях операндов длительность десятичного сложения t_{CA} , как правило, в несколько раз

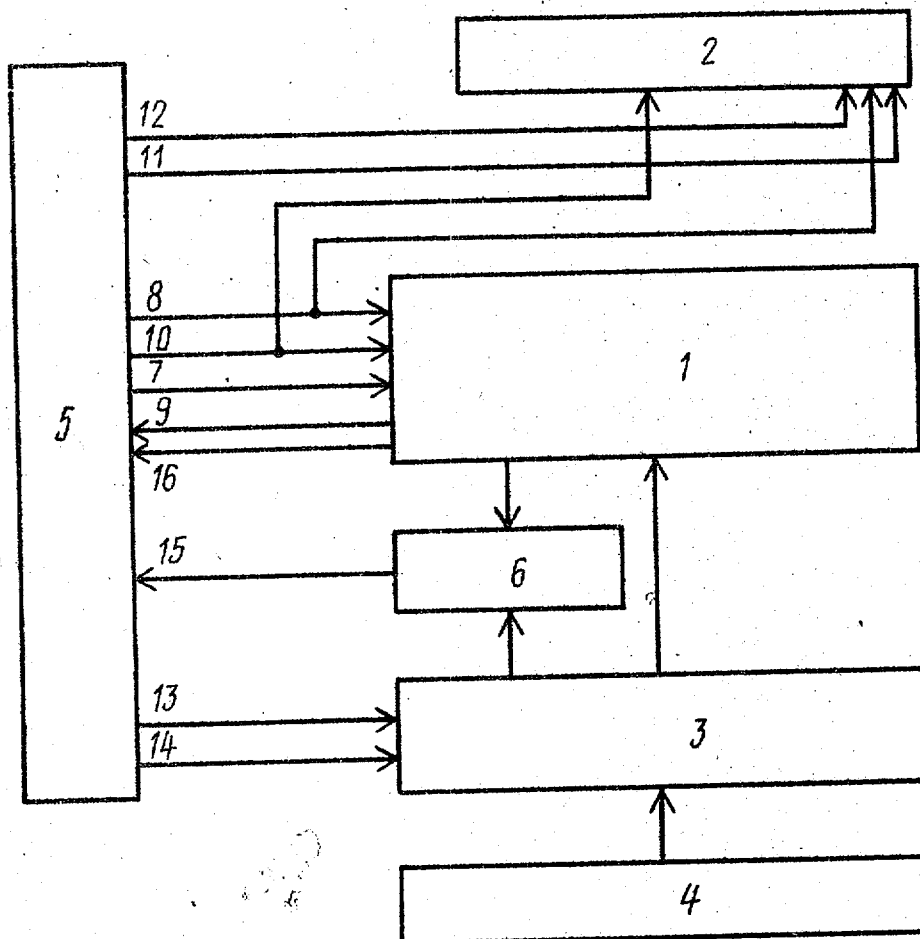
превышает продолжительность деления на два t_{ϕ} , $t_{cl} \gg t_{\phi}$.

Длительность сравнения t_{cp} содержащих трех старших разрядов остатка и текущего кратного определяется временем распространения переноса через три разряда схемы 6 сравнения. При больших n t_{cp} в несколько раз меньше, чем t_{cl} , $t_{cl} \gg t_{cp}$.

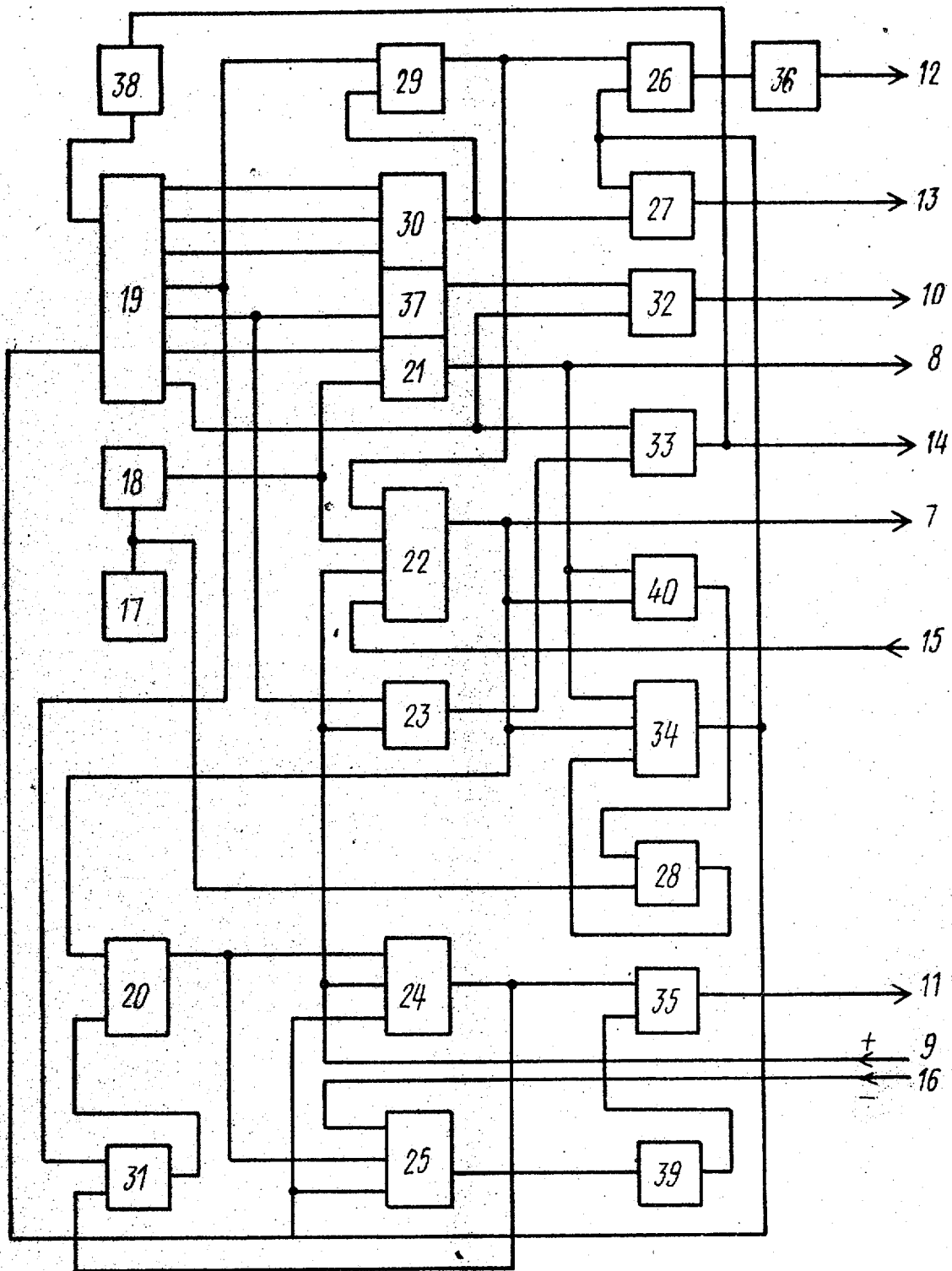
Из сравнения выражений (22) и (23) видно, что данное устройство обеспечивает деление десятичных чисел за среднее время меньше прототипа, если $t_{cl} > 1,6t_{cp} + 0,8t_{\phi}$. (24) 15

При реальных соотношениях между t_{cl} , t_{cp} и t_{ϕ} справедливых при делении многозначных десятичных чисел неравенство (24) выполняется практически всегда.

Чем больше разрядность операндов n , тем существеннее t_{cl} превышает правую часть неравенства (24). Поэтому данное устройство наиболее целесообразно использовать при делении многозначных десятичных чисел. В пределе (при $n \rightarrow \infty$) предложенное устройство позволяет повысить быстродействие в 2,66 раза по сравнению с известным устройством.



Фиг. 1



Фиг. 2

Составитель Л. Медведева
 Редактор О. Колесникова Техред Т. Маточка Корректор Г. Решетник

Заказ 7933/54 Тираж 706 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал НИИП "Патент", г. Ужгород, ул. Проектная, 4