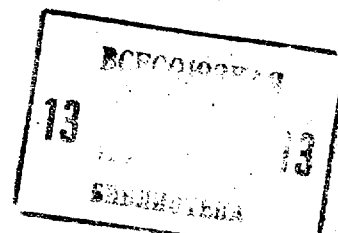




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3557225/18-24
- (22) 25.02.83
- (46) 30.06.84 Бюл. № 24
- (72) Г.П.Лопато, А.Г.Якубенко,
С.Ф.Костюк и А.И.Кузьмич
- (71) Минский радиотехнический инсти-
тут
- (53) 681.325 (088.8)
- (56) 1. Авторское свидетельство СССР
№ 391577, кл. G 06 F 7/58, 1971.
2. Авторское свидетельство СССР
№ 734768, кл. G 06 F 7/58, 1978.
3. Авторское свидетельство СССР
№ 767745, кл. G 06 F 7/58, 1978.
(прототип).

(54)(57) ГЕНЕРАТОР СЛУЧАЙНОГО ПРОЦЕССА, содержащий генератор импульсов, выход которого соединен со счетным входом первого делителя частоты и со входом "Опрос" датчика случайных чисел, первый и второй выходы которого соединены с установочными входами соответственно первого делителя частоты и реверсивного счетчика, информационный выход которого соединен с адресным входом блока памяти, отличающийся я тем, что, с целью повышения точности, он содержит два D-триггера, два элемента И, элемент ИЛИ, два делителя частоты, два регистра памяти и модулятор полярности, информационный вход которого подключен к выходу блока памяти, выход первого регистра памяти соединен с управляющими входами первого и второго делителей частоты, выход генератора импульсов соединен со счетным входом второго делителя частоты, выход которого

соединен со счетным входом третьего делителя частоты, выход которого соединен с синхронизирующим входом реверсивного счетчика, с синхронизирующим входом первого D-триггера, с первым входом синхронизации второго регистра памяти и с входом синхронизации записи первого делителя частоты, выход которого соединен с вторым синхронизирующим входом второго регистра памяти и с первыми входами первого и второго элементов И, выходы которых соединены соответственно с суммирующим и вычитающим входами реверсивного счетчика, выход переполнения которого соединен с единичным входом первого D-триггера, D-вход которого подключен к третьему выходу датчика случайных чисел, выходы первого и последнего разрядов реверсивного счетчика соединены соответственно с синхронизирующим входом и D-входом второго D-триггера, единичный выход которого соединен с первым входом элемента ИЛИ, остальные входы которого начиная со второго и до последнего подключены к выходам всех разрядов реверсивного счетчика соответственно, выход элемента ИЛИ соединен с нулевым входом первого D-триггера, нулевой и единичный выходы которого соединены с вторыми входами соответственно первого и второго элементов И, единичный выход первого D-триггера соединен с управляющим входом модулятора полярности, выход которого соединен с информационным входом второго регистра памяти, выход которого является выходом генератора.

Изобретение относится к области вычислительной техники и может быть использовано при построении вычислительно-моделирующей аппаратуры для решения задач исследования и оптимизации структурно-сложных систем, при создании автоматизированных систем испытания на вибрационные, акустические, электрические и другие воздействия.

Известно устройство, содержащее блок генераторов первичного нормального шума, блок формирующих фильтров, сумматор и нелинейный безынерционный преобразователь, позволяющее формирование процессов с произвольной заданной спектральной плотностью мощности в фиксированном диапазоне частот [1].

Недостатками устройства являются сложность технической реализации за счет множества генераторов первичного нормального шума и формирующих фильтров, ограниченность частотного диапазона низкая точность воспроизведения заданной функции спектральной плотности мощности.

Известно устройство, содержащее генератор случайных чисел, группу генераторов импульсов, группу счетных триггеров и группу элементов И, многоходовую схему ИЛИ, регистр памяти, сумматор, блок памяти, два счетчика и циклический регистр сдвига [2].

Недостатками устройства являются низкое быстродействие, так как один отсчет выходного процесса формируется путем последовательного суммирования совокупности коэффициентов тем большей, чем больше требуется точность, сложность технической реализации при необходимости обеспечения высокой точности, так как при этом устройство содержит большое количество генераторов импульсов, триггеров и элементов И, или низкая точность при малых аппаратурных затратах.

Наиболее близким к данному изобретению по технической сущности является генератор случайного процесса, содержащий генератор импульсов, делитель частоты, датчик случайных чисел, счетчик и блок памяти, соединенные последовательно, причем выход блока памяти является выходом устройства, второй вход счетчика соеди-

нен с выходом генератора импульсов [3].

Работу устройства можно представить как последовательность циклов, на каждом из которых путем последовательного циклического чтения информации из блока памяти начиная со случайного в начале цикла адреса формируется отрезок реализации процесса. В блок памяти записывается период полигармонической функции с определенными соотношениями амплитуд гармоник, с частотами, кратными частоте первой (самой низкочастотной) гармонической функции, формируемый процесс представляет собой последовательность "склеенных" отрезков одной полигармонической функции со случайными начальными фазами. При этом функции спектральной плотности мощности формируемого процесса аппроксимируются композицией компонентных функций ($\sin x/x$) с равной шириной основных лепестков, сдвинутых с равномерным шагом по оси частот, с весами, пропорциональными амплитудам соответствующих им гармоник записанной в памяти полигармонической функции.

Недостатком данного устройства является низкая точность воспроизведения произвольных заданных функций СПМ, т.е. количество компонентных функций не превышает $N/2$ где N - количество ячеек блока памяти.

Цель изобретения - повышение точности воспроизведения произвольных заданных функций спектральной плотности мощности.

Поставленная цель достигается тем, что в генератор случайного процесса, содержащий генератор импульсов, выход которого соединен со счетным входом первого делителя частоты и с входом "Опрос" датчика случайных чисел, первый и второй выходы которого соединены с установочными входами соответственно первого делителя частоты и реверсивного счетчика, информационный выход которого соединен с адресным входом блока памяти, введены два D-триггера, два элемента И, элемент ИЛИ, два делителя частоты, два регистра памяти и модулятор полярности, информационный вход которого подключен к выходу блока памяти, выход первого регистра памяти соединен с уп-

равляющими входами первого и второго делителей частоты, выход генератора импульсов соединен со счетным входом второго делителя частоты, выход которого соединен со счетным входом третьего делителя частоты, выход которого соединен с синхронизирующим входом реверсивного счетчика, с синхронизирующим входом первого D-триггера, с первым входом синхронизации, второго регистра памяти и с входом синхронизации записи первого делителя частоты, выход которого соединен с вторым синхронизирующим входом второго регистра памяти и с первыми входами первого и второго элементов И, выходы которых соединены соответственно с суммирующим и вычитающим входами реверсивного счетчика, выход переполнения которого соединен с единичным входом первого D-триггера, D-вход которого подключен к третьему выходу датчика случайных чисел, выходы первого и последнего разрядов реверсивного счетчика соединены соответственно с синхронизирующим входом и D-входом второго D-триггера, единичный выход которого соединен с первым входом элемента ИЛИ, остальные входы которого начиная со второго и до последнего подключены к выходам всех разрядов реверсивного счетчика соответственно, выход элемента ИЛИ соединен с нулевым входом первого D-триггера нулевой и единичный выходы которого соединены с вторыми входами соответственно первого и второго элементов И, единичный выход первого D-триггера соединен с управляющим входом модулятора полярности, выход которого соединен с информационным входом второго регистра памяти, выход которого является выходом генератора.

На чертеже представлена структурная схема устройства.

Устройство содержит генератор импульсов 1, первый делитель 2 частоты, датчик 3 случайных чисел, реверсивный счетчик 4, блок 5 памяти, модулятор 6 полярности, первый 7 и второй 8 регистры памяти, второй 9 и третий 10 делителя частоты, первый 11 и второй 12 элементы И, элемент ИЛИ 13, первый 14 и второй 15 D-триггеры.

Генератор 1 может быть выполнен на микросхеме 155АГ1 по типовой

схеме включения, при этом изменение частоты, необходимое при настройке, осуществляется вручную, однако для обеспечения высокой стабильности процесса, формируемого устройством, желательно применять генератор на базе кварцевого резонатора с цифровым управлением частотой.

Делители частоты 2 и 9 содержат входы исходной последовательности, входы управления коэффициентом пересчета, выходы поделенной последовательности. Делитель частоты 2 содержит также вход синхронизации установки начального состояния и вход задания кода начального состояния. Делитель частоты 10 содержит вход исходной последовательности импульсов и выход поделенной последовательности импульсов. Делители частоты могут быть выполнены на микросхемах 599ХЛ4 (по типовой схеме включения).

Реверсивный счетчик 4 (типа 155ИЕ7) содержит вход кода начального состояния, вход синхронизации установки начального состояния, входы синхронизации суммирования и вычитания, выход кода состояний и выход переполнения при суммировании.

Блок 5 памяти содержит вход адреса и выход информации. Если устройство предназначено для формирования процессов с фиксированным набором функций спектральной плотности, мощности, блок 5 памяти можно выполнить на элементах постоянной памяти, например 155РЕ3, 565РТ4, 566РТ5 и др. Если устройство предназначено для формирования процессов с произвольной функцией спектральной плотности мощности, необходимо применять элементы оперативной памяти, например 155РУ2, 188РУ2, 541РУ2 и др.

Конкретная реализация модулятора 6 полярности зависит от способа кодирования информации, записанной в блок 5 памяти. Если используется классическое представление в прямых кодах, модулятор полярности состоит из одного двухвходового элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, например 155ЛП, включенного в цепь знакового разряда. При использовании представления информации в инверсных кодах модулятор полярности состоит из группы двухвходовых элементов ИСКЛЮЧАЮЩЕЕ

ИЛИ, первые входы которых являются разрядными входами модулятора полярности, соединенные вторые входы - расходами модулятора полярности, а выходы - выходам модулятора полярности.

Регистры 7 и 8 можно выполнить на элементах 155ХЛ1, 155ТМ5, 155ТМ8 и др. Причем регистр 7 содержит вход параллельной записи и два входа синхронизации приема информации, объединенные по ИЛИ, для чего можно использовать, например, элемент 155ЛЛ1 (если применяются элементы 155ТМ5, 155ТМ8 и им подобные).

Элементы И 12 и 13 типа 155ЛАЗ.

Элемент ИЛИ 13 содержит количество входов на один больше по числу разрядов счетчика 4 и может быть выполнен на интегральных элементах 155ЛЕ3, 155ЛР1, и др. Триггеры 14 и 15 типа 155ТМ. Триггер 14 содержит вход установки единичного состояния, вход установки нулевого состояния, D-вход и вход синхронизации установки и состояния по D-входу. Вход триггера 15 объединяет два входа: D-вход, соединенный с выходом старшего разряда счетчика 4, и вход синхронизации установки состояния по D-входу, соединенный с младшими разрядом счетчика 4.

Датчик случайных чисел 3 предназначен для формирования случайных равномерно распределенных чисел.

Формируемый устройством процесс представляет собой последовательность "склеенных" отрезков периодической полигармонической функции (базовой функции процесса) со случайными отрезками к отрезку фазам. Базовая функция представляет собой сумму синусоид с частотами, кратными частоте первой (самой низкочастотной) с определенными соотношениями амплитуд и соотношениями фаз, равными нулю или π , что обеспечивает центральную симметрию базовой функции на периоде ее повторения. Причем в точке симметрии и в точках, отстоящих от нее на интервалах, кратных половине периода повторения, базовая функция равна нулю. Поэтому в блок 5 памяти устройства записывается только половина дискретных отсчетов периода базовой функции начиная с отсчета

равного нулю. При формировании процесса первая половина полигармонической функции формируется последовательным считыванием информации из блока 5 памяти в прямом направлении, вторая половина - путем реверсивного чтения с изменением знака (полярности) на противоположный.

Работу устройства представим как последовательность циклов одинаковой длительности, на каждом из которых формируется один отрезок реализации процесса, представляющий собой отрезок полигармонической функции со случайной начальной фазой.

Очередной цикл начинается выработкой импульса на выходе делителя 10 частоты, по которому триггер 14 устанавливается в случайное состояние в соответствии с состоянием сигнала на выходе датчика 3 случайных чисел, счетчик 4 устанавливается в случайное состояние, в соответствии с кодом, поступающим с выхода датчика 3 случайных чисел, делитель 2 частоты устанавливается в случайное состояние в соответствии с кодом с выхода датчика 3 случайных чисел. По импульсу с выхода делителя частоты 10 принимается также новый код процесса в регистр 7.

Рассмотрим работу устройства при условии записи в регистр 8 кода, задающего коэффициент пересчета делителей 2 и 9 частоты равным единице.

После установки в начале цикла счетчика 4 и триггера 14 в случайное состояние из блока 5 памяти по адресу, определяемому состоянием счетчика 4, считывается код отсчета полигармонической функции, поступающий через модулятор 6 полярности на вход регистра 7. По следующему импульсу с выхода делителя 2 частоты код процесса принимается в регистр 7, состояние счетчика 4 изменяется на единицу, чем подготавливается адрес чтения следующего кода отсчета полигармонической функции из блока 5 памяти. Если триггер 14 в нулевом состоянии, коды с выхода блока памяти проходят через модулятор 6 полярности без изменения, импульсы с выхода делителя 2 частоты проходят через элемент И 11 на вход синхро-

низации суммирования счетчика 4. При этом состояние счетчика 4 по каждому импульсу увеличивается, последовательность кодов полигармонической функции читается из блока 5 памяти в прямом направлении и поступает без изменения на выход устройства. При единичном состоянии триггера импульсы с выхода делителя 2 частоты проходят через элемент И 12 на вход синхронизации вычитания счетчика 4, по каждому импульсу состояние счетчика 4 уменьшается на единицу, последовательность кодов полигармонической функции читается из блока 5 памяти в обратном направлении и поступает на выход устройства через модулятор 6 полярности с инвертированием полярности.

Чтение памяти в прямом направлении идет до тех пор, пока счетчик не достигает максимального состояния, после чего с поступлением следующего импульса на вход суммирования счетчик 4 переходит в нулевое состояние и на его выходе вырабатывается импульс переполнения, по которому триггер 14 устанавливается в единичное состояние.

Так как D-вход триггера 15 соединен со старшим разрядом счетчика 4, а вход синхронизации установки состояния по D-входу соединен с младшим разрядом счетчика 4, фронтом сигнала на выходе синхронизации триггера 15 при наличии единицы в старшем разряде счетчика 4 триггер 15 устанавливается в единичное состояние. Поэтому после перехода счетчика 4 в режим прямого счета из состояния всех единиц в нулевое состояние триггер 15 всегда находится в единичном состоянии, обуславливающим выработку сигнала логической единицы на выходе элемента ИЛИ 13. Единичное состояние триггера 14 запрещает прохождение импульсов через элемент И 11 на вход суммирования счетчика 4 и разрешает прохождение импульсов через элемент И 12 на вход вычитания. При этом следующим импульсом с выхода делителя 2 частоты счетчик 4 переводится обратно в максимальное состояние. Так как импульсы делителя 2 частоты не поступают на вход суммирования счетчика 4, при максимальном состоянии счетчика 4 импульс переполнения на его выходе не выра-

батывается, с каждым последующим импульсом с выхода делителя 2 частоты состояние счетчика 4 уменьшается. При переходе от прямого чтения базовой функции к реверсивному счетчик проходит нулевое состояние, на выход устройства поступает код из последней ячейки памяти 5, затем из нулевой и опять из последней, но с противоположной полярностью. Поскольку базовая функция равна нулю в точках, кратных половине периода повторения, и в нулевую ячейку записывается код отсчета, равный нулю (центр симметрии), указанный переход счетчика 4 через нуль необходим для нормального формирования второй половины периода базовой функции. К моменту достижения счетчиком 4 в режиме обратного счета нулевого состояния в триггер 15 принимается состояние логического нуля с выхода старшего разряда счетчика 4 по фронту сигнала, поступающему на вход синхронизации установки состояния триггера 15 с младшего разряда счетчика 4. При этом при достижении счетчиком 4 нулевого состояния на всех входах элемента ИЛИ 13 сигналы логического нуля. Вырабатываемым на выходе элемента ИЛИ 13 сигналом нуля триггер 14 устанавливается в нулевое состояние, переключающее счетчик 4 в режим прямого чтения.

Вход синхронизации записи триггера 15 можно также подключить и к выходу делителя 2 частоты, при этом триггер 15 будет повторять состояние старшего разряда счетчика 4 с задержкой на один такт.

Таким образом, на каждом цикле производится последовательное периодическое чтение кодов отсчетов базовой функции с автоматическим переключением из режима прямого чтения в реверсивный и наоборот начиная со случайного в начале цикла адреса и направления чтения. Причем задание от цикла к циклу случайного равновероятного начального состояния счетчика 4 и триггера 14 обеспечивает задание случайных равномерно распределенных на периоде повторения базовой функции начальных фаз отрезкой реализации с точностью до дискретного отсчета базовой функции. Количество дискретных отсчетов выходного процесса, формируемое на каждом

цикле, определяется коэффициентом пересчета делителя 10 частоты.

При задании коэффициента пересчета делителей частоты 2 и 9 равным $g > 2$ обеспечивается задание дополнительно g равновероятных значений фазы на длительности одного периода дискретизации формируемого процесса.

Импульсом с выхода делителя 10 частоты делитель 2 частоты (его счетчик) устанавливается в равномерное в диапазоне $0-g$ состояние, причем импульсом с выхода делителя частоты принимается также новый код в регистр 7. Вследствие установки делителя частоты 2 в случайное состояние длительность первого с начала цикла интервала следования импульса на выходе делителя 2 и, следовательно, длительность первого интервала дискретизации формируемого процесса будет случайной, равномерно распределенной в интервале $0-g\Delta T$, где ΔT - длительность периода следования импульсов генератора T . Период следования последующих импульсов на выходе делителя частоты до конца цикла постоянен и равен $g\Delta T$. Длительность последнего интервала равна дополнительно длительности первого до величины $g\Delta T$.

Таким образом, с помощью делителей частоты 2 и 9 обеспечивается дополнительная модуляция положения отрезка реализации, т.е. задание дополнительного количества дискретных состояний фазы. Возможность управления количеством дополнительных состояний фазы расширяет функциональные возможности генератора случайных процессов при использовании его для формирования случайных электрических процессов в реальном масштабе времени.

Функция спектральной плотности мощности процесса, формируемого предложенным устройством определяется соотношением

$$G(\omega) = \sum_{k=-M}^M A_k \left[\frac{\sin \frac{k^* \Delta T}{2} (\omega + k \omega_1)}{\frac{k^* \Delta T}{2} (\omega + k \omega_1)} \right]^2 \quad (50)$$

где A_k - амплитуда k -й гармонической функции, входящей в базовую функцию процесса;

k^* - количество отсчетов отрезка реализации процесса (коэффициент пересчета делителя 10 частоты);

ΔT - длительность периода дискретизации формируемого процесса;

$\omega_1 = 2\pi/(N\Delta T)$ - частота первой (самой низкочастотной) гармонической функции, входящей в базовую функцию;

N - количество ячеек блока 5 памяти.

Величину N целесообразно выбирать равной целой степени двойки, так как во-первых, интегральные элементы памяти имеют емкость, равную целой степени двойки, во-вторых, для вычисления базовой полигармонической функции можно успешно применять эффективные алгоритмы быстрого преобразования Фурье. Поскольку в дискретном представлении для задания синуса по теореме Котельникова необходимо минимум две точки на период, в блок памяти устройства-прототипа можно записать период полигармонической функции с количеством гармоник кратной частоты не более $N/2$, при этом функция спектральной плотности мощности задается количеством компонентных функций $M \leq N/2$, а в предложенном устройстве вследствие использования симметрирования $M \leq N$.

Таким образом, при сохранении высокого быстродействия, предложенное устройство по сравнению с прототипом при равенстве емкости блоков памяти обоих устройств позволяет задание требуемой функции спектральной плотности мощности в два раза большим количеством компонентных функций, что значительно повышает точность задания произвольных требуемых функций спектральной плотности мощности. При обеспечении одинаковой точности предложенное устройство требует в два раза меньше информации настройки, при этом сокращается время настройки, что особенно существенно при использовании устройства в составе автоматизированных испытательных систем.

По сравнению с генератором случайных процессов установки СУВ У-ШСВЗ, позволяющим формирование случайного процесса с произвольной

функцией спектральной плотности мощности в диапазоне частот $5 + 2000$ Гц предложенное устройство позволяет формирование случайных процессов в значительно более широком диапазоне (от долей герц до нескольких мегагерц), простую перестройку частотного диапазона путем изменения частоты генератора импульсов (без изменения формы функции спектральной плотности мощности). В отличие от генератора случайных процессов установки СУВ У-ШСВЗ предложенное устройство позволяет не только формирование случайных, но и регулярных процессов, для чего необходимо запретить работу датчика случайных чисел, остановив, например его синхронизацию. Изготовленное на базе предложенного изобретения специализированное вычислительное устройство формирования электрических случайных и регулярных процессов с управляемыми спектральными характеристиками отличается от генератора случайных процессов установки СУВ У-ШСВЗ приблизительно в 10 раз меньшими габаритами и весом.

В качестве базового образца взята ЭВМ СМ-1800 вариант СМ 50/40, в состав которой входит устройство связи с объектом. Используя алгоритм функ-

ционирования предложенного устройства, с помощью данной ЭВМ можно формировать псевдослучайный процесс со структурой, аналогичной структуре процесса, формируемого предложенным устройством. Причем оба варианта обеспечивают потенциально одинаковую точность формирования процессов. Однако процесс формируемый, с помощью ЭВМ, является псевдослучайным и имеет период повторения, при решении задач исследования сложных объектов применение псевдослучайных процессов в ряде случаев недопустимо. Анализ времени выполнения операций ЭВМ СМ-1800 показывает, что быстродействие данной ЭВМ при формировании псевдослучайных процессов в 40-50 раз меньше быстродействия предложенного устройства, выполненного на интегральных схемах ТТЛ серий. Стоимость базового образца 50 тыс.руб. Стоимость изготовленного на базе предложенного изобретения устройства формирования электрических процессов с управляемыми спектральными характеристиками, ориентированного на использование в составе автоматизированных систем испытаний, 3,9 тыс.руб. Причем данное устройство отличается от ЭФМ СМ № 1800 приблизительно в 15 раз меньшими эксплуатационными затратами.

