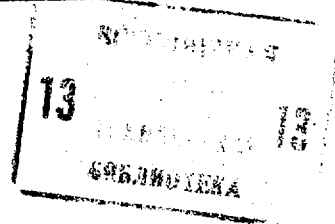




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3521151/18-24
(22) 13.12.82
(46) 30.08.84. Бюл. № 32
(72) Л.Г.Лопато и А.А.Шостак
(71) Минский радиотехнический институт
(53) 681.325(088.8)
(56) 1. Авторское свидетельство СССР № 482740, кл. G 06 F 7/52, 1973.
2. Авторское свидетельство СССР № 993255, кл. G 06 F 7/52, 1981.
3. Авторское свидетельство СССР № 1022155, кл. G 06 F 7/52, 1981 (прототип).

(54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ n -РАЗРЯДНЫХ ЧИСЕЛ, содержащее n -разрядный регистр множимого и n -разрядный регистр множителя, $(n+2)$ -разрядный регистр утроенного множимого, $2n$ -разрядный накапливающий сумматор, первую группу из $2n-4$ элементов ИЛИ, вторую группу из $n/2$ элементов ИЛИ, первую группу из $n/2$ элементов И, группу $n/2$ дешифраторов и $(n+2)$ коммутаторов, причем первые, вторые и третьи информационные входы коммутаторов соединены соответственно с разрядными выходами n -разрядного регистра множимого и $n+2$ -разрядного регистра утроенного множимого, выходы $(2n-4)$ элементов ИЛИ первой группы соединены соответственно с разрядными входами с третьего по $(2n-2)$ -й $2n$ -разрядного накапливающего сумматора, выходы каждой пары разрядов n -разрядного регистра множителя соединены с первым и вторым входами соответствующего элемента ИЛИ второй группы и с первым и вторым входами соответ-

ствующего дешифратора, вход разрешенной записи n -разрядного регистра множителя соединен с тактовым входом n -разрядного накапливающего сумматора и тактовым входом устройства, отличающееся тем, что, с целью сокращения аппаратных затрат, устройство содержит матрицу из $(n^2/2 + n)$ элементов И, содержащую $n/2$ строк и $(n+2)$ столбцов, блок выделения младшего значащего разряда содержащий первый, второй и третий элементы И, вторую группу из $n/2$ элементов И, первый и второй элементы ИЛИ, элемент ИЛИ-НЕ, причем выходы коммутаторов соединены соответственно с первыми входами элементов И столбцов матрицы, вторые входы элементов И первой строки матрицы соединены с прямым выходом первого элемента ИЛИ второй группы, вторые входы элементов И второй и третьей строк матрицы соединены с выходами соответственно первого и второго элементов И блока выделения младшего значащего разряда, входы k -го элемента ИЛИ первой группы соединены с выходами $(k+2 - 2(i-1))$ -х элементов И i -х строк матрицы, выходы первого, второго элементов И первой строки матрицы и $(n+1)$ -го и $(n+2)$ -го элементов И последней строки матрицы соединены соответственно с первым, вторым, $(2n-1)$ -м и $2n$ -м разрядными входами накапливающего сумматора, первые выходы $n/2$ дешифраторов соединены соответственно с первыми входами элементов И первой группы, вторые выходы дешифраторов соединены соответственно с первыми входами элемен-

тов И второй группы, вторые входы элементов И первой и второй групп соединены соответственно с прямым выходом первого элемента ИЛИ второй группы и выходами первого и второго элементов И блока выделения младшего значащего разряда и с входами установки в ноль $n/2$ пар разрядов n -разрядного регистра множителя, выходы элементов И первой группы соединены с входами первого элемента ИЛИ, выходы элементов И второй группы соединены с входами второго элемента ИЛИ, выход первого элемента ИЛИ соединен с первым входом элемента ИЛИ-НЕ и с первыми управляющими входами коммутаторов, выход второго элемента ИЛИ соединен с вторым входом элемента ИЛИ-НЕ и с вторыми управляющими входами коммутаторов, выход элемента ИЛИ-НЕ соединен с третьими управляющими входами коммутаторов,

прямые выходы второго и третьего элементов ИЛИ второй группы соединены соответственно с первыми входами первого и второго элементов И блока выделения младшего значащего разряда, вторые входы первого и второго элементов И и первый вход третьего элемента И блока выделения младшего значащего разряда соединены с инверсным выходом первого элемента ИЛИ второй группы, инверсный выход второго элемента ИЛИ второй группы соединен с третьим входом второго элемента И и вторым входом третьего элемента И блока выделения младшего значащего разряда, третий вход третьего элемента И которого соединен с инверсным выходом третьего элемента ИЛИ второй группы, выход третьего элемента И блока выделения младшего значащего разряда соединен с выходом окончания умножения устройства.

1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств умножения асинхронного типа.

Известно устройство для умножения n -разрядных чисел, содержащее n -разрядные регистры множимого и множителя, $2n$ -разрядный накапливающий сумматор, матрицу из n^2 элементов И, $(2n-3)$ -разрядный блок элементов ИЛИ и два n -разрядных блока элементов И. Умножение двух чисел в этом устройстве выполняется в среднем за $n/2$ тактов [1].

Недостатком данного устройства является низкое быстродействие как из-за большого числа его тактов работы, так и из-за большой длительности такта, поскольку длительность такта работы определяется временем переходного процесса в блоке элементов И, образующих последовательную цепь.

Известно также устройство для умножения n -разрядных чисел, содержащее n -разрядные регистры множимого и множителя, $2n$ -разрядный накоп-

2

ливающий и n -разрядный комбинационный сумматоры, матрицу из n^2 элементов И, $(2n-3)$ -разрядный блок элементов ИЛИ и n -разрядный блок элементов И. В этом устройстве умножение двух чисел также производится в среднем за $n/2$ тактов [2].

Недостатком этого устройства является его относительно низкое быстродействие из-за большого числа тактов работы.

Наиболее близким по технической сущности к предлагаемому является устройство для умножения n -разрядных чисел, содержащее n -разрядные регистры множимого и множителя, $(n+2)$ -разрядный регистр утроенного множимого, $2n$ -разрядный накапливающий сумматор, первый $(2n-4)$ -разрядный и второй $n/2$ -разрядный блоки элементов ИЛИ, $n/2$ -разрядный блок элементов И, $n/2$ -разрядный блок дешифраторов и $(n+2)$ -разрядный блок коммутирующих узлов, причем вторые и третьи информационные входы коммутирующих узлов блока соединены соответственно с разрядными выходами регистров множимого и утроенного

множимого, выходы элементов ИЛИ первого блока соединены соответственно с разрядными входами с третьего по $(2n-2)$ -й накапливающего сумматора, выходы каждой пары разрядов регистра множителя соединены с первым и вторым входами соответствующего элемента ИЛИ второго блока и с первым и вторым входами соответствующего дешифратора блока, вход разрешения записи регистра множителя соединен с управляющим входом накапливающего сумматора и с шиной синхронизации устройства. Умножение двух чисел выполняется в среднем за $3n/8$ тактов [3].

Недостатком известного устройства являются большие аппаратные затраты при его реализации.

Цель изобретения - сокращение аппаратных затрат при реализации устройства.

Поставленная цель достигается тем, что в устройство для умножения n -разрядных чисел, содержащее n -разрядный регистр множимого и n -разрядный регистр множителя, $(n+2)$ -разрядный регистр утроенного множимого, $2n$ -разрядный накапливающий сумматор, первую группу из $(2n-4)$ элементов ИЛИ, вторую группу из $n/2$ элементов ИЛИ, первую группу из $n/2$ элементов И, группу $n/2$ дешифраторов и $(n+2)$ коммутаторов, причем первые, вторые и третьи информационные входы коммутаторов соединены соответственно с разрядными выходами n -разрядного регистра множимого и $(n+2)$ -разрядного регистра утроенного множимого, выходы $(2n-4)$ элементов ИЛИ первой группы соединены соответственно с разрядными входами с третьего по $(2n-2)$ -й $2n$ -разрядного накапливающего сумматора, выходы каждой пары разрядов n -разрядного регистра множителя соединены с первым и вторым входами соответствующего элемента ИЛИ второй группы и с первым и вторым входами соответствующего дешифратора, вход разрешения записи n -разрядного регистра множителя соединен с тактовым входом $2n$ -разрядного накапливающего сумматора и тактовым входом устройства, введены матрица из $(n^2/2+n)$ элементов И, содержащая $n/2$ строк и $(n+2)$ столбцов, блок выделения младшего значащего разряда, содержащий первый, второй и третий элементы И, вторая группа из $n/2$ элементов И,

первый и второй элементы ИЛИ, элемент ИЛИ-НЕ, причем выходы коммутаторов соединены соответственно с первыми входами элементов И столбцов матрицы, вторые входы элементов И первой строки матрицы соединены с прямым выходом первого элемента ИЛИ второй группы, вторые входы элементов И второй и третьей строк матрицы соединены с выходами соответственно первого и второго элементов И блока выделения младшего значащего разряда, входы k -го элемента ИЛИ первой группы соединены с выходами $(k+2-2i-1)$ -х элементов И i -х строк матрицы, выходы первого, второго элементов И первой строки матрицы и $(n+1)$ -го и $(n+2)$ -го элементов И последней строки матрицы соединены соответственно с первым, вторым, $(2n-1)$ -м и $2n$ -м разрядными входами накапливающего сумматора, первые выходы $n/2$ дешифраторов соединены соответственно с первыми входами элементов И первой группы, вторые выходы дешифраторов соединены соответственно с первыми входами элементов И второй группы, вторые входы элементов И первой и второй групп соединены соответственно с прямым выходом первого элемента ИЛИ второй группы и выходами первого и второго элементов И блока выделения младшего значащего разряда и с входами установки в ноль $n/2$ пар разрядов n -разрядного регистра множителя, выходы элементов И первой группы соединены с входами первого элемента ИЛИ, выходы элементов И второй группы соединены с входами второго элемента ИЛИ, выход первого элемента ИЛИ соединен с первым входом элемента ИЛИ-НЕ и с первыми управляющими входами коммутаторов, выход второго элемента ИЛИ соединен с вторым входом элемента ИЛИ-НЕ и с вторыми управляющими входами коммутаторов, выход элемента ИЛИ-НЕ соединен с третьими управляющими входами коммутаторов, прямые выходы второго и третьего элементов ИЛИ второй группы соединены соответственно с первыми входами первого и второго элементов И блока выделения младшего значащего разряда, вторые входы первого и второго элементов И и первый вход третьего элемента И блока выделения младшего значащего разряда соединены с инверсным выходом первого элемента

ИЛИ второй группы, инверсный выход второго элемента ИЛИ второй группы соединен с третьим входом второго элемента И и вторым входом третьего элемента И блока выделения младшего значащего разряда, третий вход третьего элемента И которого соединен с инверсным выходом третьего элемента ИЛИ второй группы, выход третьего элемента И блока выделения младшего значащего разряда соединен с выходом окончания умножения устройства.

На фиг. 1 приведена структурная схема устройства для умножения n -разрядных чисел для случая $n=6$; на фиг. 2 - функциональная схема блока выделения младшего значащего разряда; на фиг. 3 - функциональная схема коммутатора.

Устройство содержит 6-разрядный регистр 1 множимого, 6-разрядный регистр 2 множителя, 8-разрядный регистр 3 утроенного множимого, 12-разрядный накапливающий сумматор 4, первую группу 5 из восьми элементов ИЛИ 6, вторую группу 7 из трех элементов ИЛИ 8₁-8₃, группу 9 из восьми коммутаторов 10, матрицу 11 из 24 элементов И 12, группу 13 из трех дешифраторов 14₁-14₃, первую 3-разрядную группу 15 элементов И, вторую 3-разрядную группу 16 элементов И, первый элемент ИЛИ 17, второй элемент ИЛИ 18, элемент ИЛИ-НЕ 19, блок 20 выделения младшего значащего разряда, выход 21 индикации окончания операции умножения и шину 22 синхронизации, причем первые информационные входы первых шести коммутаторов 10 группы 9 соединены с соответствующими разрядными выходами регистра 1 множимого, вторые информационные входы коммутаторов 10 с второго по седьмой соединены соответственно с разрядными выходами регистра 1 множимого, третьи информационные входы коммутаторов 10 с первого по восьмой группы 9 соединены соответственно с разрядными выходами регистра 3 утроенного множимого, управляющие входы коммутаторов 10 группы 9 соединены с ее шиной управления, выходы коммутаторов 10 соединены соответственно с первой группой входов матрицы 11 элементов И 12, выходы (3-10)-го разрядов которой соединены соответственно с вхо-

дами элементов ИЛИ 6 группы 5, выходы 1,2,11 и 12-го разрядов матрицы 11 элементов И 12 соединены соответственно с 1,2,11 и 12-м разрядными входами накапливающего сумматора, 4, выходы каждой из трех пар разрядов регистра 2 множителя соединены с первым и вторым входами соответствующего элемента ИЛИ 8₁-8₃ группы 7 и с первым и вторым входами соответствующего дешифратора 14₁-14₃, первые выходы дешифраторов 14₁-14₃ соединены соответственно с первыми входами элементов И 15, вторые выходы дешифраторов 14₁-14₃ соединены соответственно с первыми входами элементов И 16, выходы элементов И 15 соединены с входами первого элемента ИЛИ 17, выходы элементов И 16 соединены с входами второго элемента ИЛИ 18, выход первого элемента ИЛИ 17 соединен с первым входом элемента ИЛИ-НЕ 19 и с первым входом шины управления группы 9 коммутаторов 10, выход второго элемента ИЛИ 18 соединен с вторым входом элемента ИЛИ-НЕ 19 и с вторым входом шины управления группы 9 коммутаторов 10, выход элемента ИЛИ-НЕ 19 соединен с третьим входом шины управления группы 9 коммутаторов 10, прямые выходы элементов ИЛИ 8₁-8₃ соединены соответственно с первой группой входов блока 20 выделения младшего значащего разряда, вторая группа входов которого соединена соответственно с инверсными выходами элементов ИЛИ 8₁-8₃, выходы блока 20 выделения младшего значащего разряда соединены соответственно с второй группой входов матрицы 11 элементов И 12, с входами установки в ноль трех пар разрядов регистра 2 множителя и с вторыми входами элементов И 15 и 16, выход П* блока 20 выделения младшего значащего разряда является выходом 21 индикации окончания операции умножения, вход разрешения записи регистра 2 множителя соединен с управляющим входом накапливающего сумматора 4 и с шиной 22 синхронизации устройства.

Блок 20 выделения младшего значащего разряда предназначен для последовательного выделения единиц из 3-разрядного двоичного кода $A = a_3, a_2, a_1$, начиная с его младших разрядов, и сформированного

на прямых выходах элементов ИЛИ 8₁-8₃ (здесь и далее возрастание индексов при буквенных обозначениях принято в направлении старших разрядов). Блок 20 содержит (фиг. 2) три элемента И 23₁-23₃ и функционирует в соответствии со следующими логическими выражениями:

$$P_1 = a_1, P_2 = \bar{a}_1 \bar{a}_2, P_3 = \bar{a}_1 \bar{a}_2 a_3, P^* = \bar{a}_1 \bar{a}_2 \bar{a}_3$$

где P_1, P_2, P_3 - признаки выделения соответственно первого, второго и третьего значащих разрядов двоичного кода A ;
 P^* - признак окончания выделения значащих разрядов кода A . Этот вариант построения блока 20 выделения младшего значащего разряда обладает исключительно высоким быстродействием, особенно при малых значениях разрядности обрабатываемой информации. При больших же значениях n из-за ограниченных возможностей логических элементов целесообразно в блоке 20 использовать принцип разбиения его на группы с последовательной либо параллельной передачей между группами признаков P^* окончания выделения значащих разрядов в группах. Это позволяет при существующей элементной базе обеспечить в большинстве практических случаев время выделения значащего разряда, не превышающее величину $(2-3/\zeta)$, где ζ - задержка сигнала на одном логическом элементе.

Коммутатор i -го разряда группы 9 содержит (фиг. 3) три элемента И 24₁-24₃ и элемент ИЛИ 25, причем первые входы элементов И 24₁-24₃ являются соответственно первым, вторым и третьим информационными входами i -го коммутатора (на первый информационный вход подается значение i -го разряда регистра 1 множителя X , на второй информационный вход - значение $(i-1)$ -го разряда регистра 1 множителя X , т.е. i -ый разряд удвоенного множителя $2 \cdot X$, на третий информационный вход поступает значение i -го разряда регистра 3 утроенного множителя $3 \cdot X$), вторые управляющие входы элементов И 24₁-24₃ соединены соответственно с первым 26₁, вторым 26₂ и третьим 26₃ выходами шины управления группы 9

коммутаторов 10 (первый выход 26₁ шины управления является выходом первого элемента ИЛИ 17, второй выход 26₂ шины управления - выходом второго элемента ИЛИ 18, а третий выход 26₃ шины управления - выходом элемента ИЛИ-НЕ 19).

Таким образом, если сигнал логической единицы образуется на выходе первого элемента ИЛИ 17, то группа 9 коммутаторов 10 передает соответствующим образом на первую группу входов матрицы 11 элементов И 12 одинарное множимое $1 \cdot X$, если сигнал логической единицы образуется на выходе второго элемента ИЛИ 18 - удвоенное множимое $2 \cdot X$, если сигнал логической единицы формируется на выходе элемента ИЛИ-НЕ 19, то группа 9 коммутаторов 10 подает соответствующим образом на первую группу входов матрицы 11 элементов И 12 утроенное множимое $3 \cdot X$ (сигнал логической единицы может образоваться только на одном из выходов элементов ИЛИ 17 и 18 и элемента ИЛИ-НЕ 19, т.е. либо только на выходе первого элемента ИЛИ 17, либо только на выходе второго элемента ИЛИ 18, или же только на выходе элемента ИЛИ-НЕ 19).

Каждый из дешифраторов 14₁-14₃ может быть реализован с использованием двух двухвходовых элементов И, причем сигнал логической единицы формируется на его первом выходе тогда, когда значение соответствующей пары разрядов регистра 2 множителя равно единице, и на его втором выходе тогда, когда значение соответствующей пары разрядов регистра 2 множителя равно двум.

Устройство работает следующим образом.

В исходном состоянии в регистрах 1 и 2 хранятся без знаков 6-разрядные соответственно множимое X и множитель Y , в регистре 3 - 8-разрядное утроенное множимое $3 \cdot X$ (оно может быть предварительно сформировано либо на сумматоре 4, либо с использованием дополнительной комбинационной схемы), накапливающий сумматор 4 обнулен.

Детально работу устройства рассмотрим на примере умножения множителя X на множитель $Y = 110001$. С учетом этого в исходном состоянии на первом выходе дешифратора 14 формируется сигнал логической единицы, а на пря-

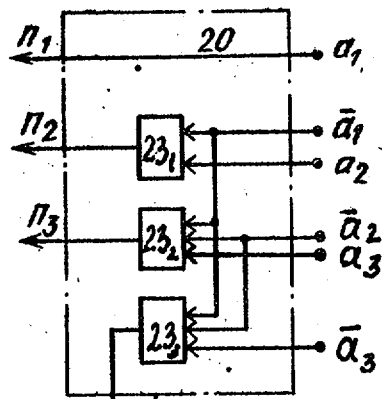
мых выходах элементов ИЛИ 8_1-8_3 образуется двоичный код $A_6=101$, из которого в блоке 20 осуществляется выделение младшего значащего разряда, что приводит к образованию сигнала признака Π_1 . По этому сигналу на выходе первого элемента ИЛИ 17 формируется сигнал логической единицы, который, поступая по шине управления группы 9 на управляющие входы его коммутаторов 10, производит передачу на выходы одинарного множимого $1 \times$, которое далее поступает на первую группу входов матрицы 11 элементов И 12 и передается с разрешения того же сигнала признака Π_1 через первую линейку элементов И 12 матрицы 11 и элементы ИЛИ 6 с определенным сдвигом на соответствующие информационные входы накапливающего сумматора 4.

Собственно работа устройства начинается с момента прихода первого синхроимпульса на шину 22 синхронизации устройства. С разрешения этого синхроимпульса осуществляется установка в ноль первой (самой младшей) пары разрядов регистра 2 множителя по сигналу признака Π_1 и производится прием информации в накапливающий сумматор 4 с его информационных входов. По окончании действия первого синхроимпульса на шине 22 устройства одновременно с суммированием в накапливающем сумматоре 4 первого частичного произведения в устройстве выполняются следующие действия: на всех выходах дешифраторов 14_1-14_3 образуются сигналы логического нуля и одновременно с этим на прямых выходах элементов ИЛИ 8_1-8_3 формируется двоичный код $A_1=100$, по которому в дальнейшем на третьем выходе блока 20 выделения младшего значащего разряда формируется сигнал признака Π_3 ; так как на всех выходах дешифраторов 14_1-14_3 сформированы сигналы логического нуля, то на выходах первого и второго элементов ИЛИ 17 и 18 также присутствуют сигналы логического нуля, а следовательно, на выходе элемента ИЛИ-НЕ 19 возникает сигнал логической единицы, который, поступая по шине управления группы 9 на управляющие входы его коммутаторов 10, произво-

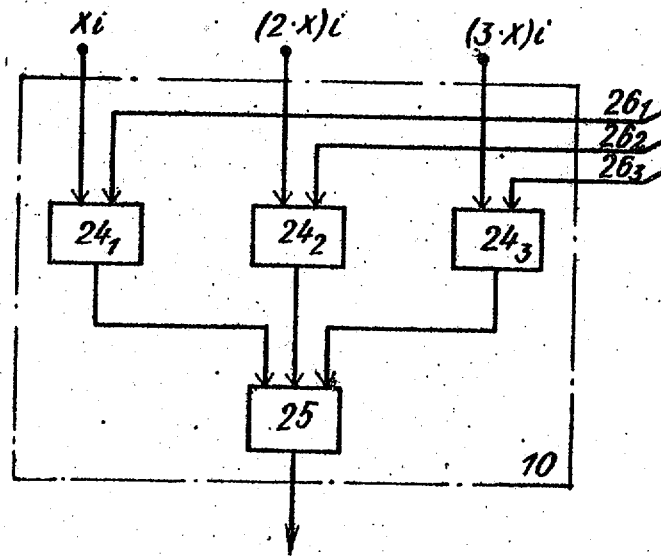
дит передачу на выходы группы 9 утроенного множимого $3 \times$, которое далее поступает на первую группу входов матрицы 11 элементов И 12; утроенное множимое $3 \times$ по сигналу признака Π_3 передается с определенным сдвигом через третью линейку элементов И 12 матрицы 11 и элементы ИЛИ 6 на соответствующие информационные входы накапливающего сумматора 4. На этом первый такт работы устройства заканчивается.

Во втором такте с разрешения второго синхроимпульса на шине 22 синхронизации устройства осуществляется установка в ноль третьей (самой старшей) пары разрядов регистра 2 множителя по сигналу признака Π_3 и производится прием информации в накапливающий сумматор 4 с его информационных входов. По окончании действия второго синхроимпульса на шине 22 устройства одновременно с суммированием в накапливающем сумматоре 4 второго частичного произведения на прямых выходах элементов ИЛИ 8_1-8_3 формируется двоичный код $A_2=000$, по которому на выходе окончания выделения блока 20 выделения младшего значащего разряда формируется сигнал признака Π^* . Этот сигнал поступает на выход 21 устройства, сигнализируя об окончании умножения чисел. Таким образом, умножение в устройстве двух рассмотренных 6-разрядных чисел выполнено за два такта. В общем же случае умножение двух n -разрядных чисел в предлагаемом устройстве, так же как и в известном [3] выполняется в среднем за $3 \cdot n/8$ тактов, причем длительность такта определяется либо временем сложения $(n+2)$ -разрядных чисел в накапливающем сумматоре 4, либо задержкой информации в блоках 5, 7, 9, 15, 20, в матрице 11 и на элементах 17 и 19.

Технико-экономическое преимущество предлагаемого устройства в сравнении с прототипом состоит в значительно меньших аппаратных затратах при его реализации. Так, например, при $n=32$ в устройстве при его реализации требуется в 1,7 раза меньше аппаратуры. Скорость же работы предлагаемого устройства не ниже скорости работы прототипа.



Фиг. 2



Фиг. 3

Редактор М.Петрова Составитель В.Виноградов Техред М.Надь Корректор О.Тигор

Заказ 6311/39 Тираж 698 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4