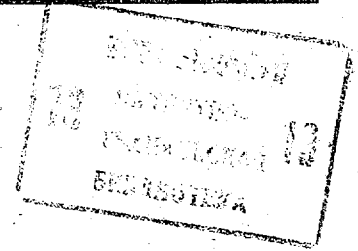




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3455561/18-24
(22) 21.06.82
(46) 07.11.83. Бюл. № 41
(72) Г.П.Лопато и А.А.Шостак
(71) Минский радиотехнический институт
(53) 681.325 (088.8)
(56) 1. Бут Э. и Бут К. Автоматические цифровые машины. М., ГИФМЛ, 1959, с. 74-75.
2. Прангишвили И.В. и др. Микроэлектроника и однородные структуры для построения логических и вычислительных устройств. М., "Наука", 1967, с. 180.
3. Дроздов Е.А. и др. Электронные вычислительные машины единой системы. М., "Машиностроение", 1981, с.110-118.
4. Поснов Н.Н. Метод десятичного умножения с последовательной заготовкой кратных множимого. - "Вестник АН БССР. Сер. физико-техн. наук", 1964, № 2, с.12-15 (прототип).
5. Гольшев Л.К. Структурная теория цифровых машин. М., "Энергия", 1971, с. 239-241 и 285-286.
6. Овчинников В.В. и др. Проектирование быстродействующих микроэлектронных цифровых устройств. М., "Советское радио", 1975, с. 72-75.
7. Справочник по интегральным микросхемам. Под ред. Б.В.Тарабрина, М., "Энергия", 1980, с.160-161.
8. Авторское свидетельство СССР № 703808, кл. G 06 F 7/38, 1977.

(54) (57) МНОЖИТЕЛЬНОЕ УСТРОЙСТВО, содержащее n -разрядный регистр множителя (n -разрядность десятичных

смножителей), $(n+1)$ -разрядный регистр множимого со схемой удвоения, блок суммирования, выход которого является выходом устройства, отличающемся тем, что, с целью повышения быстродействия, оно содержит матрицу из $(n+1) \cdot n$ узлов тетрадного умножения, $2n$ узлов тетрадного суммирования, $2n$ буферных регистров, $2n$ коммутаторов и $2n$ узлов преобразования двоичного кода в десятичный, причем первые входы узлов тетрадного умножения матрицы соединены с выходами соответствующих тетрад регистра множимого, а вторые входы - с выходами младших разрядов соответствующих тетрад регистра множителя, входы узлов тетрадного суммирования соединены с выходами соответствующих буферных регистров и узлов тетрадного умножения, а выходы соединены с входами соответствующих буферных регистров и узлов преобразования двоичного кода в десятичный, а также с первыми входами соответствующих коммутаторов, выходы узлов преобразования двоичного кода в десятичный соединены с вторыми входами соответствующих коммутаторов, выходы которых соединены с равновесовыми входами блока суммирования; управляющие входы коммутаторов и блока суммирования, а также первый управляющий вход регистра множимого соединены с входом режима работы устройства, управляющие входы буферных регистров и регистра множителя, а также второй управляющий вход регистра множимого соединены с входом синхронизации устройства.

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в двоично-десятичной системе счисления.

Известно множительное устройство, содержащее накопитель (блок формирования произведения) и осуществляющее умножение множимого X на множитель $Y = Y_n \dots Y_1$, причем в предварительно очищенный накопитель множимое X прибавляется Y_1 раз, затем оно сдвигается влево на один разряд и вновь прибавляется в накопитель Y_2 раз и так до тех пор, пока не будут обработаны все разряды множителя Y [1].

Недостатком устройства является низкое быстродействие, особенно при умножении десятичных чисел. Так, для перемножения двух n -разрядных десятичных чисел в известном устройстве требуется время, примерно равное $T_{10}^{(1)} \approx 4,5 \cdot n \cdot t_{см}$, где $t_{см}$ - время суммирования двух n -разрядных десятичных чисел.

Здесь предполагалось, что цифры 0, 1, 2, ..., 9 появляются во всех разрядах множителя Y с равной вероятностью.

Известно одноктактное множительное устройство, содержащее n -разрядные регистры множимого и множителя, матрицу из n одноразрядных умножителей и множество одноразрядных сумматоров для суммирования разрядных произведений [2].

Хотя устройство и отличается высоким быстродействием, однако оно имеет следующие существенные недостатки. Во-первых, на этом устройстве нельзя наряду с умножением десятичных чисел выполнять умножение и двоичных чисел, а поэтому оно не может найти широкого применения в современных ЭВМ общего назначения, использующих как десятичную, так и двоичную систему счисления [3]. Во-вторых, устройство требует для своей реализации очень большого объема оборудования.

Наиболее близким к изобретению является множительное устройство, содержащее n -разрядный регистр множителя (n -разрядность десятичных сомножителей), $(n+1)$ -разрядный регистр множимого со схемой удвоения, блок сдвига, блок суммирования и блок управления, причем входы блока управления соединены с выходами регистра множителя, а выходы подключены к управляющим входам регистров множимого и множителя, а также к управляющим входам блока сдвига с соответствующими входами блока суммирования, выход которого является выходом устройства [4].

В известном устройстве реализуется алгоритм десятично-двоичного умножения двоично-десятичных чисел [5] и время перемножения двух n -разрядных десятичных чисел примерно равно

$$T_{10}^{(4)} \approx 1,5 \cdot n \cdot (t'_{см} + t'_{выг}) + 3 \cdot t_{удв},$$

где $t_{см}$ - время суммирования двух $2n$ -разрядных десятичных чисел;

$t_{выг}$ - время, затрачиваемое на выделение единиц из двоично-десятичного кода множителя;

$t_{удв}$ - время выполнения удвоения (умножения на два) множимого в регистре множимого;

1,5 - n - составляющая, определяющая среднее число единиц в двоично-десятичном коде множителя.

Известное устройство при несущественных изменениях может быть использовано и для умножения двоичных чисел. Поэтому в дальнейшем будем предполагать, что оно позволяет перемножать наряду с десятичными числами и двоичные.

Основным недостатком известного устройства является относительно низкое быстродействие.

Цель изобретения - повышение быстродействия множительного устройства.

Поставленная цель достигается тем, что, в множительное устройство, содержащее n -разрядный регистр множителя (n -разрядность десятичных сомножителей), $(n+1)$ -разрядный регистр множимого со схемой удвоения, блок суммирования, выход которого является выходом устройства, введены матрица из $(n+1) \cdot n$ узлов тетрадного умножения, $2n$ узлов тетрадного суммирования, $2n$ буферных регистров, $2n$ коммутаторов и $2n$ узлов преобразования двоичного кода в десятичный, причем первые входы узлов тетрадного умножения матрицы соединены с выходами соответствующих тетрад регистра множимого, а вторые входы - с выходами младших разрядов соответствующих тетрад регистра множителя, входы узлов тетрадного суммирования соединены с выходами соответствующих буферных регистров и узлов тетрадного умножения, а выходы соединены с входами соответствующих буферных регистров и узлов преобразования двоичного кода в десятичный, а также с первыми входами соответствующих коммутаторов, выходы узлов преобразования двоичного кода в десятичный соединены с вторыми входами соответствующих коммутаторов, выходы которых соединены с равновесными входами блока суммирования; управляющие входы коммутаторов и блока суммирования, а также первый управляющий вход регистра множимого

соединены с входом режима работы устройства, управляющие входы буферных регистров и регистра множителя, а также второй управляющий вход регистра множителя соединены с входом синхронизации устройства.

На фиг.1 приведена структурная схема предлагаемого множительного устройства; на фиг.2 и 3 - возможные варианты реализации узла тетрадного суммирования.

Устройство содержит (фиг.1) n -разрядный регистр 1 множителя (n - разрядность десятичных сомножителей), $(n+1)$ -разрядный регистр 2 множителя со схемой удвоения (схема удвоения не показана), матрицу 3 из $(n+1) \cdot n$ узлов 4 тетрадного умножения, $2n$ узлов 5 тетрадного суммирования, $2n$ буферных регистров 6, $2n$ узлов 7 преобразования двоичного кода в десятичный, $2n$ коммутаторов 8, блок 9 суммирования, вход 10 режима работы устройства, вход 11 синхронизации и выход 12 устройства. Первые входы узлов 4 тетрадного умножения матрицы 3 соединены с выходами соответствующих тетрад регистра 2 множителя, а вторые входы соединены с выходами младших разрядов соответствующих тетрад регистра 1 множителя, входы узлов 5 тетрадного суммирования соединены с выходами соответствующих буферных регистров 6 и узлов 4 тетрадного умножения, а выходы соединены с входами соответствующих буферных регистров 6 и узлов 7 преобразования двоичного кода в десятичный, а также с первыми входами соответствующих коммутаторов 8, выходы узлов 7 преобразования двоичного кода в десятичный 7 соединены с вторыми входами соответствующих коммутаторов 8, выходы которых соединены с равновесными входами блока 9 суммирования, управляющие входы коммутаторов 8 и блока 9 суммирования, а также первый управляющий вход регистра 2 множителя соединены с входом 10 режима работы устройства, управляющие входы буферных регистров 6 и регистра 1 множителя, а также второй управляющий вход регистра 2 множителя соединены с входом 11 синхронизации устройства.

Вход 10 режима работы предназначен для настройки устройства на умножение двоичных или десятичных чисел. Так, например, если на этом входе присутствует высокий потенциал, устройство выполняет умножение двоичных чисел, в противном случае оно настраивается на перемножение десятичных чисел. Вход 11 устройства является синхронизирующим. По сигналу на этом входе осуществляются одновременно сдвиг информации на один двоичный разряд в тетрадах регистра 1 множителя в сторону их младших

разрядов, удвоение содержимого регистра 2 множителя и прием информации в буферные регистры 6 устройства.

Регистр 1 множителя может быть построен на двухтактных синхронных D-триггерах. В нем должны быть предусмотрены цепи сдвига информации на один двоичный разряд в направлении к младшим разрядам либо во всех двоичных разрядах, либо только в двоичных разрядах тетрад. Регистр 2 множителя $(n+1)$ -разрядный. Дополнительный $(n+1)$ -ый разряд (тетрада) введен с целью устранения искажения информации в регистре 2 множителя после выполнения в нем многократного удвоения (содержимое регистра 2 множителя в процессе умножения три раза удваивается, т.е. в результате оно умножается на восемь). Этот регистр, так же как и регистр 1 множителя, может быть реализован на двухтактных синхронных D-триггерах. Схема удвоения в регистре 2 может быть разработана как в известном устройстве.

В узлах 4 тетрадного умножения матрицы 3 формируются произведения содержимого соответствующей тетрады регистра 2 множителя на значение младшего разряда соответствующей тетрады регистра 1 множителя. Каждый узел 4 может быть реализован на четырех двухвходовых элементах И.

Все узлы 5 тетрадного суммирования являются узлами комбинационного типа. В каждом такте работы устройства в этих узлах осуществляется суммирование тетрадных произведений, сформированных в данном такте на выходах соответствующих узлов 4 тетрадного умножения, и прибавление к получившемуся при этом результату содержимого соответствующего буферного регистра 6, сформированного на предыдущем такте работы устройства. Так как в узлах 5 тетрадного суммирования, расположенных в разных весовых позициях, суммируется разное число тетрадных произведений, схемные структуры их будут несколько отличаться (это справедливо в отношении буферных регистров 6, узлов 7 преобразования двоичного кода в десятичный и коммутаторов 8). Поэтому детально рассмотрим схемные структуры узлов, расположенных только во второй весовой позиции (первая весовая позиция имеет наименьший вес). Рассмотрение схемной структуры узла 5 тетрадного суммирования будет вестись совместно с анализом схемной структуры буферного регистра 6. Первоначально оценим минимальную разрядность буферного регистра 6. Она должна определяться при условии, что устройство обрабатывает двоичные операнды, так как при умножении десятичных чисел разрядность

буферного регистра может быть и меньшей. В верхнем узле 7 тетрадного умножения, расположенном на второй весовой позиции, в течение первых трех тактов работы устройства формируются следующие максимально возможные значения тетрадных произведений 1111, 1111 и 1111 (сумма этих произведений равна 101101), в то время, как в нижнем узле 4 образуются произведения 1111, 1110 и 1100 (их сумма равна 101001). Здесь не учитывались тетрадные произведения, которые формируются в последнем (четвертом) такте работы устройства, так как в этом такте в буферный регистр 6 не производится запись информации. Итак, на выходе узла 5 тетрадного суммирования в третьем такте работы устройства не может быть сформирован результат, превышающий значение $101101+101001=1010110$, а следовательно, разрядность буферного регистра 6 может быть выбрана равной семи. Аналогично можно показать, что при умножении десятичных чисел достаточно использовать шестиразрядный буферный регистр 6. С учетом этого на фиг.2 приведена функциональная схема узла 5 тетрадного суммирования совместно со схемой буферного регистра 6, который включает семь двухтактных синхронных D-триггеров 15. Узел тетрадного суммирования 5 содержит четыре одноразрядных двоичных сумматора 13 и шестиразрядный двоичный комбинационный сумматор 14 с ускоренным образованием разрядных переносов. По шинам 16 и 17 на входы узла 5 тетрадного суммирования поступают произведения, сформированные на выходах соответственно верхнего и нижнего узлов 4 тетрадного умножения. В каждом такте работы устройства в узле 5 тетрадного суммирования производится сложение трех слагаемых: первого тетрадного произведения, поступающего по шинам 16; второго тетрадного произведения, подаваемого по шинам 17; содержимого буферного регистра 6. Получившийся при этом в узле 5 результат записывается в буферный регистр 6 с разрешения сигнала на входе 11 синхронизации устройства (в последнем четвертом такте работы устройства запись информации в буферный регистр 6 не производится).

Вариант реализации узла 5 (фиг.3) позволяет обеспечить более высокое быстродействие устройства для умножения чисел. Согласно этому варианту узел 5 тетрадного суммирования содержит каскад 18 одноразрядных двоичных сумматоров 13, на выходе которого сумма тетрадных произведений формируется в двухрядном коде (разрядные суммы записываются в верх-

ний ряд триггеров 15 регистра 6, а разрядные переносы - в нижний ряд триггеров 15). Более высокое быстродействие узла 5 тетрадного суммирования обеспечивается тем, что в первых трех тактах работы устройства в нем не осуществляется приведение двухрядного кода в однорядный (на что, как правило, требуется существенное время), и только в последнем такте работы устройства двухрядный код приводится к однорядному на комбинационном сумматоре 19 с ускоренным образованием разрядных переносов. Подобным образом могут быть разработаны другие схемные структуры узлов 5 тетрадного суммирования.

Результаты, оформленные на выходах узлов 7 преобразования двоичного кода в десятичный, используются в устройстве только в режиме десятичного умножения. Эти узлы предназначены для преобразования двоичного кода, сформированного на выходе соответствующего узла 5 тетрадного суммирования в последнем такте работы устройства, в двоично-десятичный код (например, в код 8421). Они могут быть построены с использованием быстродействующих ПЗУ по таблицам истинности известными методами [6].

Для определенности детально рассмотрим синтез узла 7, расположенного на второй весовой позиции устройства. Сначала необходимо определить, какое максимальное значение двоичного кода должен преобразовывать этот узел. При этом будем руководствоваться следующим. В верхнем узле 4 тетрадного умножения, расположенном на второй весовой позиции, в течение четырех тактов работы устройства при умножении десятичных чисел могут формироваться следующие максимально возможные значения тетрадных произведений: 0000, 1001, 1001 и 1001, в то время, как в нижнем узле 4 могут сформироваться только такие максимально возможные произведения: 0000, 1001, 1000 и 0110 (приведенные максимальные значения тетрадных произведений возможны в устройстве только тогда, когда две младшие цифры множимого равны девяти - код 1001), а две младшие цифры множителя равны семи - (код 0111). Ввиду этого на выходе узла 5 тетрадного суммирования, расположенного на второй весовой позиции, после выполнения четырех тактов не может быть образовано значение двоичного кода, превышающее величину 110010, так как $1001+1001+1001+1001+1000+0110=110010_2=(50)_{10}$. А поэтому узел 7 преобразования двоичного кода в десятичный может быть построен на ПЗУ емкостью в пятьдесят одно семirazрядное двоичное слово. Так, например, если на адресный вход ПЗУ подавать

двоичный код 001111, на его выходе должен формироваться двоично-десятичный код 011.0101, численно равный десятичному коду, поступающему на адресный вход ПЗУ. Узел 7, расположенный на второй весовой позиции, впрочем как и другие узлы 7 устройства, можно реализовать и на основе широко применяемых интегральных схем серии K155, в этой серии имеется специальный элемент ПР7 преобразования двоичного кода в десятичный [7].

Коммутаторы 8 в режиме двоичного умножения осуществляют подключение к входам блока 9 суммирования выходов узлов 5 тетрадного суммирования а в режиме десятичного умножения - выходов узлов 7 преобразования двоичного кода в десятичный.

Таким образом, в предлагаемом устройстве узлы 5 и 7, а также буферные регистры 6 и коммутаторы 8, расположенные на разных весовых позициях, будут иметь и разные схемные структуры. При необходимости обеспечения однородности структуры устройства можно ограничиться детальным анализом и синтезом только узлов 5 и 7, буферного регистра 6 и коммутатора 8, расположенных на n -ой весовой позиции, причем эта совокупность может быть конструктивно выполнена в виде единого модуля, используемого на всех весовых позициях устройства и реализованного, например, как большая интегральная схема (на фиг.1 этот модуль отмечен штриховыми линиями).

Блок 9 предназначен для окончательного суммирования результатов, сформированных на выходах узлов 5 тетрадного суммирования (в режиме двоичного умножения) или узлов 7 преобразования двоичного кода в десятичный (в режиме десятичного умножения), после выполнения четырех тактов работы устройства. Предполагается, что этот блок комбинационного типа. На его выходе, являющемся и выходом 12 устройства, формируется $2n$ -разрядное произведение при умножении десятичных чисел и $8n$ -разрядное произведение при умножении двоичных чисел. Схемная структура блока 9 суммирования зависит от разрядности перемножаемых чисел. Так, при умножении двухразрядных десятичных и восьмиразрядных двоичных чисел в качестве блока 9 суммирования можно использовать быстродействующий двухвходовый комбинационный сумматор для сложения двоичных и десятичных чисел [8]. При перемножении чисел большей разрядности может оказаться необходимым использование трехвходового сумматора или же сумматора с еще большим числом входов. В большинстве случаев в устройстве в

качестве блока 9 суммирования используется двухвходовый либо трехвходовый быстродействующий параллельный комбинационный сумматор, позволяющий суммировать как двоичные, так и десятичные числа (трехвходовый сумматор может быть построен на основе двух двухвходовых сумматоров, соединенных последовательно).

Множительное устройство работает следующим образом.

Для определенности рассмотрим режим десятичного умножения. В исходном состоянии в регистре 1 множителя хранится n -разрядный множитель, в регистре 2 множимого - n -разрядное множимое, буферные регистры 6 обнулены (здесь не рассматриваются знаки сомножителей, а также предполагается, что сомножители представлены в прямом коде). На входе 10 режима работы устройства присутствует низкий потенциал, означающий, что устройство настроено на умножение десятичных чисел. При этом в регистре 2 множимого включены цепи удвоения его содержимого, выходы узлов 7 преобразования двоичного кода в десятичный подключены через коммутаторы 8 к соответствующим входам блока 9 суммирования, который, в свою очередь, настроен на суммирование десятичных чисел.

В первом такте работы устройства в узлах 4 матрицы 3 формируются тетрадные произведения, которые в дальнейшем суммируются с учетом занимаемых ими весовых позиций в соответствующих узлах 5 тетрадного суммирования. Первый такт работы устройства заканчивается с приходом на вход 11 устройства первого синхроимпульса, по которому производятся одновременно запись результатов с выходов узлов 5 в соответствующие буферные регистры, сдвиг информации на один двоичный разряд в направлении младших разрядов в тетрадах регистра 1 множителя и удвоение содержимого регистра 2 множимого.

Во втором и третьем тактах устройство работает аналогично.

Основное отличие в работе устройства в четвертом (последнем такте) состоит в том, что на вход 11 устройства не поступает синхроимпульс, а результаты, сформированные на выходах узлов 5 тетрадного суммирования, после предварительного их преобразования в узлах 7 через коммутаторы 8 поступают на соответствующие входы блока 9 суммирования, на выходе которого и формируется окончательное $2n$ -разрядное произведение.

Итак, независимо от разрядности перемножаемых чисел, окончательный результат формируется за четыре такта, а время умножения двух n -разряд-

ных десятичных чисел составляет величину, примерно равную

$$T_{10}^{(*)} \approx 3 \cdot (t_4 + t_5 + t_2) + t_4 + t_5 + t_7 + t_8 + t_9,$$

где t_p - задержка информации в узле с порядковым номером p (предполагается, что $t_6 < t_2$ и $t_1 < t_2$, что вполне реально).

При умножении двоичных чисел основные отличия в работе устройства состоят в том, что в регистре 2 множимого удвоение его содержимого фактически сводится к простому сдвигу в нем информации на один двоичный разряд влево, блок 9 суммирования настраивается на суммирование двоичных чисел и в последнем (четвертом) такте работы устройства результаты, сформированные на выходах узлов 5 тетрадного суммирования, минуя узлы 7 преобразования двоичного кода в десятичный, передаются через коммутаторы 8 на соответствующие входы блока 9 суммирования. Время умножения четырех n -разрядных двоичных чисел составляет величину

$$T_2^{(*)} \approx 3 \cdot (t_4 + t_5 + t_2) + t_4 + t_5 + t_8 + t_9.$$

В известном устройстве время умножения двух n -разрядных десятичных чисел примерно равно

$$T_{10}^{(4)} \approx 1,5 \cdot n \cdot (t'_{см} + t_{выд}) + 3 \cdot t_{чав},$$

в то время, как в предлагаемом устройстве оно составляет величину

$$T_{10}^{(*)} \approx 3 \cdot (t_4 + t_5 + t_2) + t_4 + t_5 + t_7 + t_8 + t_9.$$

Пусть $n = 8$, $t = 14 \text{ нс}$, $t_{вх} = 8 \text{ нс}$, $t_{чав} = 6 \text{ нс}$, $t_4 = 8$, $t_5 = 5 \text{ нс}$, $t_2 = t_{чав} = 6 \text{ нс}$, $t_7 = 8 \text{ нс}$ и $t_9 = 2t_{см} = 28 \text{ нс}$, где нс - задержка на одном логическом элементе.

Тогда $T_{10}^{(4)} = 282 \text{ нс}$, в то время, как $t^* = 79 \text{ нс}$, т.е. предлагаемое устройство имеет примерно в 3,5 раза более высокое быстродействие, чем известное.

Умножение двоичных чисел в известном устройстве производится за время

$$T_2^{(4)} \approx 2 \cdot n \cdot (t'_{см} + t_{выд}) + 3 \cdot t_{чав},$$

а в предлагаемом устройстве это время примерно равно

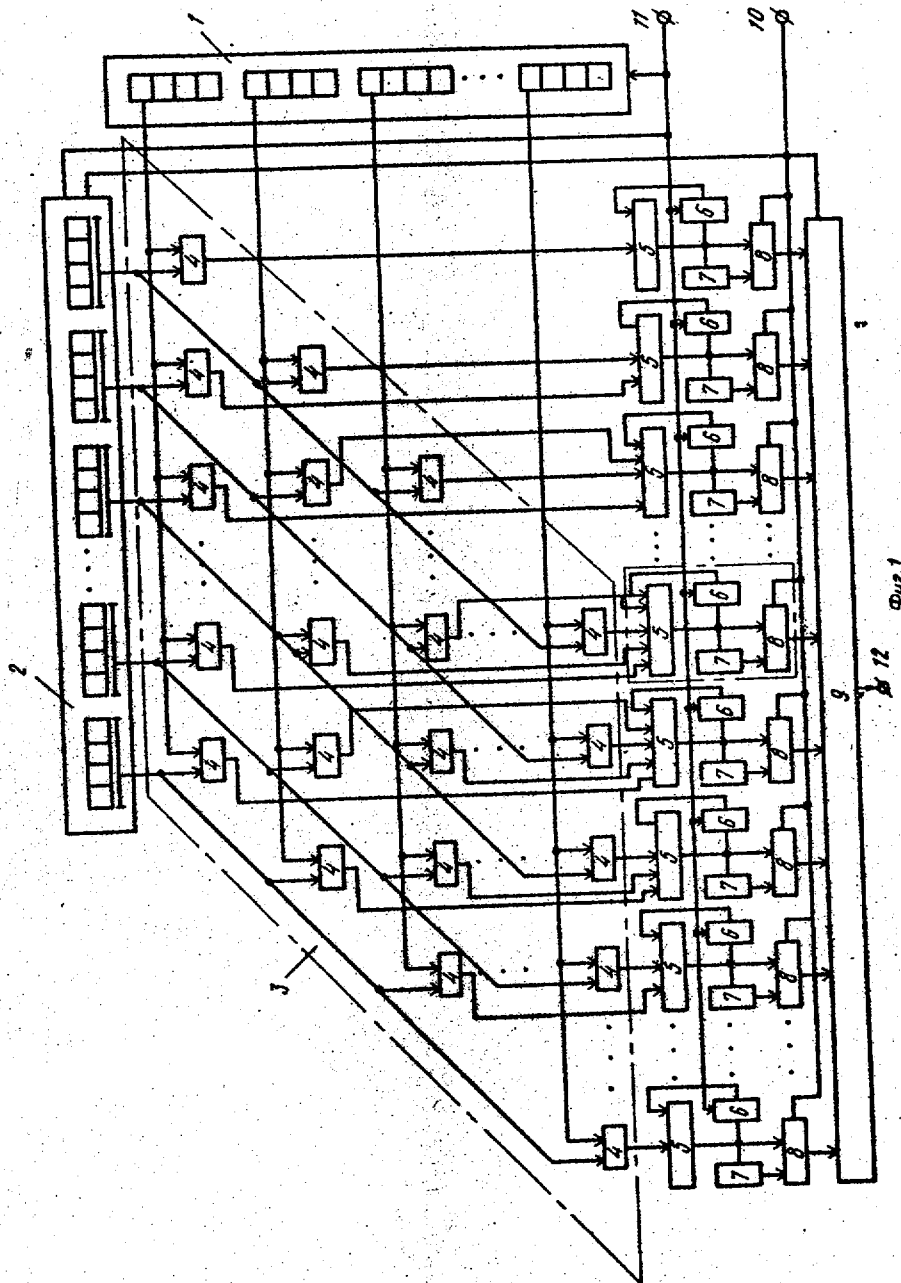
$$T_2^{(*)} \approx 3 \cdot (t_4 + t_5 + t_2) + t_4 + t_5 + t_8 + t_9.$$

Тогда с учетом принятых допущений получаем, что

$$T_2^{(4)} \approx 370 \text{ нс} \text{ и } T_2^{(*)} \approx 74 \text{ нс},$$

а следовательно, умножение двоичных чисел в предлагаемом устройстве выполняется примерно в 5,2 раза быстрее, чем в известном.

Итак, технико-экономическое преимущество предлагаемого множительного устройства в сравнении с известным состоит в значительно более высоком быстродействии. Так, например, перемножение восьмиразрядных десятичных чисел выполняется в нем примерно в 3,5 раза быстрее, чем в известном устройстве. При умножении же двоичных чисел обеспечивается еще больший выигрыш в быстродействии. Так, умножение 32-разрядных двоичных чисел производится примерно в 5,2 раза быстрее. Вместе с тем, столь существенное увеличение быстродействия устройства достигается при умеренных затратах используемого в нем оборудования, так как умножение десятичных чисел выполняется в основном на том же оборудовании, что и двоичных чисел.



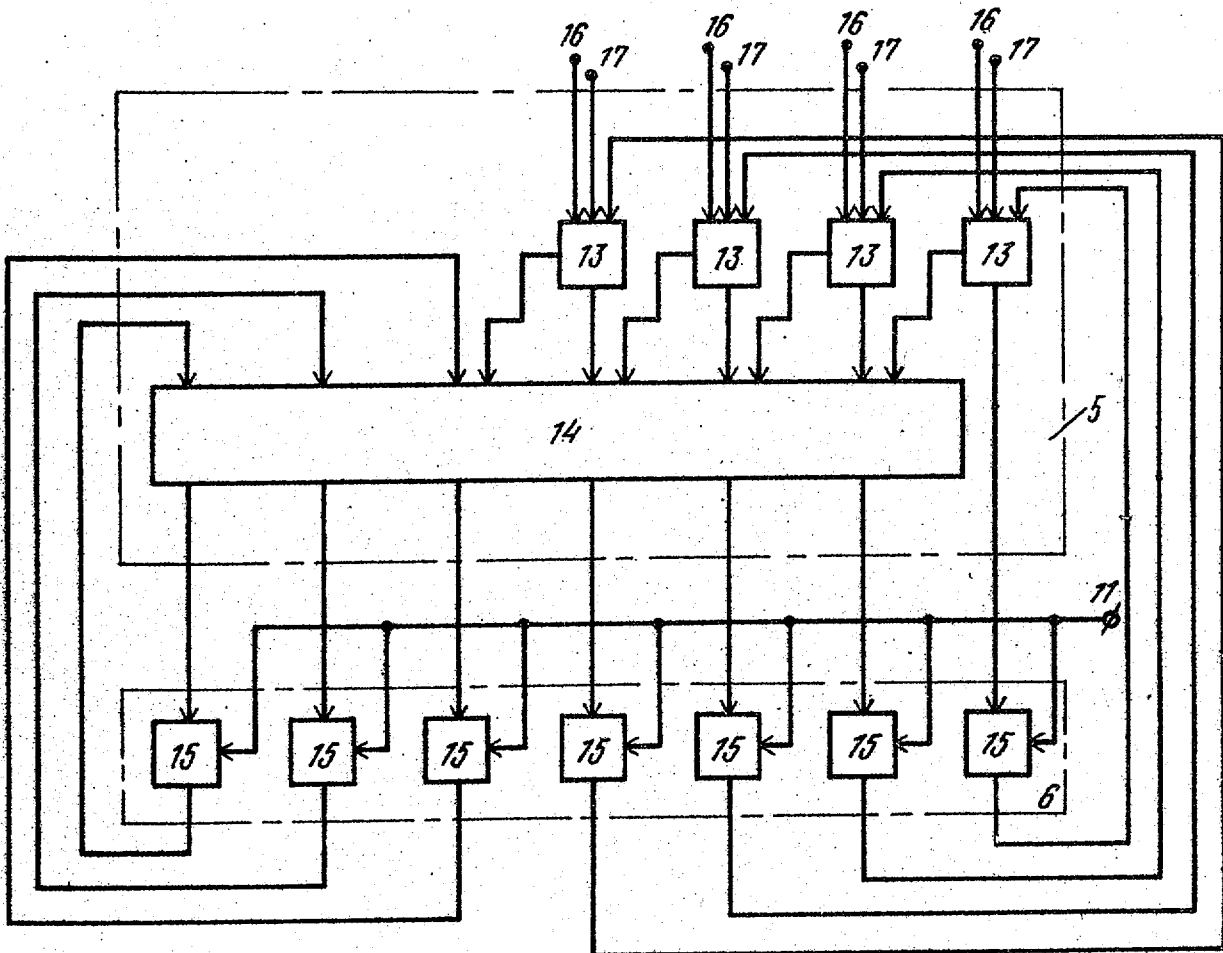
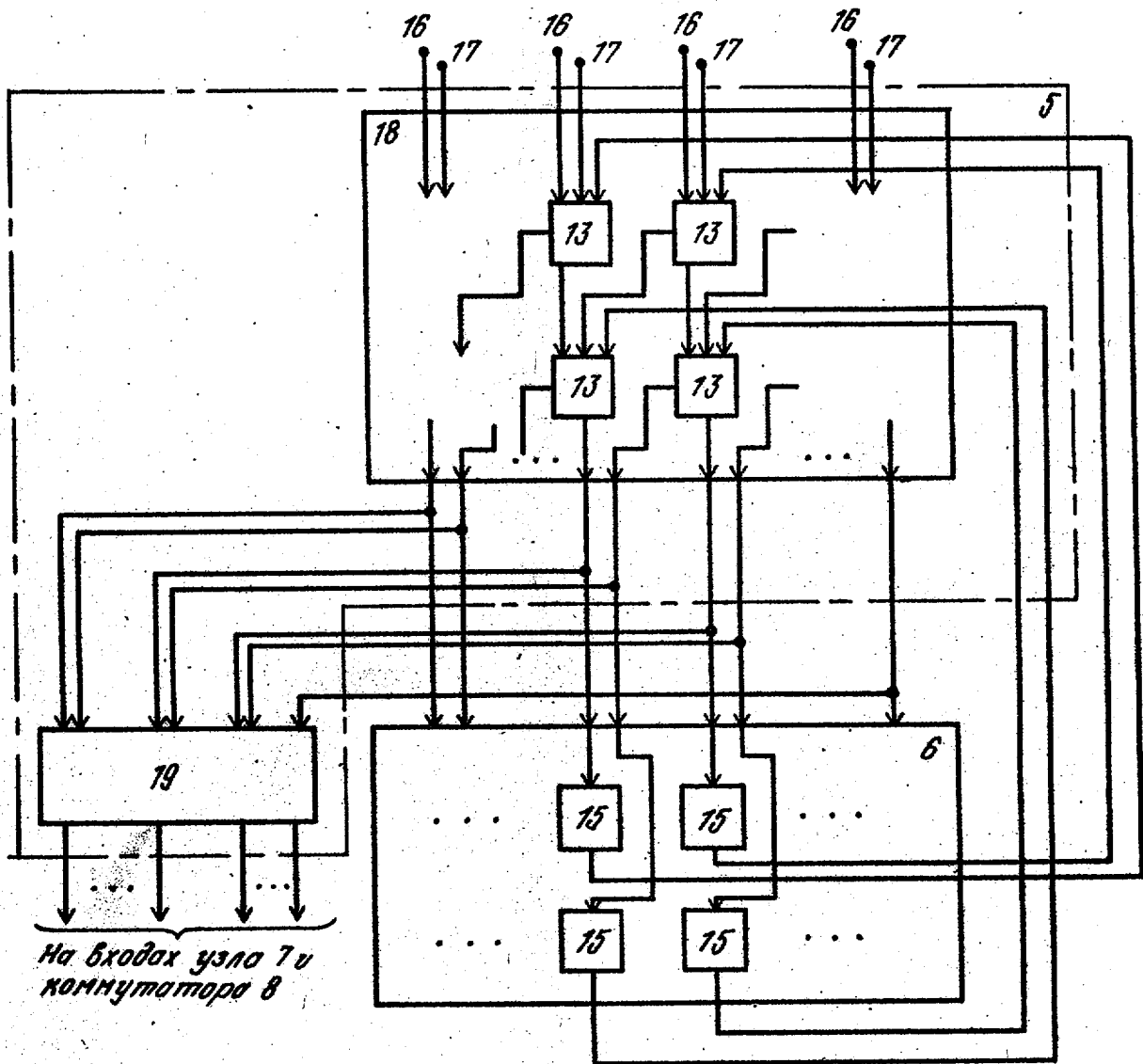


Fig. 2



Фиг. 3

Составитель В.Виноградов
 Редактор О.Юрковецкая Техред М.Тепер Корректор А.Зимокосов
 Заказ 8873/47 Тираж 706 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5
 филиал ППП "Патент", г.Ужгород, ул.Проектная, 4