



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1056183 A

3(51) G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3364374/18-24
(22) 08.12.81
(46) 23.11.83. Бюл. № 43
(72) Г.П.Лопато и А.А.Шостак
(71) Минский радиотехнический институт
(53) 681.3(088.8)

(56) 1. Патент США № 3234367, кл. 235/156, опублик. 1966.
2. Авторское свидетельство СССР № 485447, кл. G 06 F 7/39, 1972 (прототип)

(54) (57) 1. УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ ЧИСЕЛ, содержащее регистры делимого и делителя, регистр частного, первый сумматор, первый коммутатор и узел образования частного, причем выход регистра делимого подключен к первым информационным входам первого сумматора и первого коммутатора, информационный выход первого сумматора подключен к второму информационному входу первого коммутатора, выход которого соединен с информационным входом регистра делимого, выходы знаковых разрядов регистра делителя и первого сумматора подключены к первому и второму входам узла образования частного соответственно, входы приема информации регистров делимого и делителя и вход приема и сдвига информации регистра частного подключены к управляемому входу устройства, отличающееся тем, что, с целью повышения быстродействия и расширения области применения за счет возможности деления чисел в дополнительном коде, устройство дополнительно содержит второй, третий, четвертый, пятый, шестой и седьмой сумматоры и второй коммутатор, причем первые информационные входы второго и четвертого сумматоров подключены к выходу регистра делимого, первые

информационные входы третьего и шестого сумматоров подключены к информационному выходу первого сумматора, первый информационный вход пятого сумматора подключен к информационному выходу второго сумматора и к третьему информационному входу первого коммутатора, четвертый, пятый, шестой и седьмой информационные входы которого подключены к информационным выходам четвертого, пятого, шестого и седьмого сумматоров, первый информационный вход которого подключен к информационному выходу третьего сумматора и к восьмому информационному входу первого коммутатора, первый, второй, третий, четвертый, пятый, шестой, седьмой и восьмой управляющие входы которого подключены к управляющим выходам узла образования частного соответственно, третий, четвертый, пятый, шестой, седьмой, восьмой и девятый входы которого подключены к выходам знаковых разрядов регистра делимого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров соответственно, прямой и инверсный информационные выходы регистра делителя подключены к первому и второму информационным входам второго коммутатора, выход которого подключен к вторым информационным входам первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров, первый, второй и третий информационные входы регистра частного подключены к информационным выходам узла образования частного соответственно, дополнительный управляющий выход занесения прямого и инверсного кодов которого подключен к дополнительному одноименному управляемому входу регистра частного и к одноименным управляющим входам второго коммутатора и первого,

(19) SU (11) 1056183 A

второго, третьего, четвертого, пятого, шестого и седьмого сумматоров, при этом узел образования частного содержит элементы неравнозначности, И и ИЛИ, причем первый и второй входы узла подключены к первым входам первого и второго элементов неравнозначности соответственно, третий вход узла подключен к вторым входам первого и второго элементов неравнозначности и к первым входам третьего, четвертого, пятого, шестого, седьмого и восьмого элементов неравнозначности, вторые входы которых подключены к четвертому, пятому, шестому, седьмому, восьмому и девятому входам узла соответственно, первый вход первого элемента И подключен к прямому выходу седьмого элемента неравнозначности, инверсный выход которого подключен к первому входу второго элемента И, второй вход которого подключен к второму входу второго элемента И и к прямому выходу четвертого элемента неравнозначности, инверсный выход которого подключен к первым входам третьего и четвертого элементов И, второй вход которого подключен к прямому выходу восьмого элемента неравнозначности, инверсный выход которого подключен к второму входу третьего элемента И, третий вход которого подключен к третьим входам первого, второго и четвертого элементов И и к инверсному выходу второго элемента неравнозначности, прямой выход которого подключен к первым входам пятого, шестого, седьмого и восьмого элементов И, второй вход которого подключен к второму входу шестого элемента И и к инверсному выходу третьего элемента неравнозначности, прямой выход которого подключен к вторым входам пятого и седьмого элементов И, третий вход которого подклю-

чен к инверсному выходу пятого элемента неравнозначности, прямой выход которого подключен к третьему входу пятого элемента И, третий вход восьмого элемента И подключен к прямому выходу шестого элемента неравнозначности, инверсный выход которого подключен к третьему входу шестого элемента И, информационные входы узла подключены к выходам девятого, десятого и одиннадцатого элементов неравнозначности соответственно, первые входы которых подключены к дополнительному управляющему выходу узла и к прямому выходу первого элемента неравнозначности, инверсный выход которого подключен к дополнительному управляющему выходу узла, вторые входы девятого, десятого и одиннадцатого элементов неравнозначности подключены к выходам первого, второго и третьего элементов ИЛИ соответственно, первый вход которого подключен к первым входам первого и второго элементов ИЛИ и к выходу третьего элемента И, второй вход первого элемента ИЛИ подключен к выходу второго элемента И и к второму входу третьего элемента ИЛИ, третий вход которого подключен к выходу шестого элемента И и к второму входу второго элемента ИЛИ, третий вход которого подключен к выходу четвертого элемента И и к третьему входу первого элемента ИЛИ, четвертый вход которого подключен к выходу первого элемента И, выход седьмого элемента И подключен к четвертому входу третьего элемента ИЛИ, выход восьмого элемента И подключен к четвертому входу второго элемента ИЛИ, первый, второй, третий, четвертый, пятый, шестой, седьмой и восьмой управляющие выходы узла подключены к выходам первого, восьмого, четвертого, седьмого, шестого, второго, третьего и пятого элементов И соответственно

1

Изобретение относится к вычислительной технике и может быть использовано в универсальных и специализированных арифметических устройствах для быстрого деления двоичных чисел, представленных в дополнительном коде.

Известно устройство для деления двоичных чисел, формирующее в каждом цикле k цифр частного ($k = 2, 3, 4, 5, \dots$) и содержащее регистры делимого и делителя, регистр частного с цепью сдвига, блок умноже-

2

ния, вычитатель, шифратор предсказания k цифр частного, регистр адреса, блок памяти, регистры верхнего и нижнего значений k цифр частного, группы элементов И, причем входы шифратора предсказания k цифр частного соединены с выходами k старших разрядов регистров делимого и делителя [1].

Недостатками известного устройства являются невозможность деления чисел в дополнительном коде и низкое быстродействие ввиду большой

5

10

длительности цикла формирования k цифр частного (k цифр частного в известном устройстве формируются по многотактному принципу: минимальное число тактов в цикле равно 2, максимальное $(k + 1)$).

Наиболее близким по технической сущности к предлагаемому является устройство для деления чисел, содержащее регистры делимого и делителя, регистр частного с цепью сдвига, сумматор, коммутатор и узел образования цифр частного, причем выход регистра делимого соединен с первыми входами сумматора и коммутатора, а второй вход сумматора соединен с выходом регистра делителя, а выход соединен с вторым входом коммутатора, выходы знаковых разрядов регистров делимого и делителя, а также сумматора соединены с входами узла образования цифр частного, управляющие входы регистров делимого, делителя и частного, коммутатора и узла образования цифр частного соединены с входом устройства, выход узла образования цифр частного соединен с входом младшего разряда регистра частного [2].

Недостатками известного устройства являются невозможность деления чисел в дополнительном коде и низкое быстродействие, вызванное в первую очередь тем, что в каждом цикле работы устройства формируется только одна двоичная цифра частного.

Цель изобретения - повышение быстродействия путем одновременного формирования в цикле нескольких двоичных цифр частного и расширение области применения за счет возможности деления чисел в дополнительном коде.

Поставленная цель достигается тем, что устройство для деления чисел, содержащее регистры делимого и делителя, регистр частного, первый сумматор, первый коммутатор и узел образования частного, причем выход регистра делимого подключен к первым информационным входам первого сумматора и первого коммутатора, информационный выход первого сумматора подключен к второму информационному входу первого коммутатора, выход которого соединен с информационным входом регистра делимого, выходы знаковых разрядов регистра делителя и первого сумматора подключены к первому и второму входам узла образования частного соответственно, входы приема информации регистров делимого и делителя и вход приема и сдвига информации регистра частного подключены к управляющему входу устройства, дополнительно содержит второй, третий, четвертый, пятый, шестой и

седьмой сумматоры и второй коммутатор, причем первые информационные входы второго и четвертого сумматоров подключены к выходу регистра делимого, первые информационные входы третьего и шестого сумматоров подключены к информационному выходу первого сумматора, первый информационный вход пятого сумматора подключен к информационному выходу второго сумматора и к третьему информационному входу первого коммутатора, четвертый, пятый, шестой и седьмой информационные входы которого подключены к информационным выходам четвертого, пятого, шестого и седьмого сумматоров, первый информационный вход которого подключен к информационному выходу третьего сумматора и к восьмому информационному входу первого коммутатора, первый, второй, третий, четвертый, пятый, шестой, седьмой и восьмой управляющие входы которого подключены к выходам знаковых разрядов регистров делимого, второго, третьего, четвертого, пятого, шестого и седьмого сумматора соответственно, прямой и инверсный информационный выходы регистра делителя подключены к первому и второму информационным входам второго коммутатора, выход которого подключен к вторым информационным входам первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров, первый, второй и третий информационные входы регистра частного подключены к информационным выходам узла образования частного соответственно, дополнительный управляющий выход заполнения прямого и инверсного кодов которого подключен к дополнительному одноименному управляющему входу регистра частного и к одноименным управляющим входам второго коммутатора и первого, второго, третьего, четвертого, пятого, шестого и седьмого сумматоров, при этом узел образования частного содержит элементы неравнозначности, И и ИЛИ, причем первый и второй входы узла подключены к первым входам первого и второго элементов неравнозначности соответственно, третий вход узла подключен к вторым входам первого и второго элементов неравнозначности и к первым входам третьего, четвертого, пятого, шестого седьмого и восьмого элементов неравнозначности, вторые входы которых подключены к четвертому, пятому, шестому, седьмому, восьмому и девятому входам узла соответственно, первый вход первого элемента И под-

ключен к прямому выходу седьмого элемента неравнозначности, инверсный выход которого подключен к первому входу второго элемента И, второй вход которого подключен к второму входу первого элемента И и к прямому выходу четвертого элемента неравнозначности, инверсный выход которого подключен к первым входам третьего и четвертого элементов И, второй вход которого подключен к прямому выходу восьмого элемента неравнозначности, инверсный выход которого подключен к второму входу третьего элемента И, третий вход которого подключен к третьим входам первого, второго и четвертого элементов И и к инверсному выходу второго элемента неравнозначности, прямой выход которого подключен к первым входам пятого, шестого, седьмого и восьмого элементов И, второй вход которого подключен к второму входу шестого элемента И и к инверсному выходу третьего элемента неравнозначности, прямой выход которого подключен к вторым входам пятого и седьмого элементов И, третий вход которого подключен к инверсному выходу пятого элемента неравнозначности, прямой выход которого подключен к третьему входу пятого элемента И, третий вход восьмого элемента И подключен к прямому выходу шестого элемента неравнозначности, инверсный выход которого подключен к третьему входу шестого элемента И, информационные входы узла подключены к выходам девятого, десятого и одиннадцатого элементов неравнозначности соответственно, первые входы которых подключены к дополнительному управляющему выходу узла и к прямому выходу первого элемента неравнозначности, инверсный выход которого подключен к дополнительному управляющему выходу узла, вторые входы девятого, десятого и одиннадцатого элементов неравнозначности подключены к выходам первого, второго и третьего элементов ИЛИ соответственно, первый вход которого подключен к первым входам первого и второго элементов ИЛИ и к выходу третьего элемента И, второй вход первого элемента ИЛИ подключен к выходу второго элемента И и к второму входу третьего элемента ИЛИ, третий вход которого подключен к выходу шестого элемента И и к второму входу второго элемента ИЛИ, третий вход которого подключен к выходу четвертого элемента И и к третьему входу первого элемента ИЛИ, четвертый вход которого подключен к выходу первого элемента И, выход седьмого элемента И подключен к четвертому

выходу третьего элемента ИЛИ, выход восьмого элемента И подключен к четвертому входу второго элемента ИЛИ, первый, второй, третий, четвертый, пятый, шестой, седьмой и восьмой управляющие выходы узла подключены к выходам первого, восьмого, четвертого, седьмого, шестого, второго, третьего и пятого элементов И соответственно.

На фиг. 1 приведена структурная схема устройства для деления чисел (рассматривается случай, когда число k одновременно формируемых в цикле двоичных цифр частного равно трем); на фиг. 2 - функциональная схема узла образования цифр частного; на фиг. 3 - функциональная схема i -го разряда первого коммутатора.

Устройство для деления чисел (фиг. 1) содержит сумматоры 1-7, регистры 8 и 9 делимого и делителя соответственно, регистр 10 частного с цепью одноканального сдвига информации на три двоичных разряда в направлении старших разрядов, коммутатор 11, коммутатор 12, узел 13 образования в одном цикле работы устройства трех двоичных цифр частного, вход 14 устройства (на этот вход поступают синхроимпульсы, управляющие приемом информации в регистры 8-10, а также ее сдвигом в регистре 10 частного), вход 15 знака делимого (на этот вход постоянно подается значение знакового разряда делимого). Выход регистра 8 делимого соединен с первыми входами сумматоров 1, 2 и 4 соответственно, выход сумматора 1 соединен с первыми входами третьего и шестого сумматоров 3 и 6 соответственно, выход сумматора 2 соединен с первым входом пятого сумматора 5, выход сумматора 3 соединен с первым входом седьмого сумматора 7, вторые входы сумматоров 1-7 соединены с выходом второго коммутатора 12, первый и второй входы которого соединены с прямым и инверсным выходами регистра 9 делителя, выходы регистра 8 делимого и сумматоров 1-7 соединены с входами первого коммутатора 11, выход которого соединен с входом регистра 8 делимого, вход 15 знака делимого, а также выходы 16-23 знаковых разрядов регистра 9 делителя и сумматоров 1-7 соответственно соединены с входами узла 13 образования трех двоичных цифр частного, первая группа выходов которого соединена с управляющими входами первого коммутатора 11, а вторая группа выходов соединена с входом трех младших двоичных разрядов регистра частного. Дополнительный вы-

ход 24 узла 13 образования трех двоичных цифр частного соединен с входом регистра 10 частного, с управляющим входом коммутатора 12 и с цепями входных переносов сумматоров 1-7.

В устройстве все регистры могут быть построены, например, на двутактных синхронных D-триггерах, а все сумматоры комбинационного типа - со сквозным либо ускоренным формированием разрядных переносов. С целью обеспечения максимально возможного быстродействия устройства в нем необходимо использовать сумматоры с ускоренным формированием разрядных переносов. Однако этого же быстродействия можно достичь при меньших аппаратных затратах, если в устройстве использовать сумматоры без распространения переносов (сумматоры с сохранением переносов), организовав при этом ускоренное формирование переносов только в их знаковые разряды. Структура устройства при этом не изменяется, если предполагать, что на выходной шине каждого сумматора результат формируется в двухрядном коде (т.е. в виде двух чисел), а регистр 8 делимого имеет такую разрядность, что обеспечивает хранение промежуточных остатков в двухрядном коде.

С помощью сумматоров 1-7 формируются результаты при всех возможных путях развития вычислительного процесса определения трех двоичных

цифр частного по алгоритму деления с восстановлением остатка. Чтобы отразить этот цепной (ветвящийся) процесс, сумматоры (фиг. 1) изображены в виде пирамиды. В первой ступени этой пирамиды находятся сумматоры 4-7, во второй ступени - сумматоры 2 и 3 и в третьей ступени пирамиды расположен первый сумматор 1. Число ступеней пирамиды равно числу одновременно формируемых в цикле двоичных цифр частного. Так, например, при значении $k = 5$ пирамида сумматора пятиступенчатая, причем ее первая ступень должна включать шестнадцать сумматоров.

Узел 13 образования частного (фиг. 2) содержит одиннадцать элементов неравнозначности $25_1 - 25_{11}$, восемь элементов И $26_1 - 26_8$ и три элемента ИЛИ $27_1 - 27_3$. Один разряд первого коммутатора 11 (фиг. 3) содержит восемь элементов И $28_1 - 28_8$ и элемент ИЛИ 29. Узел 13 образования цифр частного формирует сигналы $Y_1, Y_2, Y_3, \dots, Y_8$, управляющие работой первого коммутатора 11, а также образует три двоичные цифры частного L_1, L_2, L_3 в соответствии с алгоритмом деления с восстановлением остатка в предложении, что делимое и делитель представлены в дополнительном коде. Формирование управляющих сигналов $Y_1 + Y_8$ и цифр частного L_1, L_2 и L_3 может осуществляться, например, в соответствии со следующими логическими выражениями:

$$\begin{aligned}
 Y_1 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{19}) \cdot (X_{15} \oplus X_{22}) \\
 Y_2 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{18}) \cdot (X_{15} \oplus X_{21}) \\
 Y_3 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{19}) \cdot (X_{15} \oplus X_{23}) \\
 Y_4 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{18}) \cdot (X_{15} \oplus X_{20}) \\
 Y_5 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{18}) \cdot (X_{15} \oplus X_{21}) \\
 Y_6 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{19}) \cdot (X_{15} \oplus X_{22}) \\
 Y_7 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{19}) \cdot (X_{15} \oplus X_{23}) \\
 Y_8 &= (X_{15} \oplus X_{17}) \cdot (X_{15} \oplus X_{18}) \cdot (X_{15} \oplus X_{20}) \\
 L_1 &= (Y_1 + Y_3 + Y_6 + Y_7) \oplus (X_{15} \oplus X_{16}); \\
 L_2 &= (Y_2 + Y_3 + Y_5 + Y_7) \oplus (X_{15} \oplus X_{16}), \\
 L_3 &= (Y_4 + Y_5 + Y_6 + Y_7) \oplus (X_{15} \oplus X_{16})
 \end{aligned}$$

Здесь, например, через Y_1 обозначен управляющий сигнал, под действием которого коммутатор 11 осуществляет выборку результата, сформированного на выходе сумматора с порядковым номером 7 (фиг. 1), X_{16} обозначает логическую переменную, равную значению знакового разряда на выходе 16 регистра 9 делителя ($X_{16} = 1$, если делитель отрицательный, в противном случае $X_{16} = 0$), L_1 , L_3 соответственно старшая и младшая двоичные цифры частного из трех формируемых одновременно в цикле цифр.

На фиг. 2 приведена функциональная схема узла 13 образования цифр частного, работающая в соответствии с приведенными логическими выражениями. Эта схема, как и приведенные выше логические выражения, не является единственной. Возможны и другие ее модификации.

В таблице приведены сведения, поясняющие принцип формирования узлом 13 кода L_1 , L_2 , L_3 трех двоичных цифр частного.

Сигнал Y_i , поступающий на управляющий вход коммутатора 11	Результат, передаваемый на выход коммутатора 11 под действием сигнала Y в качестве очередного остатка с узла	Значение трех двоичных цифр частного, соответствующих очередному остатку		Код трех двоичных цифр частного, соответствующих очередному остатку	
		Знаки делимого и делителя совпадают	Знаки делимого и делителя не совпадают	Знаки делимого и делителя совпадают	Знаки делимого и делителя не совпадают
Y_1	сумматора 1	+ 100	- 100	100	011
Y_2	"- 2	+ 010	- 010	010	101
Y_3	"- 3	+ 110	- 110	110	001
Y_4	"- 4	+ 001	- 001	001	110
Y_5	"- 5	+ 011	- 011	011	100
Y_6	"- 6	+ 101	- 101	101	010
Y_7	"- 7	+ 111	- 111	111	000
Y_8	регистра делимого	000	000	000	111

Кроме рассмотренных функций узел 13 образования цифр частного формирует на своем выходе 24 сигналы X_{24} и X_{24} ($X_{24} = X_{15} \oplus X_{16}$), которые, во-первых, управляют работой коммутатора 12 (если знаки делимого и делителя не совпадают, то на вход коммутатора 12 передается прямое значение делителя, в противном случае инверсное), во-вторых, формируют знаковый разряд частного (если знаки делимого и делителя не совпадают, то в соответствующий разряд

55 регистра 10 частного записывается единица), в-третьих, образуют сигналы входных переносов сумматоров 1-7 (когда знаки делимого и делителя совпадают, то на вторые входы сумматоров с выхода коммутатора 12 подается инверсный код делителя, а в качестве входных переносов сумматоров используется сигнал логической единицы).

65 В устройстве с помощью сумматоров 1-7 и коммутатора 12 производится либо только суммирование содержи-

мого регистра 8 делимого или результата некоторого сумматора и содержимого регистра 9 делителя (если знаки делимого и делителя не совпадают), либо только вычитания из содержимого регистра 8 делимого или из результата некоторого сумматора содержимое регистра 9 делителя (если знаки делимого и делителя совпадают). А поэтому сумматоры 1-7 можно заменить управляемыми сумматорами-вычитателями 1-7, исключив при этом из устройства второй коммутатор 12 (фактически же мы этим не исключаем из устройства второй коммутатор 12, а включаем его в каждый сумматор, так как сумматор-вычитатель можно рассматривать как сумматор с коммутатором на входе). Это может оказаться целесообразным при использовании в устройстве унифицированных интегральных схем, например, четырехразрядных АЛУ серии К 155 (интегральная схема 155 ИПЗ-выполняет наряду со сложением вычитание чисел).

На фиг. 3 показана функциональная схема i -го разряда коммутатора 11, где, например S_7^i обозначает значение суммы на выходе i -го разряда сумматора с порядковым номером 7 (фиг. 1). На входы i -го разряда коммутатора 11 поступают значения $(i+1)$ -ых разрядов сумматоров 2, 3 и $(i+2)$ -ых разрядов сумматора 1 и регистра 8 делимого (i -ый разряд имеет более высокий вес, чем $(i+1)$ -ый разряд). Коммутатор 12 работает подобно коммутатору 11, однако он значительно проще и содержит в каждом разряде элемент 2И - 2ИЛИ.

Устройство для деления чисел работает следующим образом.

В исходном состоянии в регистре 8 делимого хранится дополнительный код делимого X , в регистре 9 делителя - дополнительный код делителя Y , регистр 10 частного обнулен (здесь предполагается, что делимое и делитель нормализованные дроби). Все сумматоры устройства практически начинают работать одновременно. На выходах этих сумматоров формируются результаты при всех возможных путях развития вычислительного процесса определения трех наиболее старших двоичных цифр частного по алгоритму деления с восстановлением остатка. При этом выполняется либо только суммирование содержимого регистра 8 делимого или результата некоторого сумматора и содержимого регистра 9 делителя (на выход коммутатора 12, под действием сигнала на выходе 24 узла 13 образования цифр частного, передается пря-

мой код делителя), либо только вычитания из содержимого регистра 8 делимого или из результата некоторого сумматора содержимого регистра 9 делителя (на выход коммутатора 12 передается инверсный код делителя). Суммирование осуществляется тогда, когда знаки делимого и делителя разные, в противном случае производятся вычитания. Очевидно, что в одном цикле определения трех двоичных цифр частного только один из восьми результатов может быть правильным (выбор правильного результата осуществляется с помощью управляющих сигналов $Y_1 + Y_8$). По истечении времени, равного примерно времени суммирования двух n -разрядных двоичных чисел, коммутатор 11 выбирает в качестве первого остатка результат либо одного из семи сумматоров 1-7, либо содержимое регистра 8 делимого (в первом цикле при нормализованных делимом и делителе выборка содержимого регистра 8 невозможна), который с разрешения сигнала на входе 14 устройства записывается в регистр 8 делимого со сдвигом влево на один двоичный разряд. Одновременно с выборкой коммутатором 11 первого остатка и записью его в регистр 8 делимого в узле 13 образуются три наиболее старшие двоичные цифры частного в соответствии с приведенными ранее соотношениями, значения которых записываются соответствующим образом в три младших двоичных разряда регистра 10 частного, после чего в нем осуществляется однократный сдвиг информации на три двоичных разряда в сторону его старших разрядов. На этом первый цикл деления трех наиболее старших двоичных цифр частного заканчивается.

Определение других цифр частного осуществляется аналогичным образом. После выполнения $n/3$ циклов в регистре 10 частного будет сформировано n -разрядное двоичное частное. В последнем цикле работы устройства сдвиг влево информации в регистре 10 частного не производится, но, если знак частного отрицательный, выполняется прибавление единицы к его младшему разряду (этим осуществляется преобразование частного из обратного кода в дополнительный). Очевидно, что для получения более точного значения частного число циклов должно быть определенным образом увеличено.

Ниже приведены два примера, поясняющие принцип работы и структурные особенности устройства. Принято, что делимое $|X| = 0,11001$ и делитель $|Y| = 0,10011$. В примерах вычис-

ления расположены подобно тому, как размещены сумматоры на структурной схеме устройства (фиг. 1). Из приведенных примеров видно, что при делении одних и тех же чисел с разными знаками правильный вычислительный процесс развивается в одном и том же направлении. Использование в устройстве для деления чисел в

дополнительном коде алгоритма с восстановлением остатка имеет в некоторых случаях существенное преимущество, так как остаток и частное всегда формируются правильно и не требуется их дополнительная коррекция.

Пример 1. $X > 0, Y > 0.$

Первый цикл определения цифр частного

$$\begin{array}{r} 0,11001 \\ +1,01101 \\ \hline 0,00110 \end{array}$$

(1,0,1)

$$\begin{array}{r} 1,10010 \\ +1,01101 \\ \hline 0,11111 \end{array}$$

$$\begin{array}{r} 0,01100 \\ +1,01101 \\ \hline 1,11001 \end{array}$$

$$\begin{array}{r} 1,00100 \\ +1,01101 \\ \hline 0,10001 \end{array}$$

$$\begin{array}{r} 1,11110 \\ +1,01101 \\ \hline 1,01011 \end{array}$$

$$\begin{array}{r} 0,11000 \\ +1,01101 \\ \hline 0,00101 \end{array}$$

$$\begin{array}{r} 1,10010 \\ +1,01101 \\ \hline 0,11111 \end{array}$$

Второй цикл определения цифр частного

$$\begin{array}{r} 0,01010 \\ +1,01101 \\ \hline 1,10111 \end{array}$$

(0,1,0)

$$\begin{array}{r} 0,10100 \\ +1,01101 \\ \hline 0,00001 \end{array}$$

$$\begin{array}{r} 1,01110 \\ +1,01101 \\ \hline 0,11011 \end{array}$$

$$\begin{array}{r} 0,00010 \\ +1,01101 \\ \hline 1,01111 \end{array}$$

$$\begin{array}{r} 0,11100 \\ +1,01101 \\ \hline 0,01001 \end{array}$$

$$\begin{array}{r} 1,10110 \\ +1,01101 \\ \hline 1,00011 \end{array}$$

0,00100

В регистре 10 будет сформировано частное $L = 01,01010$, а в регистре 8 делимого - остаток $R = 0,00100$

(здесь знаковый разряд заключен в квадратик).

Пример 2. $X < 0, Y > 0.$

Первый цикл определения цифр частного

$$\begin{array}{r} 1,00111 \\ +0,10011 \\ \hline 1,11010 \end{array}$$

(0,1,0)

$$\begin{array}{r} 0,01110 \\ +0,10011 \\ \hline 1,00001 \end{array}$$

$$\begin{array}{r} 1,10100 \\ +0,10011 \\ \hline 0,00111 \end{array}$$

$$\begin{array}{r} 0,11100 \\ +0,10011 \\ \hline 1,01111 \end{array}$$

$$\begin{array}{r} 0,00010 \\ +0,10011 \\ \hline 0,10101 \end{array}$$

$$\begin{array}{r} 1,01000 \\ +0,10011 \\ \hline 1,11011 \end{array}$$

$$\begin{array}{r} 0,01110 \\ +0,10011 \\ \hline 1,00001 \end{array}$$

Второй цикл определения цифр частного

$$\begin{array}{r} 1,10110 \\ +0,10011 \\ \hline 0,01001 \end{array}$$

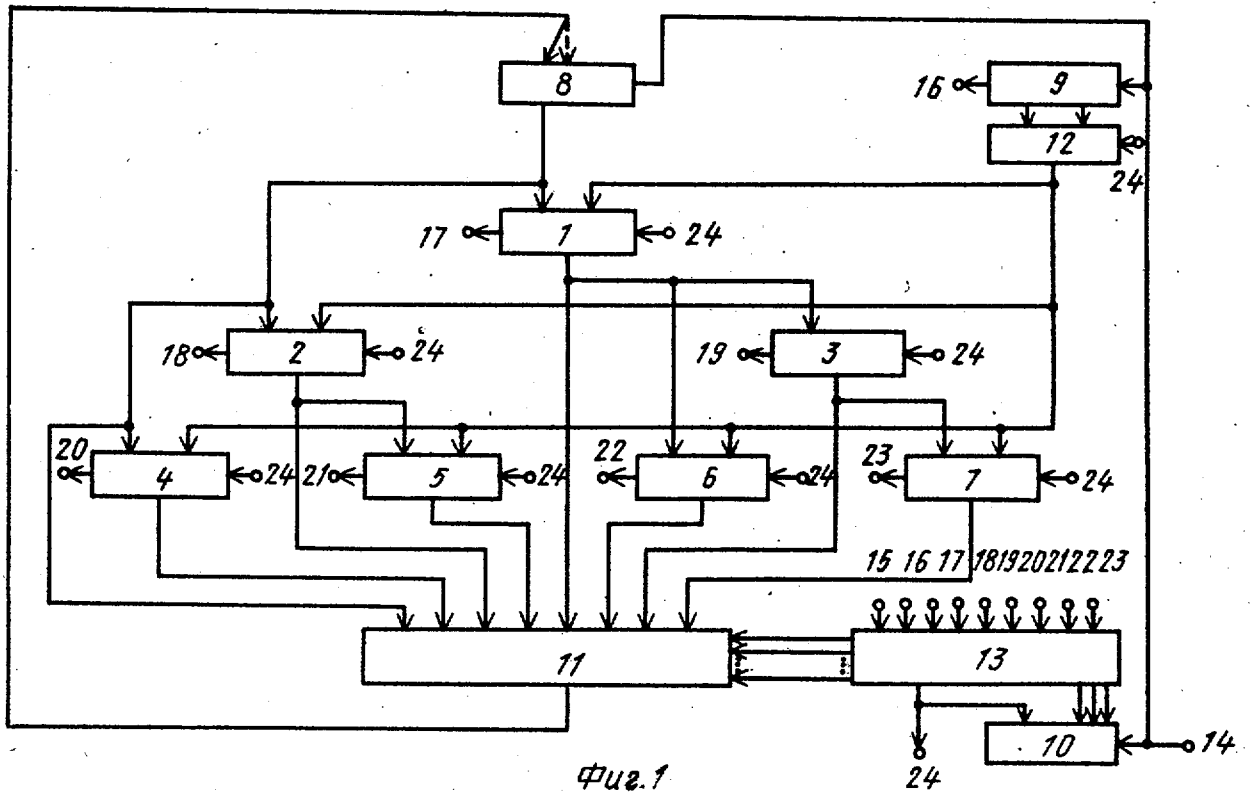
(1,0,1)

$$\begin{array}{r}
 1,01100 \\
 +0,10011 \\
 \hline
 1,11111 \\
 \hline
 0,11000 \\
 +0,10011 \\
 \hline
 1,01011 \\
 \hline
 \end{array}
 \quad
 \begin{array}{r}
 1,11110 \\
 +0,10011 \\
 \hline
 0,10001 \\
 \hline
 \end{array}
 \quad
 \begin{array}{r}
 0,11110 \\
 +0,10011 \\
 \hline
 1,10111 \\
 \hline
 \end{array}
 \quad
 \begin{array}{r}
 0,01010 \\
 +0,10011 \\
 \hline
 0,11101 \\
 \hline
 \end{array}$$

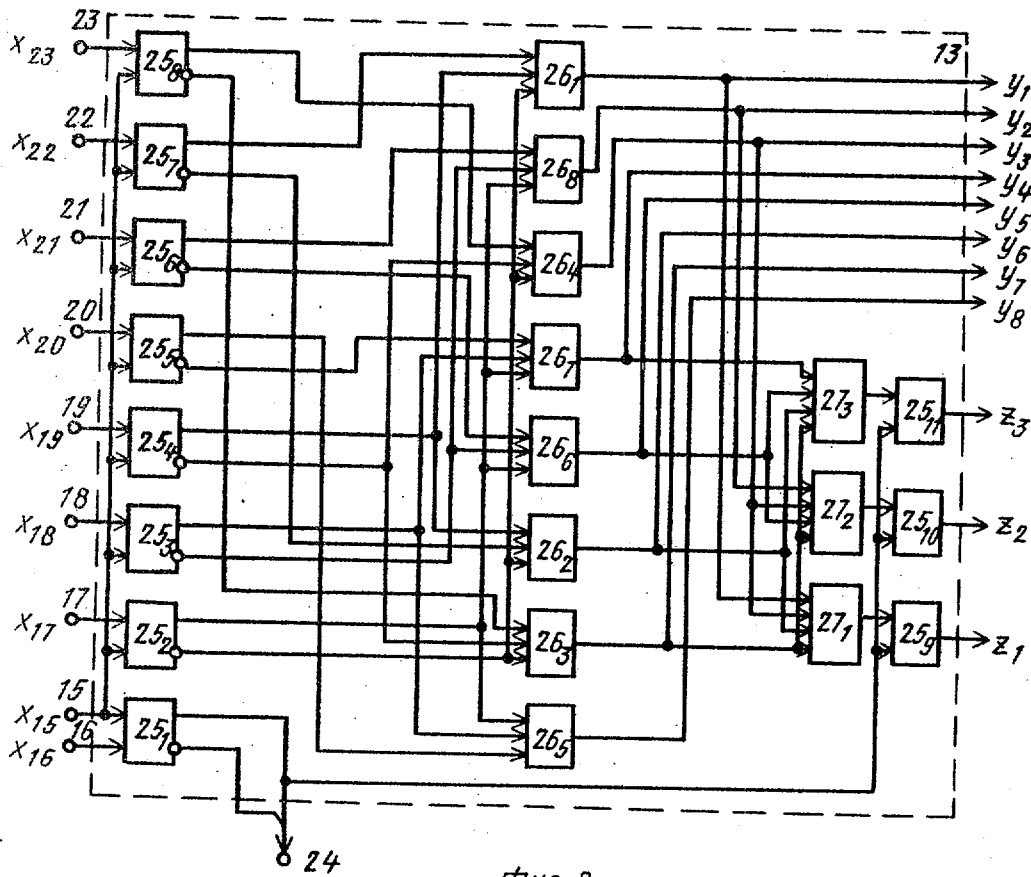
В регистре 10 будет сформировано частное $L = [1] 0,10110$, а в регистре 8 делимого - остаток $R = 1,11100$.

Таким образом, предлагаемое устройство примерно в k раз ($k = 2, 3, 4, 5, 6, \dots$) имеет более высокое быстродействие, чем известное. Это достигается тем, что в предлагаемом устройстве в каждом цикле его работы формируется k двоичных цифр част-

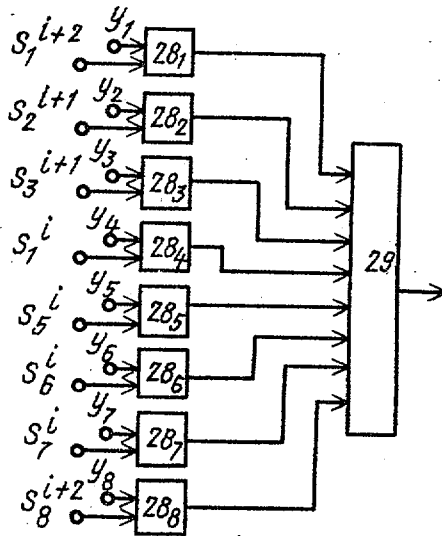
ного, в то время как в известном только одна двоичная цифра частного. Длительность же цикла работы данного устройства примерно такая же, как и в известном, так как в нем все сумматоры практически начинают работать одновременно. Кроме того, оно имеет более широкую область применения, так как позволяет организовать деление чисел в дополнительном коде.



Фиг. 1



Фиг. 2



Фиг. 3

Редактор А. Козориз

Составитель В. Кайданов

Техред Л. Микеш

Корректор А. Ильин

Заказ 9307/42

Тираж 706

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4