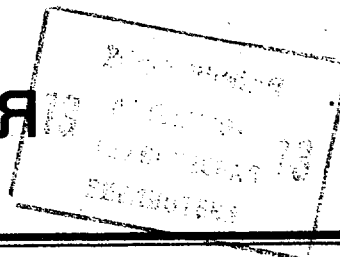




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3369425/18-24
- (22) 25.12.81
- (46) 07.12.83. Бюл. № 45
- (72) Э.А.Баканович, В.И.Новиков
и М.А.Орлов
- (71) Минский радиотехнический инсти-
тут
- (53) 681.3 (088.8)
- (56) 1. Авторское свидетельство СССР
№ 430368, кл. G 06 F 7/58, 1974.
2. Авторское свидетельство СССР
№ 488212, кл. G 06 F 15/20, 1975
(прототип).

(54)(57) 1. ВЕРОЯТНОСТНОЕ УСТРОЙСТВО ДЛЯ МОДЕЛИРОВАНИЯ СЛОЖНЫХ СТОХАСТИЧЕСКИХ СИСТЕМ, содержащее датчик равномерно распределенных случайных чисел, блок сравнения, первый вход которого соединен с выходом датчика равномерно распределенных случайных чисел, блок памяти, первый регистр числа, вход которого соединен с выходом блока памяти, отличающееся тем, что, с целью повышения быстродействия, оно дополнительно содержит второй регистр числа, первый и второй блоки формирования адреса, коммутатор числа, коммутатор адреса, блок синхронизации, первый выход которого соединен с входом датчика равномерно распределенных случайных чисел и первыми входами первого и второго блоков формирования адреса, второй выход соединен с управляющими входами первого регистра числа, коммутатора адреса и второго блока формирования адреса, а третий выход - с управляющими

входами коммутатора числа, второго регистра числа и первого блока формирования адреса, второй вход блока сравнения соединен с выходом коммутатора числа, а выход - с вторыми входами первого и второго блоков формирования адреса, выходы которых соединены соответственно с первым и вторым входами коммутатора адреса, выход коммутатора адреса соединен с входом блока памяти, к выходу которого подключен вход второго регистра числа, выходы первого и второго регистров числа соединены соответственно с первым и вторым входами коммутатора числа.

2. Устройство по п. 1, отличающееся тем, что, блок формирования адреса содержит первый и второй регистры, первый и второй элементы И и элемент задержки, вход которого соединен с первым входом первого регистра и является первым входом блока, а выход соединен с первыми входами первого и второго элементов И, вторые входы первого и второго элементов И соединены соответственно с вторым и третьим входами первого регистра, а выходы соединены соответственно с первым и вторым входами второго регистра, группа выходов которого является выходом блока, группа входов первого регистра является вторым входом блока, а группа выходов соединена с группой входов второго регистра, управляющие входы первого и второго регистров подключены к управляющему входу блока.

Изобретение относится к вычислительной технике и может быть использовано при построении стохастических вычислительных машин, вероятностных моделей сложных систем, а также в качестве специализированного блока, подключаемого к ЭВМ.

Известно устройство, позволяющее формировать случайные числа с произвольными требуемыми законами распределения, содержащее многоканальный генератор случайных импульсных потоков, элементы И, элемент ИЛИ, вероятностный вентиль, регистр формирования случайного числа, схемы И регистра, устройство формирования адреса памяти, блок памяти и генератор-распределитель тактовых импульсов [1].

Недостатком данного устройства является низкое быстродействие из-за последовательной процедуры формирования случайного числа.

Наиболее близким к предлагаемому является устройство для вероятностного моделирования, содержащее устройство (блок) управления, датчик (генератор) равномерно распределенных случайных чисел, блок сравнения, регистр маски, регистр числа, запоминающее устройство (блок памяти) и блок адреса (регистр адреса), разделенный на две части - старшую и младшую.

Устройство позволяет формировать последовательности случайных чисел с требуемыми законами распределения, а также марковские процессы. При этом реализуется метод обратных функций, основанный на сравнении равномерно распределенных случайных чисел ξ со значениями воспроизводимой функции распределения $F(x)$, отыскании интервала, для которого $F(x_i) \leq \xi < F(x_{i+1})$ и выдаче соответствующего данному интервалу значения x_i . Устройство позволяет также моделировать 2^K различных законов распределения, где K - разрядность старшей части регистра адреса. Выбор требуемого закона осуществляется записью номера требуемого закона в старшую часть регистра адреса. На каждом такте работы устройства формируются одновременно два разряда случайного числа [2].

Недостатком известного устройства является то, что внутри такта узлы устройства - запоминающее устройство, регистр числа, блок сравнения, блок адреса, работают строго последовательно, что снижает быстродействие.

Цель изобретения - повышение быстродействия.

Поставленная цель достигается тем, что вероятностное устройство

5 для моделирования сложных стохастических систем, содержащее датчик равномерно распределенных случайных чисел, блок сравнения, первый вход которого соединен с выходом датчика равномерно распределенных случайных чисел, блок памяти, первый регистр числа, вход которого соединен с выходом блока памяти, 10 дополнительно содержит второй регистр числа, первый и второй блоки формирования адреса, коммутатор числа, коммутатор адреса, блок синхронизации, первый выход которого соединен с входом датчика равномерно распределенных случайных чисел и первыми входами первого и второго 15 блоков формирования адреса, второй выход соединен с управляющими входами первого регистра числа, коммутатора адреса и второго блока формирования адреса, а третий выход - с управляющими входами коммутатора числа, второго регистра числа и 20 первого блока формирования адреса, второй вход блока сравнения соединен с выходом коммутатора числа, а выход - с вторыми входами первого и второго блоков формирования адреса, выходы которых соединены соответственно с первым и вторым входами коммутатора адреса, выход коммутатора адреса соединен с входом 25 блока памяти, к выходу которого подключен вход второго регистра числа, выходы первого и второго регистров числа соединены соответственно с первым и вторым входами коммутатора числа.

30 Блок формирования адреса содержит первый и второй регистры, первый и второй элементы И и элемент задержки, вход которого соединен с первым входом первого регистра и является первым входом блока, а выход соединен с первыми входами первого и второго элементов И, вторые входы первого и второго элементов И соединены 35 соответственно с вторым и третьим входами первого регистра, а выходы соединены соответственно с первым и вторым входами второго регистра, группа выходов которого является выходом блока, группа входов первого регистра является вторым входом блока, а группа выходов соединена с группой входов второго регистра, управ- 40 ляющие входы первого и второго регистров подключены к управляющему входу блока.

60 На фиг. 1 приведена блок-схема устройства; на фиг. 2 - функциональная схема блока формирования адреса; на фиг. 3 - функциональная схема блока синхронизации; на фиг. 4 - временные диаграммы управляющих сигналов.

Устройство (фиг. 1) содержит датчик 1 равномерно распределенных случайных чисел, блок 2 сравнения, коммутатор 3 числа, первый 4 и второй 5 регистры числа, блок 6 памяти, коммутатор 7 адреса, первый 8 и второй 9 блоки формирования адреса и блок 10 синхронизации.

Каждый блок формирования адреса (фиг. 2) содержит первый 11 и второй 12 регистры, элемент 13 задержки и первый 14 и второй 15 элементы И. Каждый из регистров блока формирования адреса состоит из групп 16 триггеров. Блок синхронизации фиг. 3 содержит генератор 17 импульсов, триггер 18 и элемент 19 задержки.

Выход датчика 1 равномерно распределенных случайных чисел соединен с первым входом блока 2 сравнения, второй вход которого соединен с выходом коммутатора 3 числа, а выход - с вторыми входами первого 8 и второго 9 блоков формирования адреса.

Первый выход блока 10 синхронизации соединен с входом датчика 1 равномерно распределенных случайных чисел и первыми входами первого 8 и второго 9 блоков формирования адреса, выходы которых соединены соответственно с первым и вторым входами коммутатора 7 адреса. Выход коммутатора 7 адреса соединен с входом блока 6 памяти, выход которого соединен с информационными входами первого 4 и второго 5 регистров числа. Выходы первого 4 и второго 5 регистров числа соединены соответственно с первым и вторым входами коммутатора 3 числа. Второй выход блока 10 синхронизации соединен с управляющими входами первого регистра 4 числа, коммутатора 7 адреса и второго блока 9 формирования адреса, а третий выход - с управляющими входами коммутатора 3 числа, второго регистра 5 числа и первого блока 8 формирования адреса.

Вход элемента 13 задержки в блоке формирования адреса соединен с первым входом первого регистра 11 и является первым входом первого регистра 11 и является первым входом блока, а выход - с первыми входами первого 14 и второго 15 элементов И.

Вторые входы первого 14 и второго 15 элементов И соединены соответственно с вторым и третьим входами первого регистра 11, а выходы - соответственно с первым и вторым входами второго регистра 12, группа выходов которого является выходом блока. Группа входов первого регистра 11 является вторым входом блока, а группа выходов соединена с группой входов второго регистра

12. Управляющие входы первого 11 и второго 12 регистров подключены к управляющему входу блока.

Блок 10 синхронизации может быть выполнен из широкого набора известных одноименных блоков. Пример реализации блока 10 синхронизации, удовлетворяющего требованиям предлагаемого устройства, приведен на фиг. 3.

Устройство работает следующим образом.

Датчик 1 равномерно распределенных случайных чисел формирует независимые равномерно распределенные на интервале 0-1 случайные числа. В момент включения устройства на выходе датчика 1 вырабатывается первое случайное число. Дальнейшая синхронизация его работы выполняется импульсами С, поступающими с первого выхода блока 10 синхронизации. Очередное число вырабатывается датчиком 1 по окончании сигнала С.

Коммутатор 3 числа подключает к входу блока 2 сравнения выход регистра 4 или выход регистра 5 коммутатора 7 адреса подключает к адресному входу блока 6 памяти выход блока 8 или блока 9 формирования адреса. При поступлении единичного сигнала на управляющий вход любого из коммутаторов на его выход подключается первый вход коммутатора, при нулевом сигнале на управляющем входе на выход подключается второй вход коммутатора.

Кодовые слова, настраивающие устройство на формирование случайных чисел с требуемой функцией распределения, записываются в блок 6 памяти. В одной ячейке записывается $\ell = 2^m - 1$ кодовых слов. Регистры 4 и 5 числа служат для хранения считываемых из блока 6 памяти кодовых слов. При разрешающем единичном сигнале на втором выходе блока 10 управления ($A=1$) запись кодовых слов с выхода блока 6 памяти выполняется в регистр 4, при разрешающем единичном сигнале на третьем выходе блока 10 ($B=1$) запись кодовых слов выполняется в регистр 5.

Блок 2 сравнивает $\ell = 2^m - 1$ значений A_1, A_2, \dots, A_ℓ с равномерно распределенным числом ξ . В результате сравнения на выходе блока 2 формируется m -разрядное слово q по правилу

$$q = \begin{cases} 0, & \text{при } 0 \leq \xi < A_1, \\ 1, & \text{при } A_1 \leq \xi < A_2, \\ \vdots & \\ \vdots & \\ \ell - 1, & \text{при } A_{\ell-1} \leq \xi < A_\ell, \\ \ell, & \text{при } A_\ell \leq \xi < 1. \end{cases}$$

Блоки 8 и 9 формирования адреса служат для формирования случайного числа и поочередно являются адресными регистрами блока 6 памяти. На каждом такте работы устройства в одном из блоков формирования адреса формируется m разрядов случайного числа, другой является адресным регистром блока 6 памяти, что обеспечивается подключением выходов соответствующего блока адреса коммутатором 7 на вход блока 6 памяти. Регистры 11 и 12 блоков 8 и 9 выполнены на одноктактных синхронизируемых DV-триггерах группы 16 с синхронными установочными входами. Запись информации в триггер группы 16 может осуществляться как по установочным R- и S-входам, так и по D-входу по синхроимпульсу на C-входе при разрешающем сигнале на V-входе триггера.

Случайное n -разрядное число формируется за K шагов, $n = k \cdot m$. Алгоритм формирования построен на объединении методов условных вероятностей и обратных функций. Моделирование m разрядов внутри шага осуществляется по методу обратных функций путем сравнения равномерно распределенного числа ξ со значениями условной функции распределения $F_5(x_i)$ где 5 - случайное число, сформированное на предыдущих шагах. Вычисление условных функций распределения

$F_5(x_i)$ осуществляется по методу условных вероятностей.

Предлагаемое устройство за счет совмещения по времени операции считывания из блока памяти с процедурами сравнения кодов и формирования разрядов случайного числа обладает большим быстродействием по сравнению с известными. Так, в режиме непрерывной генерации, если τ_1 - время считывания кодов на блоке памяти, k - число обращений к блоку памяти при формировании одного случайного числа, τ_2 - время сравнения кодов и формирования m разрядов случайного числа, то, пренебрегая временем переключения коммутаторов, среднее время формирования числа в предлагаемом устройстве вычисляется по формуле:

20

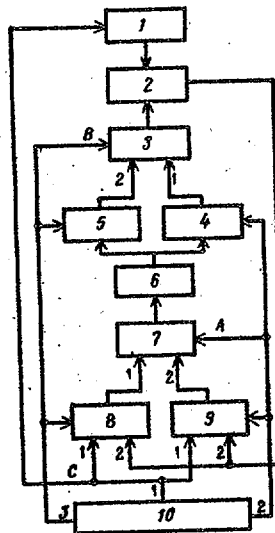
$$T_1 = \begin{cases} k\tau_1, & \text{при } \tau_1 \geq \tau_2; \\ k\tau_2, & \text{при } \tau_1 < \tau_2. \end{cases}$$

25

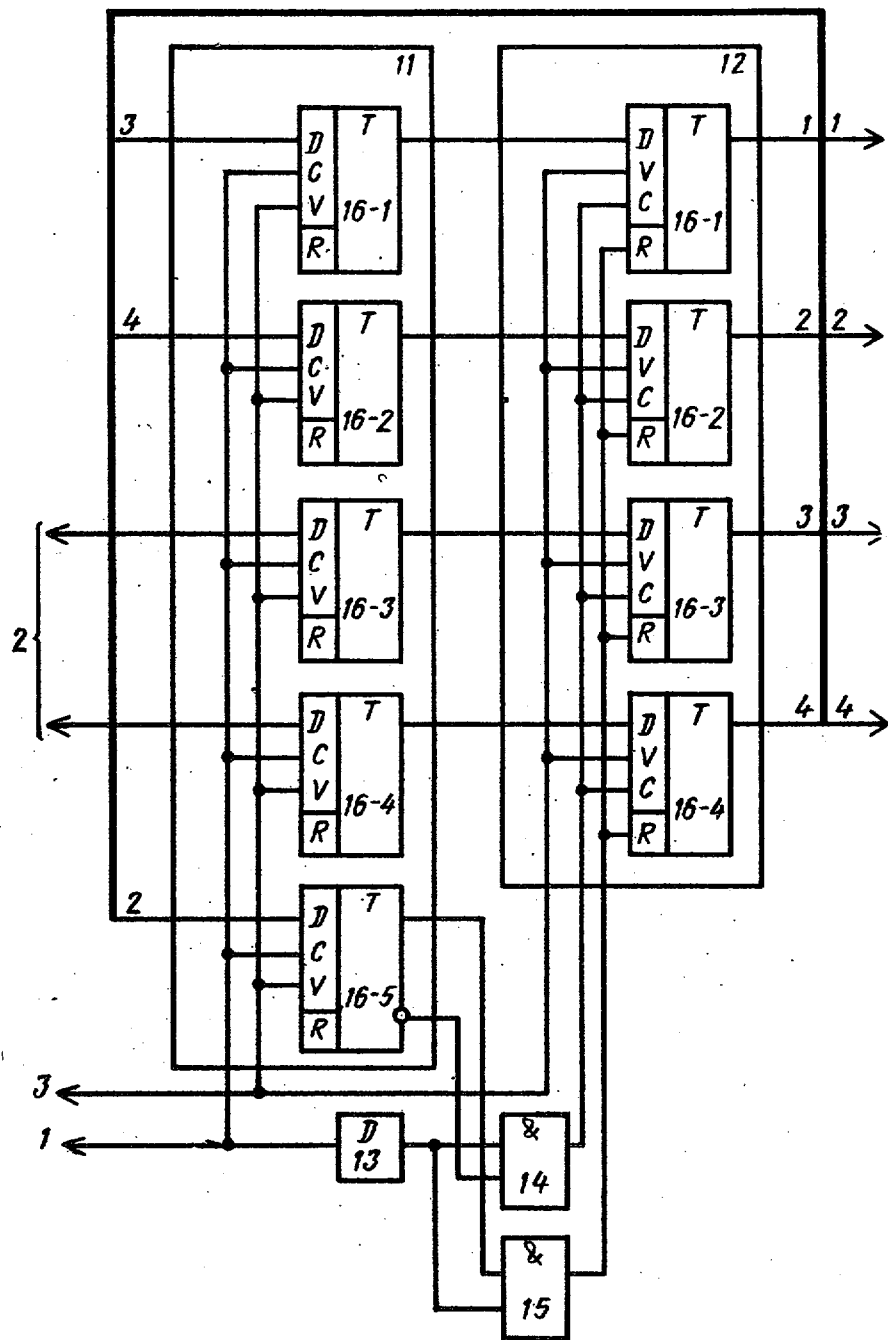
Среднее время формирования случайного числа в устройстве без совмещения $T_2 = k(\tau_1 + \tau_2)$ и, следовательно, повышение производительности $\Delta T =$

$$= k[\min\{\tau_1, \tau_2\}].$$

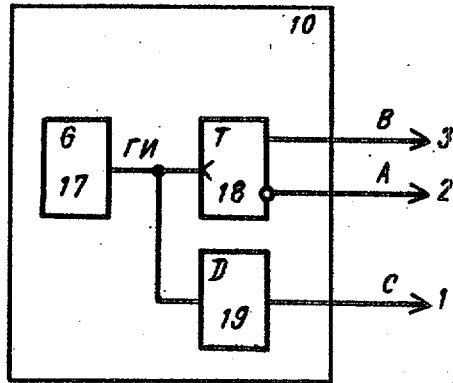
Предлагаемое устройство целесообразно использовать во всех случаях, когда необходимо формирование с высокой скоростью последовательностей случайных чисел с произвольной требуемой функцией распределения.



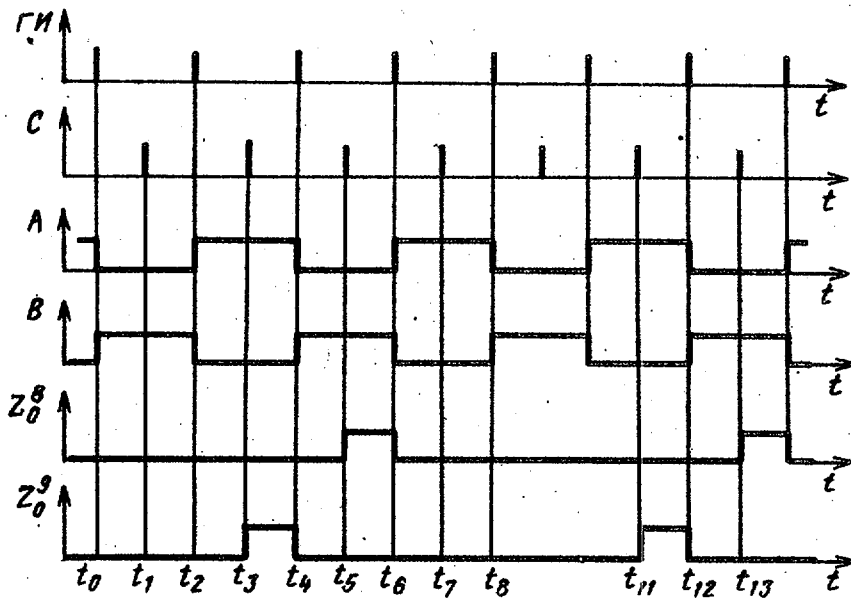
Фиг. 1



Фиг. 2



Фиг.3



Фиг.4

Составитель О.Майоров
 Редактор Ю.Ковач Техред М.Надь Корректор А.Тяско

Заказ 9842/53 Тираж 706 Подписное
 ВНИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4